

1.9 GHz 帯 PHS(Personal Handyphone System)用の超小型無線端末を開発した。この端末は、無線方式として送受ダイレクトコンバージョン方式を採用し、2.7V で動作する四つの無線部機能モジュールとデジタル信号処理 LSI によって構成されている。四つの無線モジュールは電力増幅器、送信、受信、シンセサイザで、各モジュールは一つの MMIC(Monolithic Microwave IC)とコンデンサ、コイル、抵抗などの外付けチップ部品から構成され、モジュール基板上にパンプ実装されている。この端末は、容積 60 cm³、質量 85g で、デジタルコードレス電話としては世界最小・最軽量である。この端末を用いて基地局シミュレータとの接続試験を行い、無線接続動作を確認した。

We have developed a miniature transceiver, including a highly integrated monolithic microwave IC (MMIC) front end, for the 1.9 GHz band personal handy-phone system (PHS). The terminal, incorporating direct-conversion transmitter and receiver technology, consists of four high-density RF circuit modules and a digital signal processing LSI with a 2.7 V power supply. The four functional modules are a power amplifier, a transmitter, a receiver, and a frequency synthesizer. Each module contains one IC chip and passive LCR components connected with solder bumps on the module substrate.

The total volume of the newly developed PHS terminal is 60 cm³, with the 12 cm³ front end containing the four RF functional circuit modules. The air interface connection with a PHS base station simulator has been confirmed.

1 まえがき

近年、デジタルセルラ、コードレスなどの移動通信システム用の無線端末の開発が活発に行われている。これらの端末の無線部に対する要求事項は次のとおりである。

- (1) 小型化 マルチメディア接続用コネクタ、パイプレータ、表示部などの無線以外の付加機能を追加するために無線部の小型化が要求される。
- (2) 低価格化 部品価格のほか、量産時のアセンブリ価格の削減が要求される。

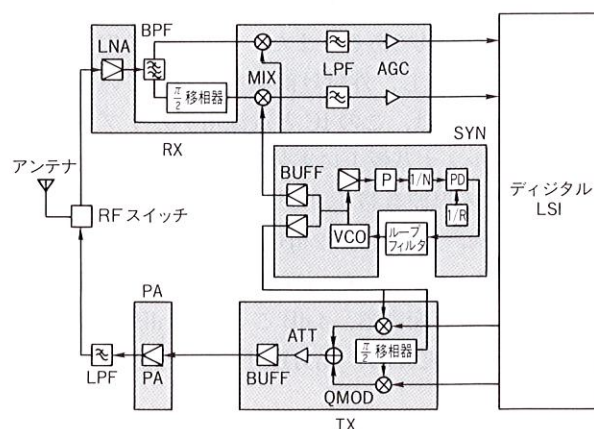
これらの要求に対して、従来から使用されているスーパーヘテロダイン方式では、ほぼ限界に達していた。今回、この問題を解決するために、無線部のフィルタや水晶発振器が削減できるダイレクトコンバージョン(DC)無線方式を採用するとともに、実装方法の大幅な見直しを行った。

ここでは、試作した端末の無線部(図1)を中心に、小型化、低価格化を実現するための技術を紹介する。

2 端末無線部の特長

今回試作した超小型 PHS 端末の無線部の特長は次のとおりである。

- (1) DC方式の採用 この方式の採用により、無線部外付け部品、調整部品を大幅に削減でき、無線部の小



BPF : Band Pass Filter, LPF : Low Pass Filter, P : Prescaler
RF : Radio Frequency, PD : Phase Detector
LNA : 低雑音増幅器, MIX : 周波数変換器, ATT : アッテネータ
BUFF : バッファアンプ, QMOD : 直交変調部
AGC : 可変利得アンプ, VCO : 電圧制御発振器

図1. 超小型端末の無線部構成 無線部は、電力増幅器(PA)、送信(TX)、受信(RX)、シンセサイザ(SYN)の四つの機能モジュールから構成されている。

Block diagram of transceiver RF stage

型化、低価格化が実現できる。

- (2) 無線部機能ブロック単位のモジュール化 チップ部品のパンプ実装を採用したモジュール化により、無

線部の高密度実装、アセンブリ価格の削減、無線回路の高周波特性の改善、後付け部品の削減が期待できる。

- (3) 無線部単電源動作 リチウムイオン二次電池の使用を前提とした、送信電力増幅器を含む無線部の低電圧単電源動作(2.7V)により、レギュレータの小型化、低価格化が期待できる。

3 無線部機能回路ブロック

この端末の無線部構成は図1に示のように、無線部はPA, TX, RX, SYNの四つの無線部機能モジュールから構成され、各モジュールはMMIC一つと外付けチップ部品から成っている。

3.1 送信部

送信部は、電力増幅器モジュールと送信モジュールから成り、MMICはGaAsプロセスにより試作した。

電力増幅器ICについては、パワー向けに開発したドレインオフセットセルフアラインGaAs MESFET(METal Semiconductor FET)プロセス¹⁾を用い、ゲートバイアス0V、ドレインバイアス2.7Vの単電源動作を実現している。このICは、図2に示すようにFET(電界効果トランジスタ)2段で構成し、初段FETのゲート幅を段間の整合回路の設計パラメータに取り込み、整合回路の素子数を削減しているのが特長である。また、一部のバイアス回路をICチップ内に搭載し、外付け部品を削減している。電力増幅器モジュールは、このICと電源用デカップリングコンデンサをアルミナ基板上に実装して構成した。この構成により、PHSの周波数帯1.9GHzで、隣接チャネル漏えい電力-61dBc、送信出力22dBmを実現した。

送信部ICは、ベースバンド(BB)信号を1.9GHz帯に直接変調する直交変調器、4dBごとに28dB範囲の送信電力制御を行う可変ATT、出力BUFFを1チップ化した。

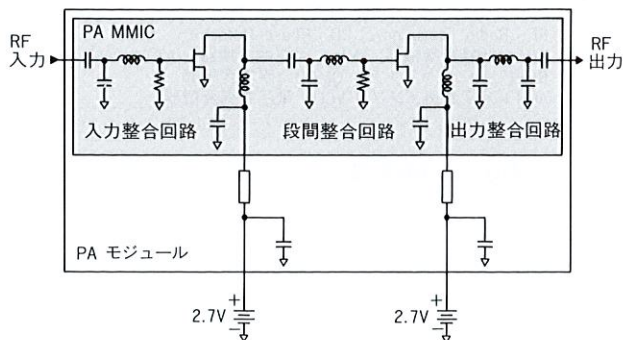


図2. 電力増幅器MMICの回路構成 電力増幅器MMICは、ドレインオフセットセルフアラインMESFET2個、および入力・段間・出力整合回路から構成されている。

Configuration of power amplifier MMIC

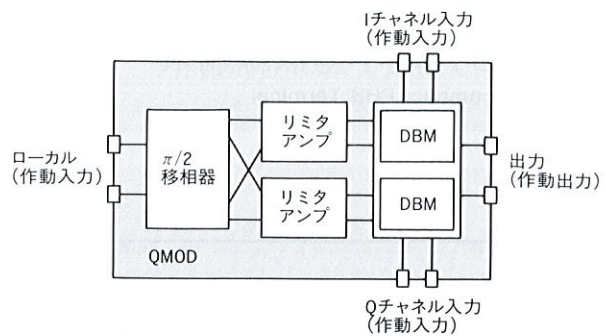


図3. 送信部のQMODの回路構成 QMODは、 $\pi/2$ 移相器、リミタアンプ、ダブルバランスミキサ(DBM)から成り、ローカル・IQ入力、変調出力がすべて作動構成となっている。

Configuration of fully differential QMOD

主要部分である直交変調器は、図3のように $\pi/2$ 移相器、リミタアンプ、ダブルバランスミキサから構成されている。この構成では、リミタアンプ入力段FETのしきい値ばらつきが問題となるため、ローカル注入レベルを大きくする必要がある。このICでは、リミタアンプ前段の $\pi/2$ 移相器に利得をもたせ、ローカル信号をIC内で増幅することにより、FETのしきい値ばらつきを補償している。これにより、1.9GHz帯でローカル注入レベル-10dBmのとき、出力電力-3dBm、ローカルリーク-35dB以下、変調精度6%を無調整で実現することができた。この送信ICは入出力直流遮断キャパシタとともにアルミナ基板上に実装し、モジュール化を行った。

3.2 受信部

受信部は、1.9GHz帯のLNA, MIX, およびベースバンド帯のチャネル選択LPF, AGCから成る1チップ(Si-BiCMOS)で構成されている。このICと外付けチップコンデンサ、抵抗を多層プリント基板上に実装し、受信部としてモジュール化した。

この受信部では、DC方式の採用により、中間周波数段の部品点数を削減しているのが特長である。実現に向けての課題と今回採った対策は次のとおりである。

- (1) ローカル不要ふく射の低減 MIXのローカルRFポート間のアイソレーションとLNAの逆方向特性により不要ふく射を65dB減衰させた。また、受信モジュールにメタルキャップシールドを施し受信部単体でのシールド特性を向上させた。
- (2) ダイナミックレンジの改善 無線部2か所(LNA, MIX)に利得切換機能を設け無線部での飽和はもとより、ベースバンド帯での信号飽和を防ぎ、受信ダイナミックレンジを拡大した。さらに、利得切換え時にも常時受信誤り率が 10^{-5} となるように受信系のC/N(Carrier/Noise)設計の最適化を図った。
- (3) 二次ひずみ出力の低減 MIXのRF入力信号経路(差動ペア前段)のコンデンサの付加、LPFの線形

表1. 受信モジュールの電気仕様

Electrical specifications of RX module

| 項目 | 特性 | |
|--------------|------------------|------------|
| 利得切換 | LNA | 40 dB(2段階) |
| | MIX | 20 dB(2段階) |
| | LPF | 36 dB(7段階) |
| バッテリーセービング制御 | RF用 | LNA, MIX |
| | BB用 | LPF, AGC |
| モジュール出力 | I/Q 2ch(1Vp-p) | |
| 所要外付け部品 | 帯域フィルタ(LNA-MIX間) | |

I/Q : In/Quadrature

化トランスコンダクタ手法²⁾の採用などの回路的くふうにより二次ひずみ出力を低減させた。この受信モジュール出力は、そのままA/D変換され直交検波される。このモジュールの主な電気特性を表1に示す。

3.3 シンセサイザ部

シンセサイザICは、可変分周器、位相比較器、プリスケラ、VCO (Voltage Controlled Oscillator) 発振回路、バッファアンプ、ロジック回路からなる1チップ(Si-BiCMOS)で構成される。このICの特長は次のとおりである。

- (1) バッテリーセービング時の消費電流は10 μ A以下
- (2) バッファアンプによる優れた耐負荷変動特性

シンセサイザ部は、このICとVCO共振器、ループフィルタなどのチップ部品をガラスエポキシ基板上に実装したモジュール構成となっている。このモジュールの電気特性を表2に示す。

表2. シンセサイザモジュールの電気性能

Electrical performance of SYN module

| 項目 | 特性 |
|---------|-------------------------------|
| 出力レベル | -7 dBm |
| 切換時間 | 3.5 ms ($\Delta F=22.8$ MHz) |
| SSB位相雑音 | -122 dBc/Hz @600 kHz 離調 |

SSB : Single Side Band

4 モジュール実装技術

無線部は四つの機能モジュール、電力増幅器IC、送信部IC、受信IC、シンセサイザから成っており、受信およびシンセサイザモジュールでは、ICおよびチップ部品の実装にバンプ実装技術³⁾を使用した。図4にバンプ実装構造を示す。この実装の特長は、実装面積が少なく済み、はんだの露出部分も少なく、はんだランド部分からの不要ふく射が低減できる点である。特にチップ部品のバンプ実装では、基板側にスペーサを設けることにより、従来の実装機・実装プロセスをそのまま用いることができるので、

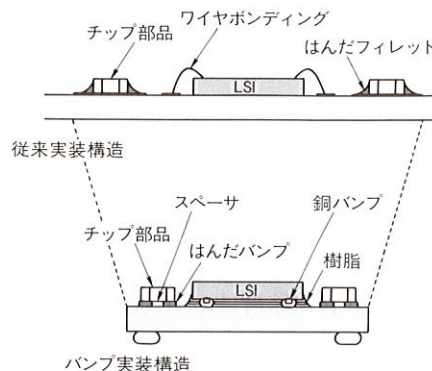


図4. バンプ実装構造 バンプ実装技術により、従来のチップ部品のフィレット実装、ICのワイヤボンディング実装に比べ、大幅な実装面積削減を実現している。

Cross-sectional outline of bump interconnection structure

実装時のアセンブリ価格はほとんど増加しない。

受信、シンセサイザモジュール基板では、ビルドアップ法多層樹脂基板を使用し、低価格化を図った。一方、電力増幅器と送信モジュールでは、GaAsと熱膨張係数の近いアルミナ基板を使用した。

モジュールのI/O端子には、全モジュールに対してLGA (Land Grid Array)を採用し、モジュール実装面積を最小化するとともに、はんだ部分からの不要ふく射の低減、高周波特性の向上を図った。また、各機能モジュール間のアイソレーションを確保するために、送信、受信およびシンセサイザの各モジュールにはメタルキャップシールドを施している。なお、各機能モジュールでは、チップ部品、伝送線路、スルーホール、パッドなどについて、パラメータ抽出とモデル化を行い高精度な高周波回路設計を行った。これにより、モジュール回路を精度よく設計することが可能となり、試作回数削減、開発期間短縮が図れた。

図5に受信モジュールの外観を示す。バンプ実装を採用

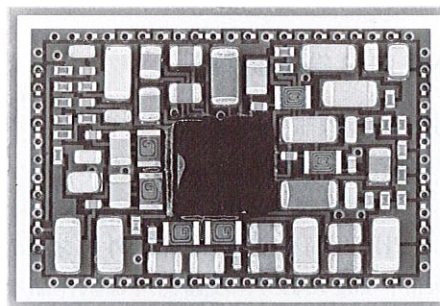


図5. 受信モジュールの外観 受信モジュールでは、バンプ実装技術を用いることにより、従来実装方式と比べて約40%の実装面積削減が実現できている。

Photograph of RX module

したことにより、モジュール面積を従来のワイヤボンディング/ファイレット実装に比べて約40%削減できた。

5 マザーボード

マザーボードは、ストリップ回路層、アナログ回路層、デジタル回路層、電源回路層などから構成される多層構造となっている。各回路層はGND(Ground)層によって分離し、各層間のアイソレーション確保を図っている。この端末では、無線部のパッシブ回路をストリップ回路層に内蔵したことが特長である。

DC方式では原理的にイメージ応答、スプリアス応答が存在しないため、干渉波に対してはシステム帯域外のものを除去できればよい。したがって、広帯域で低損失なストリップラインフィルタが使用できる。この端末では、従来スーパーテロダイン方式で使用されていた誘電体フィルタやSAW(表面弾性波)フィルタに代わってこのフィルタを採用したことにより、部品点数の低減が可能となった。

このストリップ回路層の構造を図6に示す。ストリップ回路層には、フィルタ以外に電力検出用カプラ、電力分配器、 $\pi/2$ 移相器などが内蔵され実装部品が削減されている。

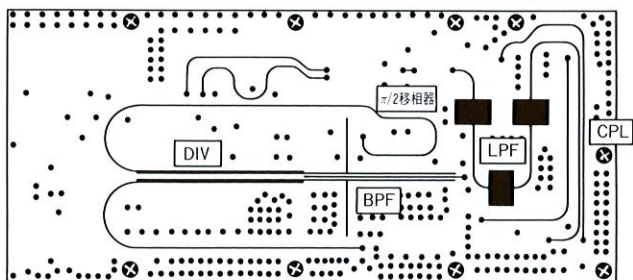


図6. ストリップ回路層の構造 送信LPF, 電力検出カプラ(CPL), 受信BPF, $\pi/2$ 移相器, 電力分配器(DIV)が内蔵されている。
Schematic diagram of motherboard structure

6 超小型 PHS 端末試作機

以上に述べた無線部モジュール、マザーボードのほか、デジタルIC、アンテナ、コネクタ、キーボード、リチウムイオン二次電池などを用いてPHS端末を製作した。

開発したPHS用超小型無線端末の外観を図7に示す。端末は60cm³、85gであり、現時点では試作品ながら、世界最小・最軽量のPHS端末である。この端末は、音声通話のほか、データ伝送にも適用でき、いずれの機能についても基本動作を確認した。



図7. 試作したPHS用超小型無線端末 端末は容積60cm³、質量85gで、現時点で世界最小・最軽量のデジタルコードレス端末である。
Miniature transceiver handset

7 あとがき

開発した超小型PHS端末の無線部について述べた。この端末では、DC無線機技術、無線部ブロック単位のモジュール化技術などにより、無線部の小型化、低価格化を図った。これらの技術は、PHS端末だけでなく、欧州DECT(Digital European Cordless Telephone)、さらに今後米国で導入予定のPCS(Personal Communication Service)などの端末でも有効に適用できると考えている。

文献

- (1) M. Nagaoka, et al : High-Efficiency Monolithic GaAs Power MESFET Amplifier Operating with a Single Low Voltage Supply for 1.9-GHz Digital Mobile Communication Applications, '94 IEEE MTT-S Dig. pp.577-580 (1994)
- (2) H. Tanimoto, et al : Realization of a 1-V Active Filter Using a Linearization Technique Employing Plurality of Emitter-Coupled Pairs, IEEE J. Solid-State Circuits 26, 7, pp.937-945 (1991)
- (3) T. Togasaki, et al : Bump Interconnection for Chip Components and LSI Chips for High Density Modules, Proc. ISHM'94, pp.266-271 (1994)



鶴見 博史 Hiroshi Tsurumi

研究開発センター 情報通信システム研究所研究主務。
デジタル移動通信端末の研究開発に従事。電子情報通信学会会員。
Communication & Information Systems Research Labs.



斉藤 雅之 Masayuki Saito

研究開発センター 材料デバイス研究所主任研究員。
高密度実装プロセスの研究開発に従事。電子情報通信学会、プリント回路学会会員。
Materials & Devices Research Labs.



石田 賢二 Kenji Ishida

半導体システム技術センター 小信号素子応用技術部主務。
GaAs ICの研究開発に従事。電子情報通信学会、応用物理学会会員。
Semiconductor System Engineering Center