

# MPEG2 デコーダ LSI TC81201F

## TC81201F MPEG2 Decoder LSI

北垣 和邦  
K.Kitagaki

多様化するマルチメディアシステムのニーズに対応するためにMPEG2(Moving Picture Experts Group 2)デコーダLSIのシリーズ展開をしている。MPEG2は動画像の符号化の国際規格で、MPEG2信号を復号するデコーダLSIはマルチメディアのキーデバイスとなる。当社は、1994年に発表したMPEG2デコーダLSI T9556を基礎技術に、量産対応のTC81200F、DVDシステムに最適な機能をもったプログラムストリーム対応のTC81201F、MPEG1オーディオデコーダとの1チップ化を行つたディジタル衛星放送受信機対応のTC81211Fを開発した。TC81201Fでは機能と回路の最適化、外部メモリの削減を図っているので、チップコストだけでなくシステムコストも削減できる。

In order to meet various needs in multimedia systems, we are developing a one-chip decoder LSI series conforming to the Moving Picture Experts Group 2 (MPEG2) standard, which is an international standard for a moving picture coding method. The MPEG2 decoder LSI is expected to be one of the key devices for creating the multimedia era.

Based on the T9556 MPEG2 decoder LSI introduced in 1994, we have developed the TC81200F for mass production, the TC81201F with a program stream decoder which is optimized for digital disk system application, and the TC81211F with an MPEG1 audio decoder which is optimized for digital satellite broadcasting system application. Because the functions and circuit implementation are optimized and the external memory capacity is reduced in the TC81201F, not only the chip cost but also the system cost can be reduced by using this LSI.

## 1 まえがき

MPEG2デコーダLSIを開発するうえでは、多様化するシステムのニーズに対応することが重要である。例えば、DVDとディジタル衛星放送受信機(DBS:Digital Broadcasting Satellite)では、オーディオの仕様が異なる。

DVD用はAC3方式、DBS用はMPEG1オーディオ(将来的にはAC3)である。また、オーディオとビデオの多重の方式もDVDシステムではプログラムストリームだが、DBSシステムではトランスポートストリームである。

図1にMPEG2デコーダLSIシリーズの遷移を示す。1994年に発表したプロトタイプのT9556<sup>(1)</sup>、<sup>(2)</sup>を基にコスト削減した量産用デコーダLSI、TC81200F<sup>(3)</sup>を開発した。さらに、DVD用に機能を最適化したTC81201Fを開発した。また、TC81200FをベースにしてDBS用にMPEG1オーディオデコーダを1チップ化したプロトタイプTC81211Fを開発した。

表1にこれら3品種の仕様の比較を示す。今回は、このロードマップに沿って開発した3品種のMPEG2デコーダLSIのうち、TC81201Fの特長、コスト削減のための機能および回路の最適化と、MPEG2デコーダLSI実現のための技術的課題であるメモリの削減方法について述べる。

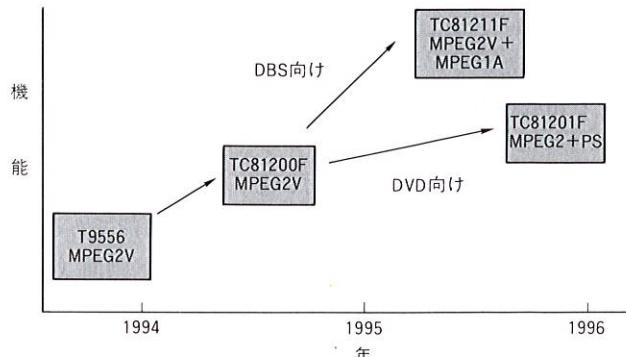


図1. MPEG2デコーダLSIシリーズ T9556を基に汎用のTC81200F、DVD用のTC81201F、DBS用のTC81211Fを開発した。  
MPEG2 decoder LSI series

## 2 機能の最適化

DVDシステムではビデオ、オーディオのビットストリームはMPEG2 Program\_Stream(PS)フォーマットで記録されている。少ない部品数でDVDシステムを実現するため、TC81201FではPSからオーディオストリーム、プライベートストリームを分離する機能を追加した。

TC81200Fの世代では16MビットSDRAM(Synchronous DRAM)1個より4MビットDRAM4個のほうが安価に入

表1. TC81200F, TC81201F, TC81211F の比較

Comparison of TC81200F, TC81201F, and TC81211F

	TC81200F	TC81201F	TC81211F
応用分野	汎用	DVD	DBS/CATV
システムレイヤ	PES パケット	プログラムストリーム	PES パケット
ビデオ／オーディオ	ビデオ	ビデオ	ビデオ／オーディオ
プロファイル@レベル	MP@ML	MP@ML	MP@ML
接続 DRAM	4M DRAM:4 個	16M SDRAM:1 個または 16 EDO DRAM:1 個	4M SDRAM:4 個または 16 EDO DRAM:1 個
OSD	×	×	○
水平フィルタ	4 種類 (4/3, 2/1, 3/2, 8/9 倍)	6 種類 (4/3, 2/1, 3/2, 8/9, 16/9, 8/3 倍)	4 種類 (4/3, 2/1, 3/2, 8/9 倍)
垂直フィルタ	1 種類 (2 倍)	2 種類 (2/4, 3 倍)	1 種類 (2 倍)
入力クロック	54 MHz	27 MHz	27 MHz
電源電圧	3.3V	3.3V	3.3V
消費電力	1.2 W	1.0 W	2.0 W
パッケージ	LFP160	LFP160	CFP208
設計手法	スタンダードセル	スタンダードセル	エンベッドドアレイ
プロセス	0.5 μm 3 層メタル	0.35 μm 2 層メタル	0.35 μm 3 層メタル

PES:Packetized Elementary Stream

手できると判断し、汎用 DRAM インタフェースだけとしたが、TC81201F の世代では 16M ビット SDRAM, EDO DRAM(Extended Data Out DRAM)のほうが安価になるとみられる。そのため TC81201F では、メモリインターフェースを 16 ビット幅の 16M ビット SDRAM または 32 ビット幅の 16M ビット EDO DRAM とした。

TC81201F では、デコードのためのフレームメモリのほかに分離したプライベートデータやオーディオデータを格納する領域を用意している。

3:2 プルダウン、パンスキヤンについては、MPEG2 の規格に沿ったサポートをしている。後述する水平フィルタを用いて 1/16 画素単位のパンスキヤンが可能である。

パンスキヤン機能で 720×480 画素のワイド画面(縦横比 16:9)から通常画面分 540×480 画素の部分を切り出し、720×480 画素の通常モニタに表示させるために、540 画素を 720 画素に変換する水平フィルタが必要である。TC81201F はこのための 4/3 フィルタを含めて 1/2, 2/3 解像度から通常画面に変換する 2/1, 3/2 フィルタ、通常画面を、PC のスクウェアピクセル画面に変換するための 8/9 フィルタ、欧洲のデジタル衛星放送システム(DVB:Digital Video Broadcasting)用の 16/9 倍, 8/3 倍 フィルタを内蔵している。また、通常モニタにワイド画面をパンスキヤンなしに表示するための垂直方向 3/4 倍 フィルタも内蔵している。

### 3 回路の最適化

TC81201F では、回路規模、消費電力を削減するためにアーキテクチャを変更した。図2 にアーキテクチャを示す。

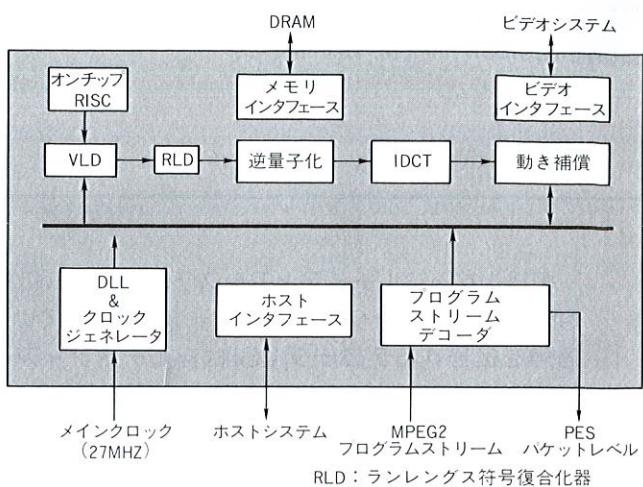


図2. MPEG2 デコーダ LSI TC81201F の構成 内部バス幅は 32 ビットである。これにより、バス周りのレジスタ、データバス系の演算器のビット幅が削減できた。

Block diagram of TC81201F MPEG2 decoder LSI

まず、16 ビット幅の 16M ビット SDRAM または 32 ビット幅の 16M ビット EDO DRAM に効率よく対応するため、内部バス構成を 64 ビットから 32 ビット幅に変更した。これによりバス周りのレジスタ、データバス系の演算器のビット幅が削減できた。

外部メモリとして SDRAM を選択したため、メモリデータサイクルを 81 MHz に設定した。そのため、バスのデータサイクルを 40.5 MHz とした。RISC(縮小命令セットコンピュータ)、VLD(可変長符号復号化器)などのデータバスは TC81200F と同じく 27 MHz で動作する。しかし、動き補償(MC)ブロックだけはバスとの結合が密なので 40.5 MHz で動作する。このようにブロックごとにきめ細かく動作周波数を変えることにより、消費電力の削減を図っている。このような多種の同期クロックを発生するために、TC81201F では DLL(Digital phase Lock Loop)を内蔵している。入力クロックは 27 MHz。DLL で 2 倍の 54 MHz クロック、3 倍の 81 MHz クロックを発生し、さらにそれを 2 分割し、デューティ比 50% の 27 MHz, 40.5 MHz クロックを発生する。

TC81201F では回路規模縮小のため、T9556 および TC81200F ではオーバスペックだった IDCT(逆離散コサイン変換)、VLD マクロの見直しを行った。TC81200F までの DCT(離散コサイン変換)マクロは、汎用を前提とし、ハイビジョンなどの応用にも耐えられる仕様であったため、保証動作周波数は 100 MHz で、DCT, IDCT の両方の演算が可能であった<sup>[4]</sup>。TC81201F では NTSC/PAL 仕様であるため、動作周波数は 27 MHz で十分であり、演算も用途をデコーダに限り IDCT だけとした。動作周波数を 27 MHz にしたことにより、X 方向の積和演算器と Y 方向の

積和器を共用化し、それを2倍のレートで動作させることができた。このため、積和演算器の面積が $1/2$ になった。演算をIDCTに限ったことにより、DCT演算に用いられる入力側のバタフライ回路が削除できた。また、トランジスタのサイズも最適化を行った。

VLDマクロもハイビジョンのデコードにも対応できるようにT9556では動作周波数は54MHzという仕様であった。TC81201Fでは仕様を最適化し、27MHz動作とした。VLDのクリティカルパスは、図3(b)においてヘッドシフタ出力からVLDテーブルを引き、次のコードのビット幅から次のヘッドシフタのシフト量を計算するパスである。T9556では、この部分のスピードを稼ぐためにヘッドシフタを図3(a)に示すように前段、後段の2段に分け、ヘッドシフタとVLDテーブルの間にレジスタを入れ、2段のパイプラインに分けていた。TC81201Fではこの部分の条件が緩和されたので、ヘッドシフタを1段にし、回路規模を削減した。

#### 4 メモリ容量の削減

MPEG2デコーダLSI実現のための技術的問題点の一つ

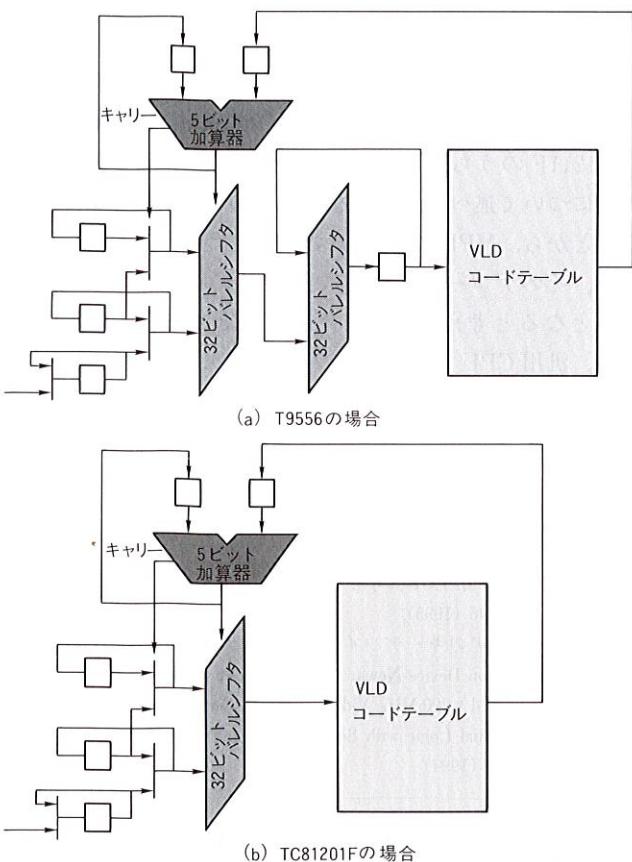


図3. VLDヘッドシフタの構成 (a)は高速化のため、パレルシフタが2段になっている。(b)は27MHz動作のため、パレルシフタは1段よい。

Configuration of head shifter in VLD

は、必要とされる外部メモリの多さである。文献(2)にあるように外部に必要なメモリには、少なくともレートバッファ、参照画像用フレームバッファ、インタレース／ノンインタレース変換用バッファ（表示用バッファ）が必要である。さらに、オーディオやプライベートストリームのデコーダを1チップ化していればそのための領域が必要であるし、OSD(On Screen Display)機能があれば、OSDデータのための領域が必要である。レートバッファとしてはMPEG2の規定から、1.8Mビット以上、レートバッファの理想モデルと実際のモデルの違いを考慮に入れると2.3Mビット程度は必要である。フレームバッファとしては、1フレーム当たりNTSC方式の場合で約4Mビット、PAL方式で約4.8Mビット必要である。

これに対し外部メモリとして用いられるのは、4Mまたは16MのDRAMである。必要なメモリ量が $16M$ ビット以下であれば、4MビットDRAM4個または16MDRAM1個の構成が可能であるが、16Mビットを超えると20Mビットまたは32Mビットにしなければならず、システムコストは格段に高くなる。すなわち、必要なメモリ量を16Mビット以下に押さえることが技術的に重要となる。

TC81201Fでは、表示用バッファの構成に改良を施し、仕様にあったメモリ領域を確保した。以下では、その表示用メモリの使いかたについて述べる。

もっとも単純な方法は表示用バッファとして、2フレーム分のバッファをもつ方法である。2フレーム分のバッファを1フレームずつ2バンクに分け、フレームごとにフレーム構造で書き込むバンクとフィールド構造で読み出すバンクに切り替えて使用する。しかし、この方法では、NTSC方式でもフレームバッファだけで16Mビットを超してしまう。

T9556では、表示用バッファとして、1.5フレーム分のバッファが使われている。このバッファの使いかたを図4(a)を用いて説明する。1.5フレーム分のバッファを $1/4$ フレーム分ずつ6個のバンクに分ける。最初のBピクチャがデコードされると、最初のフィールドでは $1/4$ フレーム分のバッファのA・Bバンクにそれぞれ、トップフィールドの上半分(T1上)、ボトムフィールドの上半分(B1上)を書き込む。第二フィールドでは、C、Dバンクにそれぞれトップフィールドの下半分(T1下)、ボトムフィールドの下半分(B1下)を書き込む。1フレーム(2フィールド)後表示を始め、第三フィールドではA、Cバンクからトップフィールド(T1上、下)を読み出し、同時にE、Fバンクに2番目のピクチャのトップフィールドの上半分(T2上)、ボトムフィールドの上半分(B2上)を書き込む。第四フィールドではB、Dバンクからボトムフィールド(B1上、下)を読み出し、同時にすでに内容を読み出したA、Cバンクに2番目のピクチャのトップフィールドの下半分

(T2下), ボトムフィールドの下半分 (B2下) を書き込む。この方法では、一つのバンクに対して書込みと読み出しが重なることはなく制御は簡単である。

NTSC 方式( $720 \times 480$ )では、1 フレーム当たりのデータ量は約 4M ビットであるので、4 フレームバッファの容量は参照画像用フレーム、2 フレーム分を含めて 4M ビット  $\times (1.5 + 2) = 14M$  ビットとなり、レートバッファを含めても 16M ビット以内に収められる。しかし、PAL 方式( $720 \times 526$ )では、1 フレーム当たりのデータ量は約 4.8M ビットであるので、フレームバッファの容量は 4.8M ビット  $\times 3.5 = 16.8M$  ビットとなりフレームメモリだけで 16M ビットを超てしまう。

T81201F では、表示用バッファとして、0.75 フレーム分のバッファが使われている。1 フレーム分 1/8 のバッファ 6 個、計 0.75 フレームからなる表示用バッファを用いている。図 4(b)に表示用バッファの使いかたを示す。ここで、画面を 1/4 に分割し上から a, b, c, d 領域と呼ぶことにする。最初の B ピクチャがデコードされると、最初のフィールド(第一半フィールドと第二半フィールド)では 1/8 フレーム分のバッファの A, C, B, D バンクにそれぞれ、トップフィールドの a, b 領域(T1a, b), ボトムフィールドの a, b 領域(B1a, b)を書き込む。この場合も第三半フィールドから表示を開始する。第三半フィールドではトップフィールドの c 領域(T1c), ボトムフィールド c 領域(B1c)をバンク E, F に書き込み、同時に A, C

バンクからトップフィールド a, b 領域(T1a, b)を読み出す。次の第四半フィールドでは、トップフィールドの d 領域、ボトムフィールド d 領域(T1d, B1d)をバンク A, C に書き込み、同時に E, A バンクからトップフィールド c, d 領域(T1c, d)を読み出す。

このとき、A, C バンクは必ず第四半フィールド後から始めなければならず、デコードの進行状況によってデコード停止判定が必要である。次の第五半フィールドでは、2 番目のピクチャのトップフィールドの a 領域、ボトムフィールド a 領域(T2a, B2a)をバンク E, A に書き込み、同時に B, D バンクからボトムフィールド a, b 領域(B1a, b)を読み出す。以下同様に読み出した空き領域にデコード結果を書き込んでいく動作を繰り返す。

この方式では一つのバンクに対して読み出した後にデコード結果を書き込む場合、読みしが終わるまでデコードを停止させる制御が必要である。この方法では PAL 方式の場合でも 4.8M ビット  $\times 2.75 = 13.2M$  ビットとなり、レートバッファ分 1.8M ビットを含めても 16M ビットまでに余裕があり、このほかにオーディオ領域、プライベートデータ領域、OSD データ領域などをとることができる。

## 5 あとがき

今回、さまざまなシステムに対応するために開発した 3 種類の MPEG2 デコーダ LSI TC82100F, TC81201F, TC81211F のうち、TC81201F についてその概要と技術的課題について述べた。膨大な動画像のデータ量を圧縮できることから、MPEG2 技術はマルチメディアのキー技術であり、そのデコーダ LSI もマルチメディア実現のためのキーとなると考えられる。今後、AC3 オーディオデコーダや、汎用 CPU との 1 チップ化を行い、さらに広範囲な応用に展開していく予定である。

## 文 献

- (1) T. Demura, et al : A Single-chip MPEG2 Decoder LSI , ISSCC'94, WP 4.4, Feb. (1994)
- (2) 大藤 健, 他 : MPEG2 信号用 1 チップデコーダ LSI, 東芝レビュー, 50, 1, pp.43-46 (1995)
- (3) マルチメディアのキーデバイス MPEG2 デコーダ LSI TC81200F, Toshiba Electron Device News, No. 42, pp.31-34(1995)
- (4) M. Matsui, et al : 200 MHz Video-Compression Macrocells Using Low-Swing Differential Logic with Sense-Amplifying Flip-Flops, ISSCC'94, WP 4.6, Feb. (1994)

北垣 和邦 Kazukuni Kitagaki



半導体システム技術センター 情報システム LSI 技術部主務。

画像信号処理 LSI の研究・開発に従事。

Semiconductor System Engineering Center

図 4. 表示用バッファの使い回し (a)は、1.5 フレームを 0.25 フレームずつ 6 バンクにメモリを使い回す。(b)は、0.75 フレームを 0.125 フレームずつ 6 バンクにメモリを使い回す。

Memory use method