

宮城 武史
T. Miyagi

吉原 邦夫
K. Yoshihara

齊藤 雅之
M. Saito

大型コンピュータでしか処理できなかった仕事が近年は安価なワークステーションで処理できるようになってきた。システムの核となるマイクロプロセッサ(MPU)は年々処理速度を増し、実装技術においても MPU の高速化に対応する技術開発が行われている。マルチチップモジュール(MCM)もその一つであり、複数のベアチップを多層配線基板上に高密度実装することで LSI 間の信号遅延を小さくできる。

当社は、新たに開発したストライプパワーグランド構造と銅／ポリイミド多層配線プロセス技術により、基板内部の配線容量を従来より 25% 低減することができ、64 ビット MPU と ASIC(用途特定 IC) および 22 個の SRAM を搭載した MCM を内部クロック 100 MHz で動作させることに成功した。

This paper describes a reduced instruction set computer (RISC) multichip module (MCM) using a novel transmission line structure with striped power/ground layers featuring low capacitance and a copper/polyimide multilayer wiring process. Toshiba has developed an MCM that incorporates a RISC processor chip, an application-specific IC(ASIC) chip, and twenty-two 1 Mbit SRAM chips. The substrate of this MCM is co-fired multilayer aluminum nitride, while the thin film layers consist of a high-aspect-ratio copper conductor and a polyimide insulator. The conductors are fabricated by electroplating technology. The capacitance of the signal line is reduced by 25% compared with that having a conventional mesh type ground.

1 まえがき

高速 RISC(縮小命令セットコンピュータ)MPU を搭載するワークステーションをターゲットに、MCM の開発がさかんに行われている。RISC-MPU を核とするシステムでは、必要に応じて外付けメモリで構成される 2nd キャッシュメモリを追加するが、MPU チップとメモリチップ間の信号遅延をどこまで低減できるかが、システムの高速度性能を決定する要因となる。

MCM は、ベアチップを高密度に実装するため、LSI 間の配線長を短くでき、配線基板での信号遅延を低減することができる。

一般に、高速 LSI の MCM 実装には、セラミックやシリコン基板上に低誘電率絶縁膜と低抵抗な薄膜金属配線を順次積層し、多層配線を形成した配線基板を用いる。信号遅延の主原因である配線容量の低減のため、従来は電源層のパターン形状を網目状に形成する、いわゆるメッシュグランド構造を用いてきた。今回、配線容量を大幅に低減できる新しい配線構造(ストライプパワーグランド)を考案し、MCM に適応した結果、100 MHz で動作する RISC システムの開発に成功した。

2 ストライプパワーグランド

2.1 構造

ストライプパワーグランド構造の概略を図 1 に示す。信号専用層(X, Y 方向)2 層とその上下の電源・グランド専用層の 2 層からなる 4 層構造である。この構造では、電源層の配線をストライプ状に形成し、信号配線の走行方向に対して垂直方向に形成する。このため信号配線との対向面積が低減

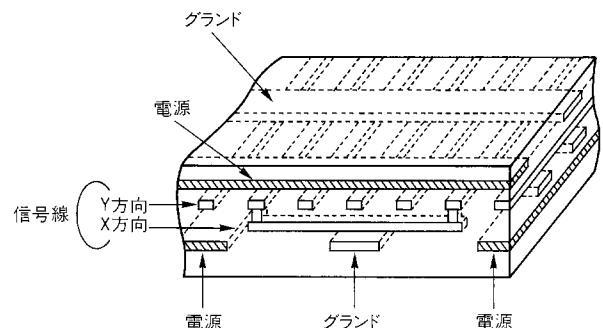


図 1. ストライプパワーグランド構造 新たに開発した多層配線構造で信号配線の低容量化が図れる。

Striped power/ground structure

できる。さらに、電源専用層は電源とグラウンドを交互に配置した構造となるため、電源インピーダンスが低減できる。

図2に、一般的なメッシュ状電源プレーンをもつ配線構造(a)とストライプパワーグラウンド構造(b)の信号配線容量を比較した結果(c)を示す。すなわち、ストライプパワーグラウンド構造は配線幅が等しいメッシュ状電源をもつ信号配線に対して、配線容量を約25%低減できることがわかる。

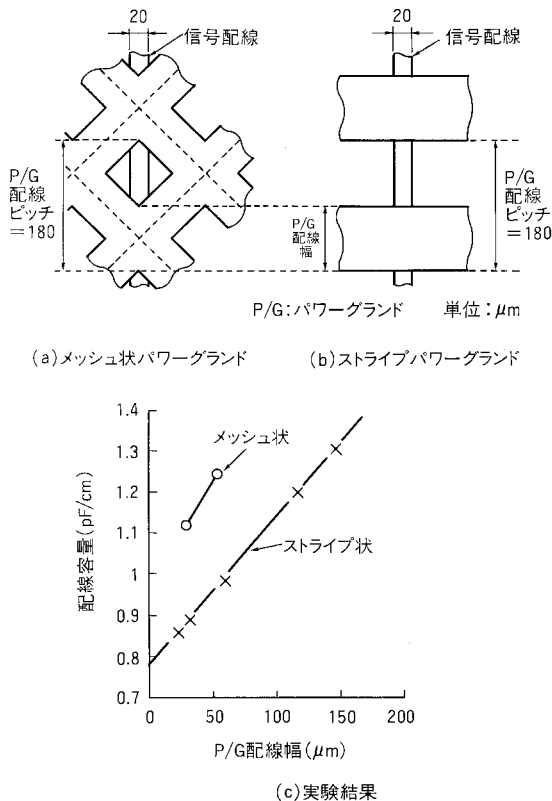


図2. 電源配線の形状と信号配線の容量 ストライプ状電源パターンは、メッシュ状電源パターンより信号配線の容量を小さくできる。

Capacitance of signal lines with stripes or mesh type ground

2.2 高周波特性

ストライプパワーグラウンド構造では、信号配線の隣接層には、信号線の走行方向に沿って電源/グラウンド配線が一定間隔に存在している。すなわち、この構造は周期的に不連続部が繰り返される構造となることから、遅波効果が懸念される。その影響を含めた電気的な特性を評価した。その結果を基に信号配線をモデル化し、高周波解析を行った。

図3にモデル化の考えかたを示す。信号線から上部のグラウンド層を見ると、グラウンド配線が存在する部分と存在しない部分があることがわかる。信号線をそれぞれの部分で分割して単位線路とし、それらを繰り返して接続したモデルを伝送線路モデルとした。電源配線の不連続部についてはグラウンド配線が存在する部分の長さに換算して付加した。

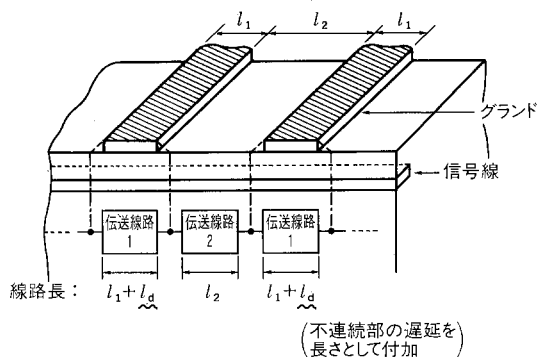


図3. ストライプパワーグラウンド構造のモデル化 伝送線路を上部に電源配線が存在する部分と存在しない部分に分けてモデル化した。不連続部は、線路長の長さに換算し電源配線がある部分に付加した。

Model of striped power/ground structure

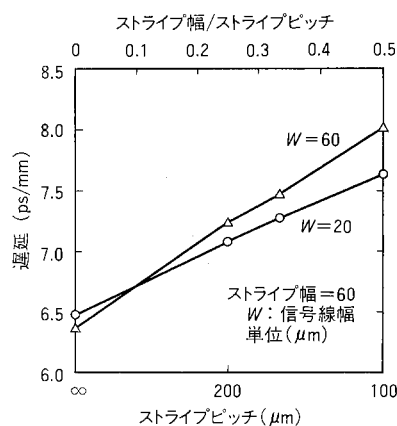


図4. ストライプ構造の遅延解析結果 ストライプのピッチが小さいほど遅延量が大きくなる。

Results of propagation delay simulation

図4に、ストライプのピッチと遅延の関係を示す。ストライプのピッチが細くなるにつれてストライプの本数が増え、遅延はほぼ直線的に増加する。これは、グラウンド配線の存在する部分と存在しない部分の境界で生ずる不連続部1個当たりの遅延量が、ピッチに関係なく一定であるためである。

このように、実験と等価回路化により、ストライプパワーグラウンド構造の遅延量を定量化することができた。

3 MCMの構成

図5にMCMの構造断面を示す。

ベース基板である窒化アルミニウム基板上に、6層の配線層と5層のポリイミド層からなる銅/ポリイミド多層配線層を形成し、その表面に24個のLSIチップをフェースアップで搭載した。窒化アルミニウム基板の内部にはあらかじめ電

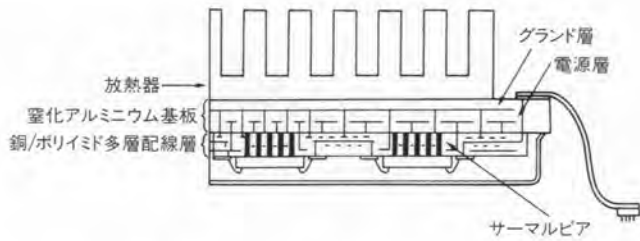


図5. MCMの構造 窒化アルミニウム基板上に銅/ポリイミド多層配線層を形成した基板に、LSIをフェースアップで実装する。

Structure of MCM

源・グラウンド層が形成してある。LSIチップとMCM間は、ワイヤボンディングにより電氣的に接続した。また、LSIチップで発生する熱は、銅/ポリイミド多層配線層内部に銅柱からなるサーマルビアを形成することで、LSI直下から窒化アルミニウム基板まで低熱抵抗で放熱できる構造とした。

図6に、開発したMCM基板の外観を示す。中央部がMPUチップ、その下部がASICチップ、その他がメモリチップである。

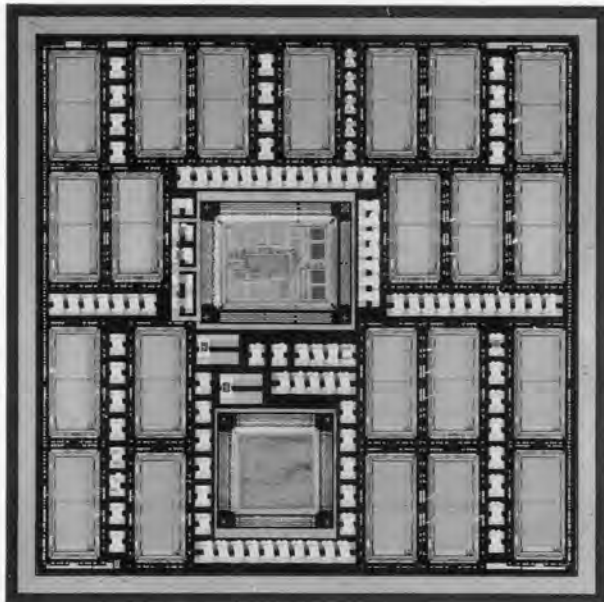


図6. MCM基板 R4000チップ、ASICチップ、および22個のSRAMチップを実装。基板サイズは□85mm。

Newly developed MCM with RISC processor, ASIC, and 22 SRAMs

4 銅/ポリイミド多層配線プロセス

今回開発したMCMには、従来を上回る高アスペクト比めっき配線プロセスを適応している。これにより、銅/ポリイミド多層配線プロセスを用いたMCMにおける信号配線の低抵抗化を実現した。以下、配線プロセスの概要を述べ

る。

まず、開発しためっきプロセスの特長をまとめる。

(1) 従来、めっき用レジストの微細加工技術は、アスペクト比4程度が限界であった。今回、レジストのプロセス途中における残存溶媒量や露光・未露光部の各種現象液に対する挙動を詳細に検討した結果、アスペクト比10(5μm幅、50μm厚)を実現するレジスト加工技術を開発した。

(2) 微細で深いレジストパターン内部への銅めっきは、表面張力の影響でレジスト内部に泡が混入するため困難であった。今回、レジスト表面をプラズマ処理することで、深いパターン内部への銅めっきに必要な表面状態に改質できることを見出し、微細なサーマルビアや配線を実現した。

これらの技術を用いた銅/ポリイミド多層配線のプロセスを図7に示す。①まず、めっき電極となる銅薄膜を形成する。次に、配線が形成される部分を除去したレジストパターンを形成する。その後、めっき前処理(銅酸化膜の除去とぬれ性の改善)を行い、電気銅めっきを行う。②①と同様の工程で上下配線を接続するビアポストを形成する。③レジストを除去した後、ポリイミド中への銅の拡散を防止する目的で、銅表面へチタン薄膜を形成する。④必要な部分をレジストで覆い、めっき電極を除去する。⑤ポリイミド絶縁膜を形

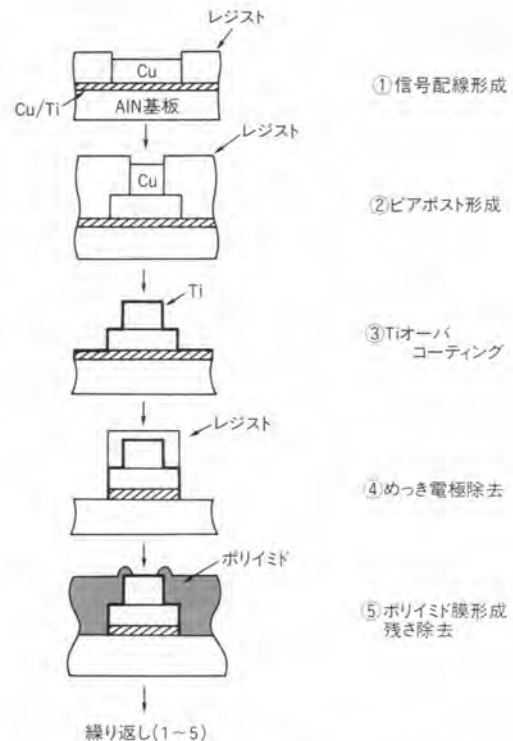


図7. 銅/ポリイミド多層配線プロセス レジストの微細加工技術と銅めっき技術により、高アスペクト比な配線やサーマルビアが形成できる。

Cu/Polyimide multilayer wiring process

成する。ここまでで1層が終了し、以降は必要回数この工程を繰り返すことで多層配線が形成される。

5 MCM の特性

今回開発したMCMは、MPUチップ(R4000)1個と入出力制御用ASICチップ1個、メモリチップ22個を搭載している。MPUと各メモリ間の配線長のばらつきを低減するため、MPUは基板のほぼ中央に配置した。

MPUと22個のメモリ間の配線を実際のMCMレイアウトに基づいてモデル化し、デバイスの入出力特性を含めた遅延解析を行った。R4000の出力回路はドライブ能力を任意に設定することができ、最大に設定した場合の解析結果を図8に示す。立下り時にアンダーシュートが見られるものの、22個のメモリレシーバの立上り/立下りのタイミングは、数百psのばらつきに納まっている。

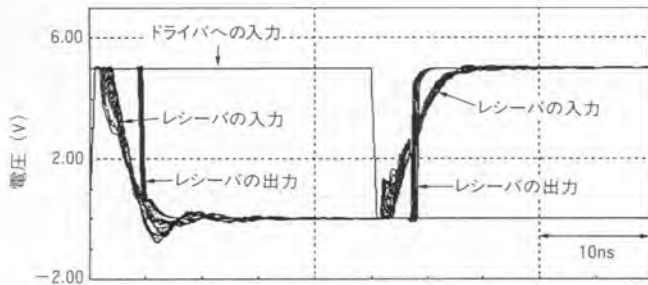


図8. 伝送特性の遅延解析 22個のSRAMの立下りタイミングは、数百psのばらつきに押えられている。

Propagation characteristics

R4000のドライブ能力を最大/最小に設定した場合の遅延を図9に示す。ドライブの能力が小さいほど遅延量は大きく最大と最小の差は6ns以上ある。しかし、R4000からメモリへのアドレス信号を伝送させるための許容時間は20ns以内であるため、ドライブ能力が最小の場合でも、配線遅延はモジュールの動作上問題のない範囲である。また、ドライブ能力を最大に設定した場合には、200MHz以上の動作が可能である。

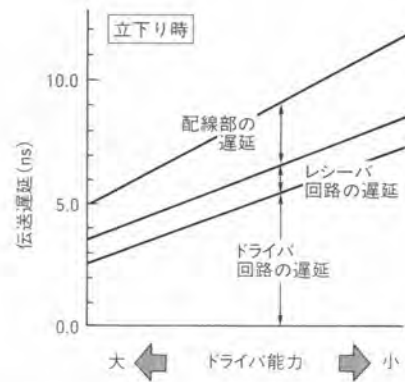


図9. ドライバ能力と遅延の関係 ドライバの能力が小さいほど、ドライバー/レシーバ回路および配線部での遅延は大きい。

Driver capability vs. delay

6 あとがき

RISCプロセッサの動作速度はますます高速になり、その高速性能を生かす実装方式としてMCMは不可欠になる。特に、ワークステーションやパソコンでは、低コスト化と同時に性能の向上が強く要求されるため、今後は低コストと高性能を両立した基板が望まれ、開発が活発化していくと思われる。



宮城 武史 Takeshi Miyagi

1982年入社。超高速素子実装技術の研究・開発に従事。現在、研究開発センター 材料・デバイス研究所主務。Materials & Devices Resarch Labs.



吉原 邦夫 Kunio Yoshihara

1980年入社。超高速素子実装技術の研究・開発に従事。現在、研究開発センター 材料・デバイス研究所主任研究員。Materials & Devices Resarch Labs.



齊藤 雅之 Masayuki Saito

1980年入社。電子部品の高密度実装技術の研究・開発に従事。現在、研究開発センター 材料・デバイス研究所主任研究員。Materials & Devices Resarch Labs.