

則松 研二
K. Norimatsu

石川 光昭
M. Ishikawa

藤井 美津男
M. Fujii

機能レベルでの設計，サブミクロンのプロセスを利用した半導体デバイスが容易に開発できる時代となってきた。開発したデバイスは，初期特性など種々の評価を行い量産に移されるが，従来の評価・解析技術では対応が難しくなっており，特に多品種少量生産，高速化，多ピン化，パッケージの多様化が顕著なロジックデバイスでは特有の問題が発生する。

当社は，このロジックデバイスの特性評価解析および故障解析用にテスト直結ジグ，デバイス加工装置，故障絞込み法，レーザーEB (Electron Beam) テスタなどを開発した。その結果，解析準備期間の大幅短縮，デバイスを高速動作しながらの解析実行，超高速波形の測定，解析期間の大幅短縮，などを実現した。

Recently, the evaluation and analysis of LSIs, which are now designed by means of high-level methods and manufactured by submicron process techniques, has become significantly more difficult. In addition, LSIs are manufactured in low volumes with a variety of products, operated at higher frequencies, and packaged in various packages with high pin counts. This tendency is particularly conspicuous in the case of logic LSIs, and peculiar problems are arising when the electrical and physical characteristics of logic LSIs are analyzed.

In this paper, an overview is given of methods and instruments developed to overcome such problems that are faced when analyzing logic LSIs.

1 まえがき

半導体デバイスはULSIの時代を迎え，その設計，プロセスはますます複雑・微細化され，デバイスの高速・多ピン化が進んでいる。これに伴い，開発段階での設計の評価および解析，ならびに故障が発生した際の解析はいっそう困難になっている。特に，ロジックデバイスはメモリデバイスに比べ，多品種少量生産，パッケージの多様化，多ピン化が顕著であり，デバイス特性の評価および解析の際には特有の問題が発生する。また，論理構造が単純なメモリデバイスに比べ，論理深度が深く，内部論理がランダムなロジックデバイスでは，外部入出力端子からの試験だけでは故障箇所を特定したり特性を解析するのが困難であることから，さまざまなツール，装置を利用した解析手法の開発が必須(す)となっている。

ここでは，特にロジックデバイスの解析を行うにあたってのさまざまな問題点と，それらに対する解決方法について述べる。

2 ロジックデバイス解析に必要とされる機能と問題点

2.1 必要とされる機能

解析は大きく分けると次の三つの段階で行われ，各段階で

それぞれ必要とされる機能は少しずつ異なる。

- (1) 初期特性の評価と解析 設計，プロセスの複雑・微細化に伴いシミュレーションでは検証しきれず，設計段階では予測できない故障が発生する場合がある。そのため，短い開発期間で高付加価値の製品をできるだけ早期に市場に出すためには，設計の検証を高精度で効率よく行うことが必要となる。したがって，ここでは所望の解析条件(特に高周波動作)でデバイスを駆動させたいうえで，時間，電圧，電流などの基本パラメータが高分解能，高精度で測定できる能力が求められる。
- (2) 故障解析 万一デバイスが故障した場合は，早急に故障解析を行い，その結果を生産ラインへフィードバックさせる必要がある。したがって，ここでは即座に解析に取りかけられること，故障現象が再現できること，故障箇所特定・原因究明が短時間でできることが求められる。
- (3) 歩留まり解析 開発品の立上げ時，または量産時の低歩留まり発生時には早急に低歩留まりの原因を解析し，その原因を取り除く必要がある。ここでは，状況を的確に把握し，即座に解析に取りかけられること，不良状態が確認できること，故障箇所特定・原因究明が短期間でできることが求められる。

以上のように，ロジックデバイス解析には次の機能が必要

とされる。

- (a) デバイスを実動作周波数で解析できる。
- (b) 時間、電圧、電流などの基本パラメータが高分解能、高精度に測定できる。
- (c) 解析準備が容易。
- (d) 現象が速やかに確認できる。
- (e) 故障箇所の特定・原因の究明が短時間で行える。

2.2 問題点

実際にロジックデバイスの解析時には、前述の必要とされる機能が実現できない場合が多く、以下の問題がある。

2.2.1 解析環境の準備 通常、解析を行う場合は(特に、EB テスタのようにデバイスを真空中に入れて測定を行う場合)、専用の信号源を用いてデバイスを駆動させているため、ATE (Automatic Test Equipment) を用いたデバイスの評価環境をそのまま利用することができず、解析のための測定ジグ、解析用テストプログラムを作成している。

また、ATE からデバイスを駆動できる場合でも、配線を引き伸ばして信号を入力しており、ATE の性能を十分に引き出すことができていない。

さらに、ロジックデバイスでは使用しているパッケージが多種多様であるため、共通のジグを用意するのが困難で、製品固有の測定ジグを作らなければならず、またデバイスの高速・多ピン化が進むにつれ、ジグ、プログラムの作成に多くの時間を費やしている。また、たとえばジグなどが準備できたとしても ATE で測定する場合と条件が異なるため、所望の測定条件(例えば高周波動作など)でデバイスを駆動できない場合や、現象を再現できない場合もある。

このように、従来の解析環境は多くの問題を抱えており、ロジックデバイスの解析時には ATE の測定環境でそのまま解析できることが望まれている。

2.2.2 デバイス準備 ロジックデバイスの配線の微細化と多層配線化が進むにつれ、内部配線の信号測定は困難になってきており、特に下層配線の信号の表面の保護膜を介しての測定は非常に難しい。このような場合、チップ表面を露出ただけでは測定が不可能で、配線層までを露出させる処理が必要な場合が増えてきている。

2.2.3 解析装置の測定限界 回路内部の動作解析を行う際に必要となるのは、高分解能、高精度で測定できる能力である。しかし、特に内部波形のタイミング解析については、デバイスの高速化が進むにつれさらに高い能力が要求されるようになってきており、測定がしだいに困難になってきている。また、解析準備の問題点と関連する点ではあるが、多層配線されたデバイスの下層配線の信号の測定が非常に難しくなっている。

2.2.4 故障の絞込み ロジックデバイスでは、フェールビットマップを利用した解析手段をもつメモリデバイスに比べ、ATE での評価結果だけで故障箇所を特定するのはかなり

難しく、効率よく故障解析を行うには、まず最初にどの回路を解析すればよいのかを絞り込むことが重要となる。しかし、従来は故障候補の絞込みを設計技術者が ATE での測定結果を検討することによって行っていたため多くの時間を要していた。これは、ASIC (用途特定 IC) のように半導体メーカー側で内部回路がわからない場合はさらに困難であり、効率よく故障箇所を絞り込んで推定する手法の確立が求められていた。

3 問題点に対する解決方法

前述の問題点に対し、当社は解析準備期間を短縮するための施策と、解析能力を向上させるためのツール、装置の開発を行った。

3.1 テスタ直結ジグの開発

解析の際に ATE で使用している測定ジグをそのまま使用できるようにすれば、解析ジグ、テストプログラム作成が不要となり、しかも ATE での測定環境に近くなり現象不再現の問題も少なくなることが期待できる。当社はそこに着目し、ATE と解析装置との直結を推し進め、特に EB テスタで通常 ATE で使用しているパフォーマンスボードをそのまま真空中に入れ、ATE と直結して測定できるジグを開発した。

図 1 にこのジグの模式図を示す。図 1 からわかるようにほんのわずかに線路長が伸びただけの状態では、EB テスタと ATE とを直結させて解析できるようになり、ほとんど ATE での測定と同等の環境が構築できた。

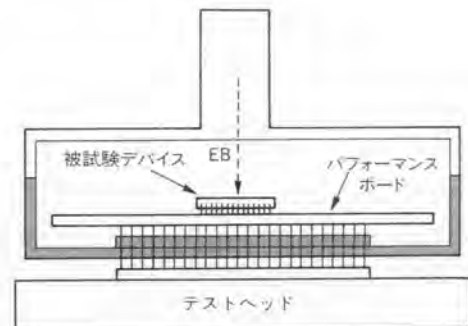


図 1. EB テスタと ATE との直結ジグ パフォーマンスボードを真空中に入れて接続可能なジグを開発した。

Direct docking scheme of electron beam tester and automatic test equipment

図 2 に、このジグを用い、高速動作させて解析を行ったときの波形の測定例を示す。この例は、外部ピンが 300 ピン以上のデバイスを 200 MHz の周波数で動作させながら内部波形間でのカップリングノイズを観測したもので、 $1/2 V_{dd}$ 程度のノイズ発生により誤動作しているのが確認できた。従来、高速動作デバイスの解析を行う際には、特殊な専用ジグに専用の信号源から限られた本数の高速波形信号を入力していたが、

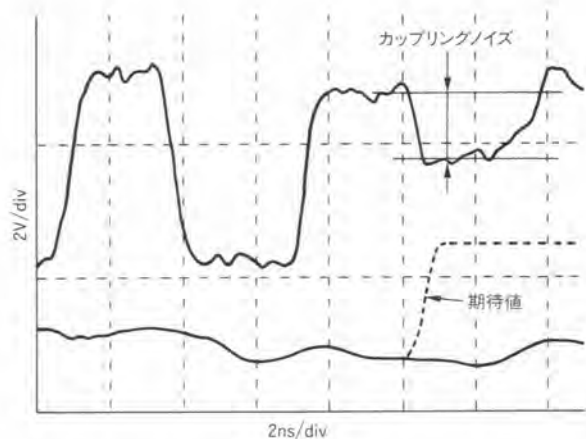


図2. 高速動作デバイスでの測定波形例 テスタ直結ジグ使用によりデバイスを高速動作させて解析できるようになった。

Weveforms measured under high-frequency operation

多ピンデバイスではジグの作製が困難であり、また使用する信号源の制限などがあり十分な解析ができなかった。しかし、ATE との直結により高速多ピンデバイスの解析でも、前述したとおり短い準備期間で可能となり、解析能力も大幅に向上した。

図3に解析準備期間の推移を示す。このジグを使用することにより解析準備の途中工程が省略可能となり、また故障現象の再現も容易となったため、従来1週間以上もかかっていた解析の準備期間が1時間程度と飛躍的に短縮することができた。

以上のように、このジグの使用により次の効果が確認できた。

- (1) 実動作周波数でのデバイス解析が可能になった。
- (2) 現象の確認が著しく容易になった。
- (3) 解析準備期間を大幅に短縮できた。

3.2 デバイス加工装置

多層配線されているデバイスに対しては、FIB (集束型イオ

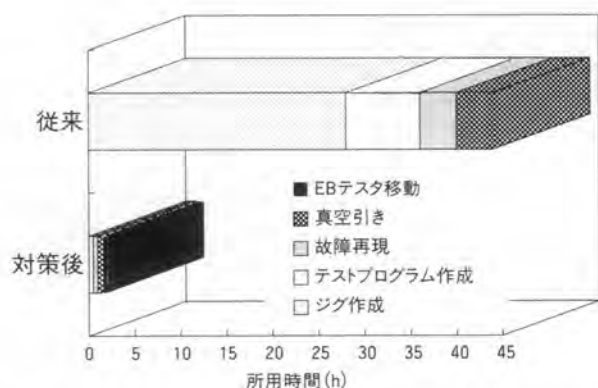


図3. 解析準備期間の推移 解析装置とテスタとの直結により解析までの手間が省け、準備期間が大幅に短縮された。

Reduction of device preparation time for device analysis

ンビーム) 加工装置, RIE (反応性イオンエッチング) 装置, レーザカッタなどを用いてデバイス表面の保護膜の全面的あるいは部分的に剥(はく)離し, 測定を容易にした。

3.3 故障の絞込み

3.3.1 故障辞書の利用による絞込み この手法では、故障シミュレーションを実行して作る故障辞書から検出ノード、故障種類、故障検出時の出力ピン情報と、ATEで測定した際のフェールログからフェールアドレス、フェールピン情報とを照合し、故障候補ノードを絞り込んでいく(図4)。この手法を使用することにより、回路設計者でなくとも容易に故障候補ノードを絞り込み、解析を行うことができるようになり、解析期間の短縮に寄与している。

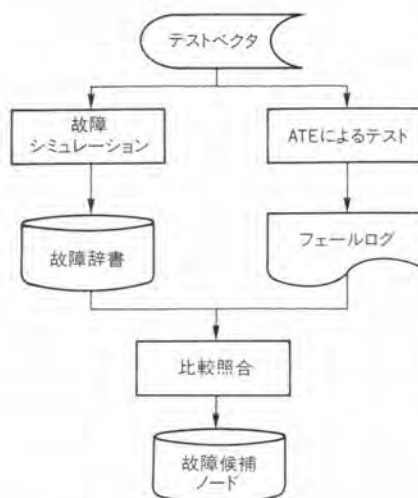


図4. 故障辞書を利用した絞込みのフロー 故障辞書とテスタのフェールログを照合し、故障候補ノードの絞込みを行う。

Basic concept of fault tracing method using fault dictionary

3.3.2 画像比較による絞込み EB テスタでは電位コントラスト画像と呼ばれるデバイス内の配線電位が画像のコントラストに反映された画像(“Hi”状態が暗く, “Lo”状態が明るい)を得ることができる。したがって、この電位コントラスト画像を求めれば、そのタイミングでの回路内部配線の論理状態を知ることができる。EB テスタの画像を利用した絞込み手法とは、良品と不良品について同じタイミングで求めた電位コントラスト画像を比較することにより論理の異なる箇所を見つけ、最終的に故障発生の原点を見つけようというものである。

実際には観測するタイミングでテストパターンをホールドして画像を取得し、ホールドするアドレスをさかのぼった際に差像上に故障箇所が現れなくなった箇所を故障発生の原点としている(図5)。

この手法の特長は次のとおりである。

- (1) 解析する回路の設計者でなくとも故障追跡できる。

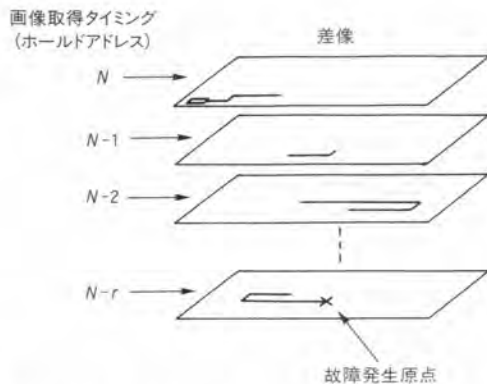


図5. 画像比較を利用した故障追跡 差像上に現れた故障箇所を、画像取得タイミングをさかのぼりながら追跡することにより故障発生原点を特定することができる。

Fault tracing using image comparison method

- (2) CAD データがなくとも解析できる。
- (3) 比較的短時間で故障箇所が特定できる。

3.4 レーザ EB テスタ

従来、内部回路のタイミング測定を行う際に使用されていた EB テスタに対して、より高速な波形の測定が可能なレーザ EB テスタを開発した。従来の EB テスタでは電子ビームをチョッピングしてパルス電子ビームを発生させ、これを測定のプロープとしていたのに対して、レーザ EB テスタではレーザパルスから変換したパルス電子ビームを測定プロープに用いたものであり (図 6)、数 ps 程度の短いパルス電子ビームを発生できる。高速波形の立上り、立下りを精度よく測定するのに適しており、①設計の最適化、②シミュレーション用パラメータの抽出、③高速動作デバイスの故障解析に効果を発揮している。

4 あとがき

上述のように、ロジックデバイスの解析に際し、直面する問題点に対応した結果、次のことが可能になった。

- (1) パフォーマンスボードが利用できるテスト直結ジグを開発したことにより、解析の準備期間が大幅に短縮された。
- (2) 前述のジグの利用によって、デバイスを高速動作させ

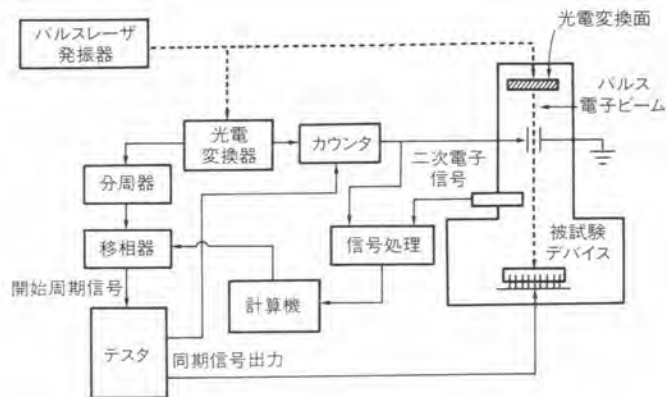


図6. レーザ EB テスタのブロック構成 レーザ EB テスタでは、レーザパルスを電子ビームパルスに交換し、これをプローブとして用いている。

Block diagram of laser electron beam tester system

ながら解析できるようになった。

- (3) レーザ EB テスタにより、超高速波形が測定できるようになった。
- (4) 故障絞込み手法の開発により、解析期間が短縮できた。今後は、設計の段階からデバイスの中に解析しやすい機構を盛り込んでいく解析容易化設計手法の確立と、解析が誰にでも行えるようにするための故障解析エキスパートシステムの開発を進めていく。



則松 研二 Kenji Norimatsu

1983 年入社。故障解析技術の開発に従事。現在、半導体事業本部半導体評価技術部主務。
Semiconductor Group



石川 光昭 Mitsuaki Ishikawa

1971 年入社。テスト容易化設計技術・故障解析技術の開発に従事。現在、半導体事業本部半導体評価技術部主査。
Semiconductor Group



藤井 美津男 Mitsuo Fujii

1981 年入社。テスト容易化設計技術・故障解析技術の開発に従事。現在、半導体事業本部半導体評価技術部課長。
Semiconductor Group