

## 同期型 1M ビット高速パイプラインバースト SRAM

## Synchronous 1 Mbit High-Speed Pipeline-Burst SRAMs

小平 靖宣  
Y. Kodaira中村 健一  
K. Nakamura早坂 一人  
K. Hayasaka

高速演算処理能力をもちマイクロプロセッサ (MPU) の要求パフォーマンスを実現する、同期型 1 M ビット高速パイプラインバースト SRAM (PBSRAM) を開発した。

この PBSRAM は、クロックアクセスタイム 8 ns、サイクルタイム 15 ns、3.3 V 単一電源で動作する TC55V1325FF (32 K ワード×32 ビット)、TC55V1165FF (64 K ワード×16 ビット) の 2 製品で、変調二重ワード線方式などの高速回路技術および 0.45  $\mu\text{m}$  CMOS 微細加工技術の導入により、3.3 V の低電圧ながら 66 MHz 動作を実現した。また、外囲器に 100 ピンの LQFP (Low profile Quad Flat Package) を採用することにより高密度実装が可能となった。

Toshiba has developed two synchronous 1 Mbit high-speed pipeline-burst SRAMs (PBSRAMs). The clock access time of these PBSRAMs is 8 ns and the cycle time is 15 ns. The TC55V1325FF is a 32 K word  $\times$  32 bit type and the TC55V1165FF is a 64 K word  $\times$  16 bit type.

We have achieved PBSRAM functions with the maximum operating clock frequency (66 MHz) in spite of the low power supply (3.3 V) by utilizing 0.45  $\mu\text{m}$  fine process technology and high-speed circuits such as the modified double word line scheme. Both devices are packaged in a 100-pin low-profile quad flat package (LQFP) for high-density assembly applications.

These synchronous 1 Mbit high-speed PBSRAMs satisfy the secondary cache memory requirements for high-end microprocessors.

## 1 まえがき

マルチメディアの中核に位置づけられるパソコン (PC) のパフォーマンスは急速に向上しており、そのマーケットは拡大、成長を続けている。これは MPU の性能の向上によるところが大きく、年々、演算処理能力は高まり、その動作周波数はますます高速になっている。これに伴い、メモリに対する要求スピードもいっそうの高速化が求められている。

一般的に、高性能 MPU の性能を十分に引き出すため、高速 SRAM を二次キャッシュメモリとして MPU とメインメモリの間に配置し、MPU と二次キャッシュ間のデータのやり取りをする。従来は、非同期型の高速 SRAM がキャッシュメモリの主流であった。

当社は、非同期型の高速 SRAM を用いたシステムに比べてさらに高いコストパフォーマンスを実現するシンクロナス (同期型) の 1 M ビット高速 PBSRAM シリーズ (TC55V1325FF : 32 K ワード×32 ビット、TC55V1165FF : 64 K ワード×16 ビット) を製品化した (図 1)。高性能 MPU が備えるバーストモードと呼ばれる、4 アドレスの高速データ転送機能に対応している。

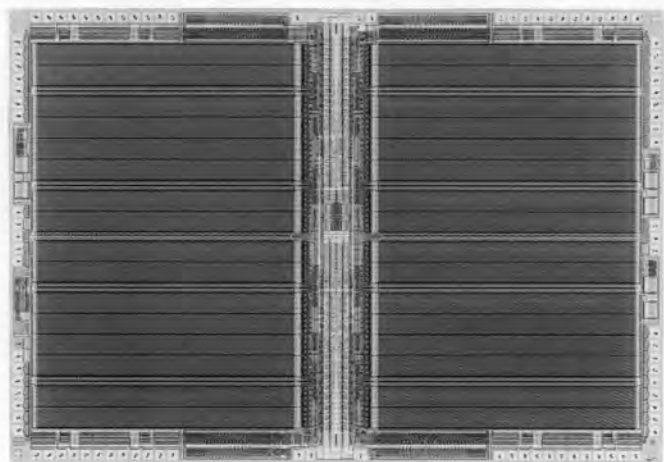


図 1. 同期型 1M ビット高速 PBSRAM チップ 0.45  $\mu\text{m}$  CMOS 微細加工プロセスを採用したことにより、3.3 V の低電圧ながら 66 MHz 動作を実現した。

Synchronous 1 Mbit high-speed PBSRAM chip

非同期の高速 SRAM を使用したキャッシュメモリのシステムに比較して、同期型高速 PBSRAM を二次キャッシュメモリとして使用した場合のパフォーマンスの改善度は 1.43 倍に

もなり、システム性能のいっそうの向上に寄与する。

以下、回路技術、プロセス技術、特長などを中心に述べる。

## 2 回路技術と回路構成

同期型 1 M ビット高速 PBSRAM は、主にキャッシュメモリとして使用される。図 2 に入出力信号が 32 ビット構成の PBSRAM のシステム構成を示す。

この PBSRAM には、①ライトパススルー機能、②モード端子入力によるリニアバーストシーケンス、インタリーブバーストシーケンスの切換え、③ ZZ 端子入力による低消費電流モードの制御、④メタルマスク 1 層のオプションによる入出力信号の 32 ビット、16 ビット構成の切換えなどのさまざまな機能を搭載し、多様なユーザのニーズに対応できるようにした。また、以下で述べるレイアウトや回路方式を採用することでチップサイズ縮小と高速化を図り、コストパフォーマンスに優れた製品の開発を旨とした。

1 M 個分のメモリセルアレーは 4 ブロックに分割し、それぞれに 8 ビットの入出力信号を割り当てた。そして、各ブロックは 512 行 × 512 カラムの構成にして、さらに四つのセクションセルアレー (計 16 セクション) に分割している。この

ようなセルアレーの構成にすることでデータ信号線長の短い配線レイアウトが可能となり、セクションごとにセンスアンプ回路を設ける必要がなくなった。このことにより、配線エリアの縮小と信号伝搬の高速化を行っている。

その他の回路上の特長を次に列挙する。

- (1) 基板バイアス回路 P ウェルおよび N ウェルのそれぞれに対しバイアス回路を用意して、寄生容量となる接合容量を低減することで信号伝搬の高速化を図った。
- (2) バースト回路 バーストコンティニューモード時に、選択アドレスをチップ内部において変化させるためのカウンタ回路をスピード上マージンのあるカラムデコーダ回路に組み込み、サイクルタイムなどの特性がバーストモードの状態によって変動しないようにした。
- (3) デコーダ回路 メインワード線とセクション選択線の負荷を均一にして、各アドレス信号からセル選択までの時間をそろえるため、4 行に 1 本の割合でメインワード線を割り当てる変調二重ワード線方式を採用した。
- (4) イコライズパルス発生回路 クロック信号の立上りのタイミングに同期してイコライズパルスを発生し、センスアンプ回路などを制御させることで、データ信号の高速化を図った。

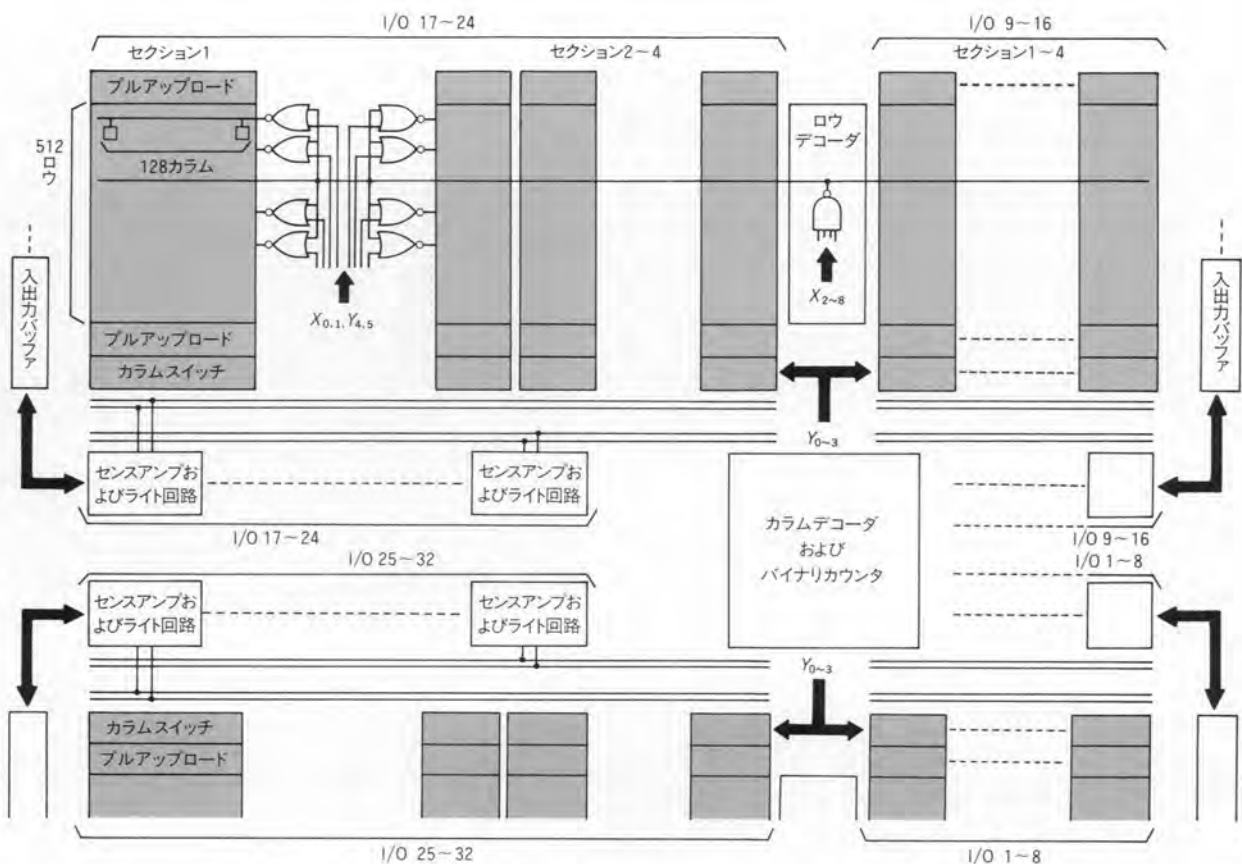


図 2. 同期型 1 M ビット高速 PBSRAM のシステム構成 セルアレーを 4 ブロックに分割し、それぞれに 8 ビットずつの入出力信号を割り当てている。さらに、各ブロックは四つのセクションに分割している。周辺回路は上下のセルアレーの間に配備している。

System diagram of synchronous 1 Mbit high-speed PBSRAM

### 3 プロセス技術

#### 3.1 同期型 1M ビット高速 PBSRAM のプロセス技術

同期型 1M ビット高速 PBSRAM は、0.45  $\mu\text{m}$  デザインルールを用い約 680 万素子を収め、高集積化を図っている。プロセスは三層ポリシリコン/二層メタル構造を採用している。表 1 に同期型 1M ビット高速 PBSRAM の主なプロセスパラメータを示す。

表 1. 同期型 1M ビット高速 PBSRAM の主なプロセスパラメータ  
Process parameters for synchronous 1 Mbit high-speed PBSRAMs

設計ルール	0.45 $\mu\text{m}$ 加工技術
プロセス技術	ツインウェル CMOS 技術 多層配線技術 (三層ポリシリコン/二層メタル)
トランジスタ ゲート長 (NMOS) (PMOS) ゲート酸化膜厚 接合深さ	0.45 $\mu\text{m}$ (LDD トランジスタ) 0.45 $\mu\text{m}$ 9 nm 0.20 $\mu\text{m}$
メモリセル セル構造 ビット線 ワード線 セルサイズ	高抵抗負荷型セル (E/R 型) 1st メタル 1st ポリシリコン / 2nd メタル 3.06 $\mu\text{m}$ $\times$ 5.04 $\mu\text{m}$ (15.4 $\mu\text{m}^2$ )

メモリセル構造は、従来の高速 SRAM で用いている高抵抗ポリシリコンの E/R (Enhancement/Resistor) 型を採用している。メモリセルサイズは 3.06  $\times$  5.04 (15.4  $\mu\text{m}^2$ ) である。

高性能・高信頼性を実現するためゲート長 0.45  $\mu\text{m}$ 、ゲート酸化膜厚 9 nm の LDD (Lightly Doped Drain) 構造のトランジスタを形成している。低抵抗のシリサイド (2 層) と二層メタル配線を使用し、高速化と高集積化を実現している。

また、微細加工技術として超高解像度の露光装置や高いエッチング選択性とダメージの少ない新型エッチング装置を新たに採用し、適切な寸法制御の下に安定した特性を得ている。

図 3 に同期型 1M ビット高速 PBSRAM のチップ断面構造を示す。

#### 3.2 高性能・高信頼性 MOS トランジスタ

この PBSRAM では、電源電圧 3.3 V の新たに開発した高性能・高信頼性の MOS トランジスタを形成している。低抵抗のシリサイドをゲートおよび配線に使用することにより、配線遅延を改善し高速化を図っている。さらに、接合容量低減のため、従来の高速 SRAM では NMOS トランジスタだけに印加していた基板バイアスを PMOS トランジスタにも印加することにより、さらなる高速化を達成している。ゲート長の短いトランジスタで問題になるショートチャネル効果は、チャネルおよびウェルの不純物プロファイルの最適化と、熱処理の低温化や時間短縮による浅い接合の形成により抑制している。また、従来の高速 SRAM で実績のある LDD 構造の NMOS トランジスタを採用し、チャネル内部の電界強度を緩和してホットキャリアに対する信頼性を確保している。これらの高性能・高信頼性化の手法に加えて、厚さ 9 nm の高信頼性ゲート酸化膜形成プロセスの採用、さらに、高いエッチング選択性とダメージの少ない新型エッチング装置の適用により、プロセス・デバイス両面から高性能・高信頼性 MOS トランジスタを実現している。

#### 3.3 シリサイドプロセス技術

この PBSRAM では高速化とメモリセルサイズの縮小のため、低抵抗のシリサイドを 2 層使用している。1 層目は MOS トランジスタのゲートとそれらの配線であり、高速化に寄与している。2 層目は、主にメモリセルの接地線である。従来の高速 SRAM は、MOS トランジスタのゲートと同じ層でメモリセルの接地線を形成していたため、メモリセルサイズを縮小しにくかった。この PBSRAM は、メモリセルの接地線を 2 層目のシリサイドで形成することにより、3.06  $\times$  5.04 (15.4  $\mu\text{m}^2$ ) のセルサイズを実現し、チップサイズに対するメモリセル領域の割合 (セル占有率) を、従来の高速 SRAM に比べ大

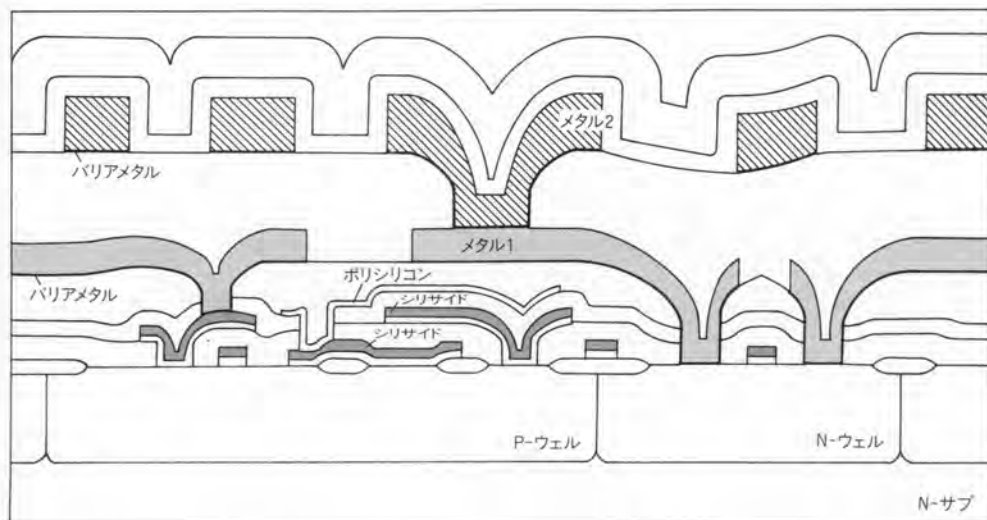


図 3. 同期型 1M ビット高速 PBSRAM のチップ断面構造 3 層のポリシリコンおよび 2 層のアルミを配線として使い、ツインウェル上に素子を形成した。

Schematic cross section of synchronous 1 Mbit high-speed PBSRAM

幅に向上させている。また、メモリセルの接地線に低抵抗のシリサイド層を使用することにより、メモリセルのデータ保持安定性を高め高信頼性化にも寄与している。

### 3.4 二層メタルプロセス技術

二層メタルプロセス技術は、高速化の手法として高速SRAMでは従来から用いられている。同期型1Mビット高速PBSRAMでは、1層目、2層目のメタル両方に、バリアメタルとアルミニウムの2層構造を採用し、エレクトロマイグレーション・ストレスマイグレーション耐性の高い高信頼性の二層メタル配線を実現している。

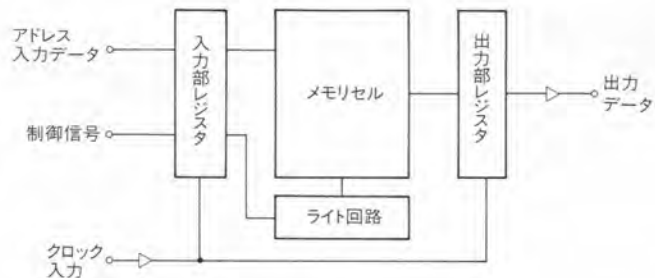


図4. 同期型1Mビット高速PBSRAMの基本構成 メモリセルの入力部レジスタと出力レジスタはクロックで同期制御される。

Basic structure of synchronous 1 Mbit high-speed PBSRAM

## 4 主な特長

### 4.1 パイプラインアクセス

図4に基本構成を示す。メモリセルの入力部および出力部にレジスタを配置し、クロックピンに入力される信号により入出力のレジスタを同時に制御する回路構成である。入力信号の取込みとデータの出力を同一サイクルで行うことができるため、動作周波数が向上する。また、出力データは前サイクル中に出力レジスタ部まですでに伝わっているため、読出し時間はクロックの信号の立上がりを受けて出力レジスタからアクセスする時間しか必要としない。したがって、高速でアクセスすることができる。

### 4.2 バースト転送

バースト転送方式は、読出し、書込みを4アドレス分について連続して高速に行うデータ転送方法である。同期型1Mビット高速PBSRAMは、図5に示すようにバースト開始のアドレスをMPUから受け、内蔵するバーストアドレス生成回路によりアドレスを発生し、自動的に4アドレス分のデータを受渡してできるため、高性能MPUのデータ転送方式に完

全に対応している。

1回のバースト転送に要する動作必要サイクル数は、従来の非同期の高速SRAMを用いたキャッシュシステムでも9(3-2-2-2)サイクルであるが、これに対してこのPBSRAMは6(3-1-1-1)サイクルで済む。これはMPUの演算処理能力を引き上げることにつながり、システムの性能を飛躍的に向上させる。また、このPBSRAMは2種類のバーストシーケンスに対応でき、Pentium<sup>TM</sup>(注1)に対応するインタリーブバーストシーケンスとPowerPC<sup>TM</sup>(注2)に対応するリニアバーストシーケンスにMODEピン(外部端子)で切換えが可能である。

### 4.3 スヌーズモード

クロックピンに同期せず独立に機能するZZピン(外部端子)により低消費待機時電流となるスヌーズモードを提供している。ノートブックPCなどの省電力化に有効である。

(注1) Pentiumは、米国インテル社の商標。

(注2) PowerPCは、米国IBM社の商標。

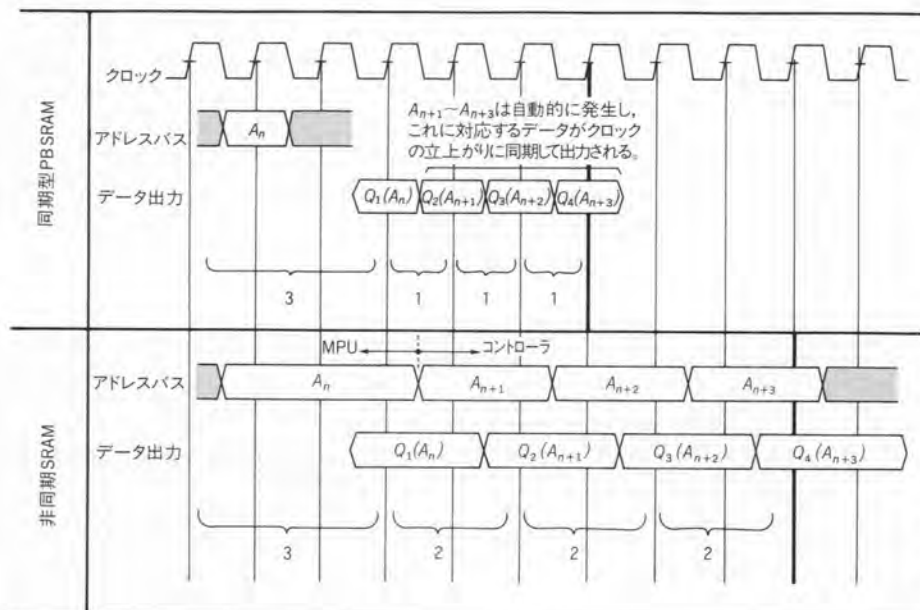


図5. 高速SRAMによるキャッシュシステムの読出しタイミング 非同期SRAMに比べ同期型PBSRAMの読出しタイミングは速くなる。

Read timing of cache system

## 5 製品ラインアップ

表2に同期型1Mビット高速PBSRAMの製品ラインアップを示す。

表2. 同期型1Mビット高速PBSRAMのラインアップ  
Lineup of synchronous 1 Mbit high-speed PBSRAMs

項目	製品名	TC55V1325FF	TC55V1165FF
ビット構成		32 Kワード×32ビット	64 Kワード×16ビット
容量		1 Mビット	
電源電圧		3.3 V 単一電源	
動作周波数		66/60/50 MHz	
アクセスタイム		8/10/12 ns	
インタフェースレベル		LVTTTL	
パッケージ		100ピンLQFP(1.6mm厚標準)	

32 Kワード×32ビット構成のTC55V1325FFと64 Kワード×16ビット構成のTC55V1165FFの2製品をラインアップした。いずれも3.3V単一電源で動作する。

外囲器には、100ピン、1.6mm厚のLQFPを採用し、高密度実装に対応している。

## 6 電気的特性

表3に同期型1Mビット高速PBSRAMの主な電気特性を示す。

表3. 同期型1Mビット高速PBSRAMの主な電気特性  
Electrical characteristics of synchronous 1Mbit high-speed PBSRAMs

	記号	特性値			単位
		-8	-10	-12	
サイクルタイム	$t_{KC}$	15	16	20	ns
クロックアクセスタイム	$t_{KQV}$	8	10	12	ns
OEアクセスタイム	$t_{OQV}$	6	6	7	ns
動的消費電流	$I_{DDO1}$	220			mA
静的消費電流	$I_{DSS2}$	2			mA

OE: 出力バッファコントロール

サイクルタイム( $t_{KC}$ ) 15.0 ns、クロックアクセスタイム( $t_{KQV}$ ) 8.0 nsを達成した。また、動的消費電流( $I_{DDO1}$ )は220 mA、待機時消費電流( $I_{DSS2}$ )は2 mAを実現。さらにスヌーズモード時の消費電流( $I_{DSS3}$ )も2 mAを達成しており、高速化と低消費電力化の両面を追求することに成功した。

図6にクロックアクセスタイム( $t_{KQV}$ )の電源電圧依存性を示す。合計で12組設けた電源、GND(接地)ペアにより32ビ

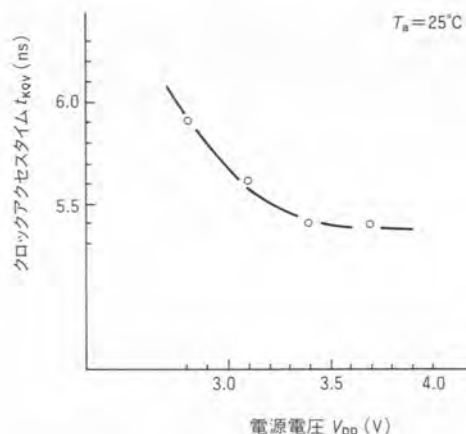


図6. クロックアクセスタイムの電源電圧依存性 32ビットの構成でも高速性が得られる。

Clock access time vs. power supply voltage

ットと多ビットにもかかわらず自己雑音を抑え、高速かつ安定した特性を得ている。

## 7 あとがき

同期型1Mビット高速PBSRAMはコストパフォーマンスが高く、今後はキャッシュSRAMの主流になるものと予想される。MPUの動作周波数は高速化の一途をたどり、システムの性能は向上し続ける。これに伴いキャッシュSRAMもさらなる高速・大容量化が、また携帯型PCの市場からは低消費電力化も要求されるものと考えられる。

この製品の開発で得られた同期型高速SRAMの技術の基本として、今後これらのニーズにこたえるべく製品展開を図りたい。



小平 靖宣 Yasunobu Kodaira

1983年入社。高速スタティックRAMの製造プロセス開発に従事。現在、メモリ事業部メモリ第一部主務。Memory Div.



中村 健一 Ken'ichi Nakamura

1984年入社。高速スタティックRAMの回路設計に従事。現在、メモリ事業部メモリ第三部主務。Memory Div.



早坂 一人 Kazuhito Hayasaka

1986年入社。高速スタティックRAMの開発評価に従事。現在、半導体システム技術センターメモリ応用技術第一部。Semiconductor System Engineering Center