

500M バイト/s 18M ビット ラムバス DRAM

500 MByte/s 18 Mbit Rambus™ DRAM

高瀬 覚
S. Takase

当社では、米国ラムバス社との技術提携により、世界に先駆けて 500 M バイト/s の高速データ転送を実現する 4.5 M ビットラムバス DRAM を開発したのに引き続き、今回 18 M ビットラムバス DRAM を開発した。

ラムバス DRAM は、高速・小振幅・パケット転送方式のクロック同期型インタフェースをもち、センスアンプキャッシュ、パルスドワード線方式を採用することにより、平均的に速いレイテンシを達成している。また、72 ビットのデータをパラレルに 16 ns という高速なカラムサイクルで取り出すことで、500 M バイト/s の高速データ転送を達成している。

In cooperation with Rambus™ Inc. (U.S.A), we have developed an 18 Mbit Rambus™ DRAM that has a data transfer rate of 500 Mbyte/s. This Rambus™ DRAM has a high-speed, small-swing, packet-transfer synchronous interface, and achieves a short latency by employing a sense-amplifier-cache, pulsed-word-line scheme. The very high data rate of 500 Mbyte/s is achieved by simultaneously reading 72 bits of data from the memory cell array in a 16 ns column cycle.

1 まえがき

現在、汎(はん)用 DRAM は大型コンピュータやワークステーション、パソコンなどのメインメモリや画像表示用メモリ、大容量データバッファなどに幅広く使用されている。

これらの機器に使用されるマイクロプロセッサの急速な演算処理能力の向上に対応し、システム全体の処理能力を高めるために高速データ転送が可能な DRAM が求められている。

当社は、このようなニーズに対応するため汎用 DRAM の 10 倍以上の高速データ転送が可能な 18 M ビット ラムバス DRAM を開発した。

ここでは、ラムバスアーキテクチャの概要と、18 M ビットラムバス DRAM について紹介する。

2 ラムバスアーキテクチャの概要

2.1 ラムバスチャンネルの構成

ラムバス社は、マスタデバイス(ラムバスインタフェースをもった CPU やグラフィックコントローラなど)と、スレーブデバイス(ラムバスインタフェースをもったメモリなど)との間で、500 M バイト/s という高速データ転送を行うバスを提唱している。そのラムバスチャンネルの構成を図 1 に示す。高速データ転送を行う 9 本のバスデータ、2 本のクロック線、2 本の制御信号線はバスの特性インピーダンスで終端され、電

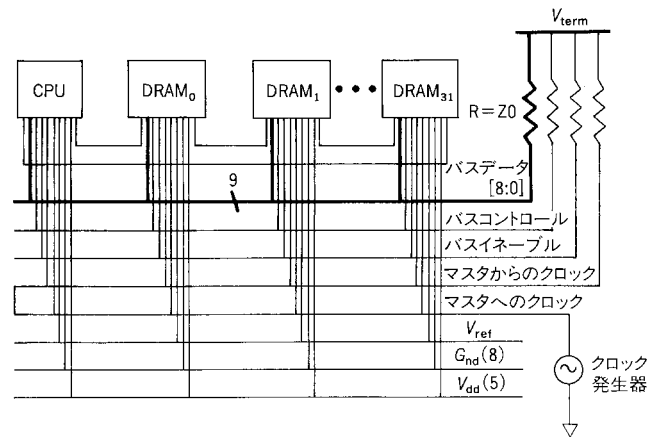


図 1. ラムバスチャンネルの概略 マスタ (CPU) とスレーブ (ラムバス DRAM) 間で 500 M バイト/s のデータ転送を行う。

Simplified view of Rambus™ channel

圧 V_{term}につられている。データはバスデータ上を 250 MHz のクロックの上下エッジに同期して (すなわち 2 ns ごとに 1 バイトずつ) 伝搬され、その振幅は V_{ref}電位を基準に ±400 mV の小振幅である。また、他の 2 本の CMOS 振幅の信号線は、システムの初期化のために使用される。

2.2 パケットデータ転送

マスタとスレーブ間のデータのやり取りは、パケット形式で行われる。例として、マスタデバイスがラムバス DRAM (ス

スレーブ) からデータを読み出す場合を図 2 に示す。

まず、マスタがラムバス DRAM に対し、リクエストパケットを発行する。バス上にあるすべてのラムバス DRAM は、そのリクエストパケット内のチップ ID を見る。自分の ID へのリクエストであると確認したチップは、次にリクエストパケット内のロウアドレスを見る。そのアドレスが、後述するセンスアンプキャッシュに保持されているロウアドレスと同じ場合には、データを読み出す動作に移る。すなわち、ヒット信号をマスタに出すと同時に、リクエストパケット内のコラムアドレスに応じたデータを 500 M バイト/s で出力していく。

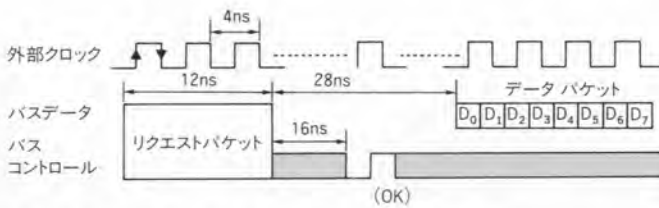


図 2. ラムバスチャンネル上のパケットデータ転送例 マスタ (CPU など) が発行したリクエストパケットに応じ、スレーブ (ラムバス DRAM) からデータパケットが返される。

Example of transaction

2.3 パッケージ

ラムバス DRAM のパッケージは高密度実装を目的とした 32 ピン縦型表面実装パッケージ (SVP) (図 3 (a)) と、省スペースを目的とした 36 ピン横型表面実装パッケージ (SHP) (図 3 (b)) がある。

SVP を用いた場合、バス上には最大 32 個のラムバス DRAM をじかに配置することができる。一方、小さなメモリ容量しか必要としないシステムの場合、横型表面実装した SHP のほうが基板垂直方向の省スペースとなる利点がある。

2.4 システム設計への利点

ラムバスシステムの利点として、次の 2 点も挙げられる。

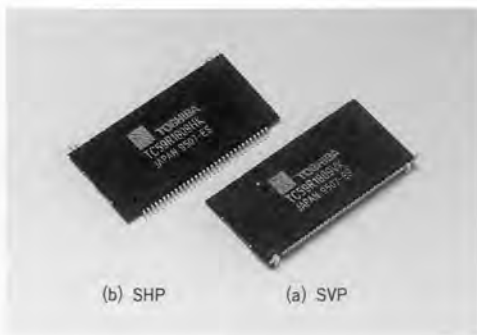


図 3. ラムバス DRAM のパッケージ 32 ピン縦型表面実装パッケージ (SVP) (a) と、36 ピン横型表面実装パッケージ (SHP) (b) がある。

Photograph of SVP and SHP package

(1) クロック周波数 250 MHz の高速バスが、ラムバス社の提唱する方式に従えば、従来の基板技術で容易に実現できる。

(2) マスタとスレーブはダイレクトにデータ転送を行うため、メモリコントローラなどの外付け論理 IC が不要である。

つまり、1 バイト幅という小さいバス幅で、500 M バイト/s という高いデータ転送レートをもつシステムを容易に得ることができる。

3 回路技術

500 M バイト/s という高速データ転送を実現するために、ラムバス DRAM には種々の回路的くふうがなされている。ここでそれらについて簡単に説明する。

3.1 スレーブロジック部の回路的特徴

スレーブロジック部の特徴として、次の点が挙げられる。

- (1) 250 MHz クロック同期 DLL (Delay Locked Loop)
- (2) 出力電流制御回路
- (3) 高速データ入力回路

3.1.1 DLL バス上の外部クロック信号とチップの内部クロック信号との同期を取るために DLL 回路がある。ラムバス DRAM は受信用と送信用の二つのクロックに対応した二つの DLL をもつ。

以下に DLL の基本的機能を説明する (図 4)。

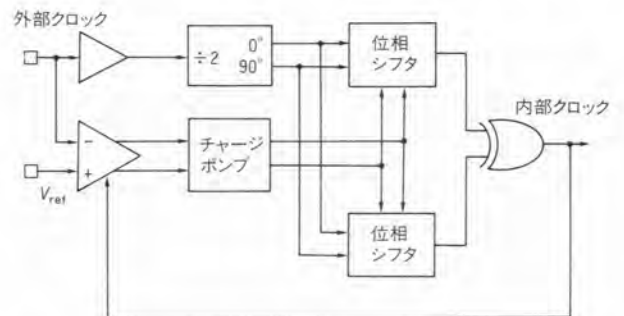


図 4. DLL の構成 チップ内外のクロック位相差を一定に保つ回路。位相シフト回路を基本とし、250 MHz の周波数に対応している。

Simplified view of DLL

DLL 内のチャージポンプを含む回路で、バス上の外部クロックとチップの内部クロックとの位相差を検知する。そしてその位相差を位相シフト回路へフィードバックし、チップ内外のクロック位相差を一定に保つよう制御する。

ラムバス DRAM で用いられた DLL は、電源ノイズ耐性に強くアクイジションタイム $1 \mu\text{s}$ 以下で、100 MHz ~ 250 MHz までの広い動作周波数をもっている。

3.1.2 出力電圧制御 マスタとスレーブ間の正確なデータ転送のために、バスへの出力振幅はある程度の大きさが必要である。しかし高速データ転送の場合、消費電流削減やノイズ減少の観点から、出力振幅はむしろ小さいほうが望ましい。つまり、高速で動作するデバイスは出力振幅に最適値をもつことになる。しかし従来型の出力バッファを用いた場合、動作温度やプロセス条件によってトランジスタの電流値が変化するのに応じて、出力電圧も変動してしまうという問題があった。

クロック周波数が 250 MHz という高速で動作するラムバス DRAM は、この問題を解決するため、動作温度やプロセス条件によらず出力電圧を一定に保つ制御回路を設けている。

出力電圧制御回路では、 V_{term} と V_{ref} の電位差をモニタし、その 2 倍の電圧が出力されるように、ディメンジョンの異なる六つのトランジスタの ON/OFF を制御している (図 5)。

3.1.3 高速データ入力回路 ラムバス DRAM のデータ入力回路は、2 ns ごとにデータを受け取らなければならない。この重荷を緩和するために、ラムバス DRAM では、各パッドごとに二つの入力回路をもち、それらを交互に動作させ、そ

の動作周波数を緩和している (図 6)。

また、それぞれの入力回路は差動型回路を 1 段目として用い、その出力を受けた 2 段目で CMOS レベルにスイングさせる構成をもち、その高い動作周波数に対応している。

3.2 DRAM 部の回路的特徴

ラムバス DRAM の構成を図 7 に、チップを図 8 に示す。

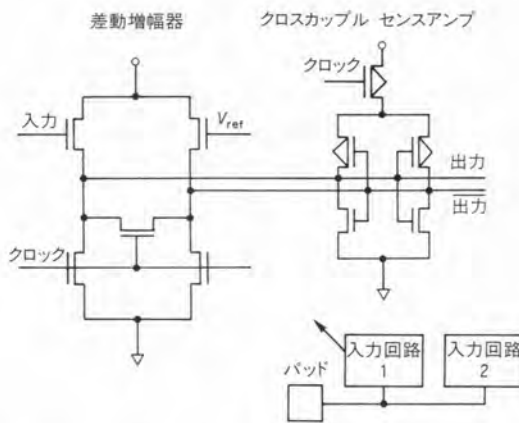


図 6. クロック同期・高速データ入力回路 パッドごとに二つの入力回路をもち、各入力回路は初段に差動増幅器、2 段目にクロスカプル型増幅器を備えている。

Synchronized high-speed input receiver

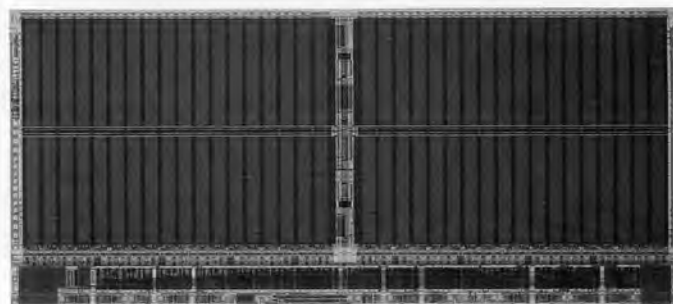


図 8. 18 M ビット ラムバス DRAM のチップ チップサイズは 17.75 mm x 8.00 mm。

Microphotograph of 18 Mbit Rambus™ DRAM

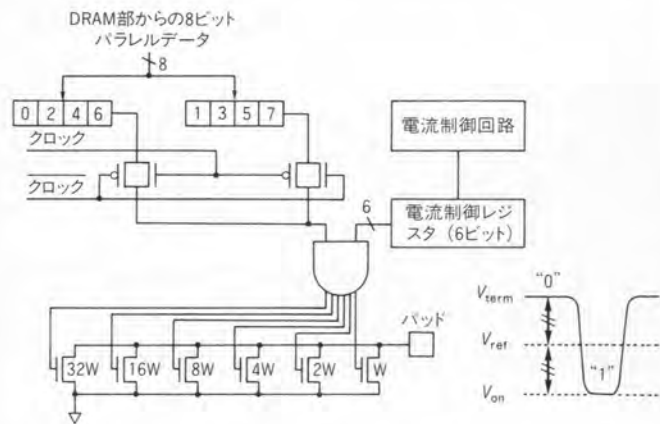


図 5. 出力電圧制御の概念 出力電圧がちょうど V_{on} となるように、六つの出力トランジスタの ON/OFF を制御する。

Simplified view of output voltage control system

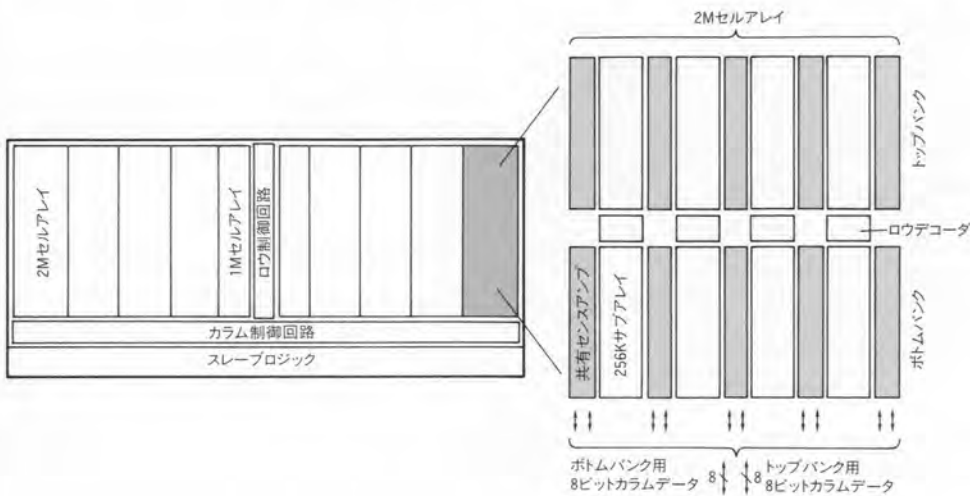


図 7. 18M ビット ラムバス DRAM のフロアプラン DRAM 部は、共有センスアンプ構成の 2 バンクをもち、72 ビットデータをパラレルに 16 ns サイクルで読み書き動作を行う。

Floor plan of 18 Mbit Rambus™ DRAM

DRAM 部には次のような回路的くふうがなされている。

- (1) 16 ns の高速カラムサイクル
- (2) 1 K バイト×2 バンク センスアンプキャッシュ
- (3) パルスド ワード線
- (4) ビット単位のライトマスク機能

3.2.1 高速カラムサイクル 汎用 DRAM には、平均的なデータ転送レートを上げるため、ファーストページモードや、EDO (Extended Data Out) モードがある。ラムバス DRAM もそれと同様、基本的にはセンスアンプへのデータ読み書き動作 (アクセス) を行う。すなわち、DRAM 部では 72 ビットのデータをパラレルに 16 ns の高速カラムサイクルでセンスアンプにアクセスすることにより、500 M バイト/s という汎用 DRAM の 10 倍ものデータ転送を達成している。

この高速カラムサイクル実現のため、センスアンプから中間データバッファに至るデータ転送部の浮遊容量を減らすなど、高速動作のための注意深い設計が行われている。

3.2.2 センスアンプキャッシュ センスアンプへのアクセスは、セルへ直接アクセスする場合よりも、ロウ系動作がない分、短い時間で完了する。

この特長を生かすため、ラムバス DRAM では、データの読み書きはなるべくセンスアンプに対して行われるよう以下の 2 点のアーキテクチャを採用している。

- (1) センスアンプの活性化率を高くする。
(汎用 4 K リフレッシュ品に対し 8 倍の活性化率)
- (2) センスアンプを 2 バンク構成にすることにより、2 ウエイ キャッシュのように動作させる。

これらのアーキテクチャの採用により、ラムバス DRAM では、データの読み書き動作に要する平均的な時間を大幅に短縮している。

3.2.3 パルスド ワード線 上述したように、セルへアクセスする場合は、センスアンプへアクセスする場合よりも長い動作時間を必要とする。その時間を短縮するアーキテクチャとして、ラムバス DRAM ではパルスド ワード線方式を採用している。

以下に、パルスド ワード線方式について説明する。

汎用 DRAM では、センスアンプが活性化している間ワード線も活性化されているため、セルとセンスアンプはいつも同じデータであることが保証されている。ところがこの方式では、次のロウ系動作開始前に必ずワード線を落とす動作が必要となり、それだけ時間がかかる欠点がある。この時間を短縮するために、ラムバス DRAM では、センスアンプ活性化後

に、ワード線をあらかじめ落としておく (パルスド ワード線) 方式を採用している。これは次回のロウ系動作時間を大幅に短縮する利点をもつ。

しかし、この方式では、ワード線が落ちたあとにセンスアンプへのライト動作が起きた場合、セルとセンスアンプのデータが一致しなくなる。そこでその場合は、次のロウ系動作開始前に、ワード線を再度活性化しセンスアンプのデータをセルに書き戻す (ライトバック) 必要がある。このライトバックに必要な時間がこのパルスド ワード線方式のペナルティー時間となる。

パルスド ワード線方式採用の得失は、ライトバックが起こる確率とそれに伴うペナルティー時間の大きさ、さらにワード線を落とすのに必要な時間をパラメータとし決定される。

アプリケーションによるが、われわれの試算では、このパルスド ワード線方式は平均的な動作時間を短縮する効果をもつ。

3.2.4 ビット単位のライトマスク機能 18 M 世代より新たにビット単位のライトマスク機能が追加された。これはグラフィック用途からの要求であり、1 ビットごとにデータの書き込みをマスクすることができる。また、4.5 M 世代からの 1 バイト単位のマスク機能も合わせもつ。

4 あとがき

当社は世界で初めて 500 M バイト/s という高速データ転送を行う 4.5 M ビットラムバス DRAM を開発したのに引き続き、今回 18 M ビットラムバス DRAM を開発した。

現在までのところ、ユーザから非常に高い評価を得ており、次世代ゲーム機用メモリとして、またハイエンドワークステーションのグラフィック用メモリなどとして多くの引き合いが来ている。

マルチメディア化が叫ばれるなかで、より多くのデータ量を扱うシステムにマッチしたラムバス DRAM のようなメモリの要求は今後ますます大きくなっていくと思われる。



高瀬 覚 Satoru Takase

1990 年入社。大容量・高速 CMOS DRAM の設計・開発に従事。現在、半導体デバイス技術研究所メモリ技術開発部。Semiconductor Device Engineering Lab.