

永松 正人
M. Nagamatsu

佐藤 寿倫
T. Sato

田胡 治之
H. Tago

高性能かつ低消費電力 RISC (縮小命令セットコンピュータ) プロセッサ R3900 を開発した。このプロセッサは、52.5 MIPS (Millions of Instructions Per Second) の処理性能を 300 mW の消費電力で発揮できる省エネルギー型のプロセッサである。

この低消費電力化を実現するために、設計の早期段階から消費電力シミュレーションを行い、消費電力の最適化を検討した。また、消費電力解析を行い、設計段階での消費電力の見積り方法、および消費電力のために行ったクロック制御対策が正しかったことが確認された。

We have developed a high-performance and low-power-consumption RISC (reduced instruction set computer) processor called the R3900. The performance of the R3900 is as high as 52.5 MIPS (millions of instructions per second) with a power consumption of 300 mW.

In order to achieve low power consumption, careful power optimization was carried out by running a power simulator even at the early design stage. Our low-power design methodology and our clocking strategy have been validated by a further power investigation using precise gate level simulation.

1 まえがき

従来、RISC 型プロセッサは高速性能を要求されるワークステーション (WS) などの高位計算機に使われていた。その特徴は、構成をなるべく簡単にして代わりに内部を高速で動かし、結果的にプロセッサとしての総合的な性能を向上させていくというものである。したがって、RISC プロセッサではあくまで高性能が重要視され、消費電力を含めた性能効率の検討はほとんど行われていなかった。

ところが、個人情報端末 (PDA) などの携帯向けの分野が注目を浴びてくると、高性能でかつ低消費電力のチップが要求されるようになった。図 1 は、各 RISC プロセッサの性能効率をその開発年度順にプロットしたものである。従来の RISC チップ (TFP/R4400/SPARC) では 10 MIPS/W 程度であったものが、PDA 向けの RISC チップが開発されて性能効率が急激に向上しているのがわかる。現在では 100 MIPS/W を超えるチップが報告され、1998 年には、1,000 MIPS/W に到達しそうな勢いである。

今回開発した R3900 もこれらのチップの一つで、約 175 MIPS/W のトップレベルのパワー効率を示している。このチップの設計は、世界で広く知られている MIPS 社の R 3000 アーキテクチャを土台にして、その性能を損なわずに消費電力を下げていくという方法を採用した。ただし、MIPS アーキテク

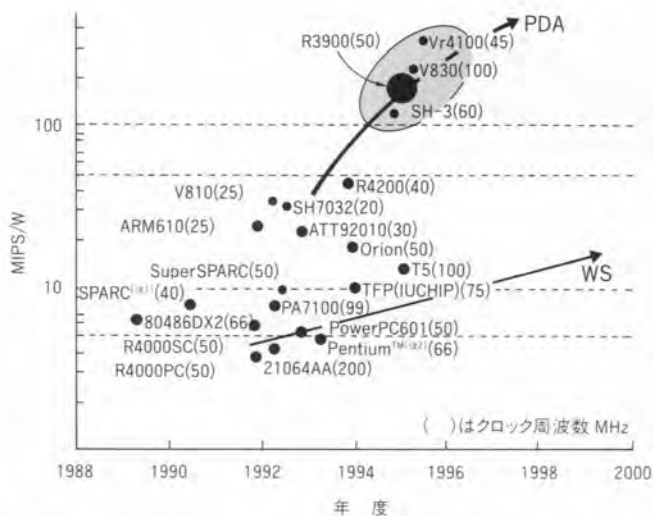


図 1. RISC プロセッサの性能効率 1994 年ころから RISC プロセッサの開発の方向が WS 向けと PDA 向けとに分かれてきていることがわかる。

Power efficiencies of RISC processors

チャの採用は命令セットレベルまでであり、マイクロアーキテクチャや回路設計などの実装はオリジナルである。

(注 1) SPARC は、SPARC International 社の商標。

(注 2) Pentium は、インテル社の商標。

2 アーキテクチャ

図2にR3900を含んだASIC(用途特定IC)のチップを示す。R3900は、ASICのコアという位置付けで開発した。図中でD32PATH, MAC, CONTROL, IS, DSの部分のプロセッサに相当する。命令キャッシュ4Kバイト、データキャッシュ1Kバイトと高性能MAC(Multiplier-ACcumulator)演算器とを搭載したRISC型のプロセッサで、0.6 μ m CMOS技術で約470K素子を4.7 \times 5.4mmに集積している⁽¹⁾。最大動作周波数は50MHzで52.5MIPSの処理性能をもつ。

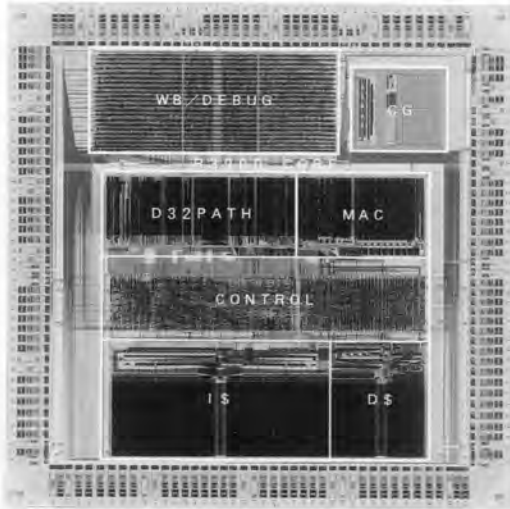


図2. R3900を使ったテストチップ D32PATH, MAC, CONTROL, IS, DSで区切られた部分がR3900に当たる。R3900は4.7 \times 5.4mmに約470Kの素子を集積している。

Die photograph of R3900 test chip

2.1 ブロック構成

プロセッサのブロック構成を図3に示す。このプロセッサは5段のパイプライン構造をもっており、それぞれF, D, E, M, Wという記号が表示されている。それぞれ順番にフェッチ、デコード、実行、メモリ、ライトバックと呼ばれており、Fステージでは命令の参照を、Dステージでは命令の解釈を、Eステージで命令の実行を、Mステージでメモリへの参照を、Wステージは実行結果の保存をそれぞれ行う⁽²⁾。

この構成ではメモリ演算を行うブロックとALU(Arithmetic Logic Unit)演算を行うブロックとMAC演算を行うブロックとがEステージ以降独立に構成されており、これらのブロックの並列動作が可能となっている。メモリアクセス命令でのデータキャッシュミスで動作を停止した場合でも、この並列構成のためにALUあるいはMAC演算は無関係に動作を続けることができる。これは、データキャッシュサイズが小さくヒット率を十分に大きく稼げない場合には有効な動作で、Non Blocking Load方式と呼ばれている。図4にこのときのパイ

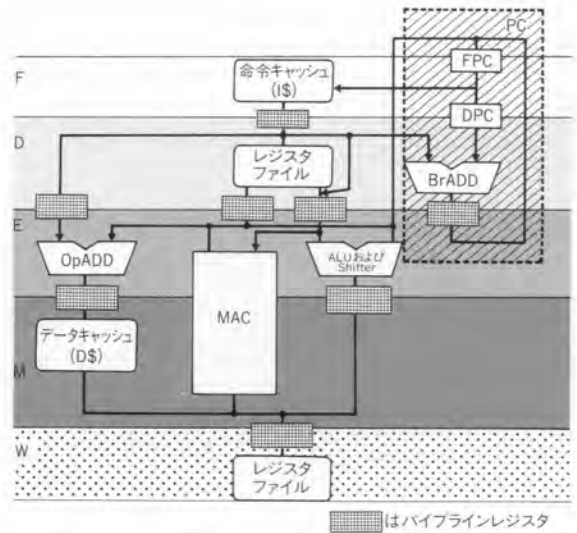


図3. R3900構成 F, D, E, M, Wの5段のパイプラインのステージごとに対応するブロックを表している。

Block diagram of R3900

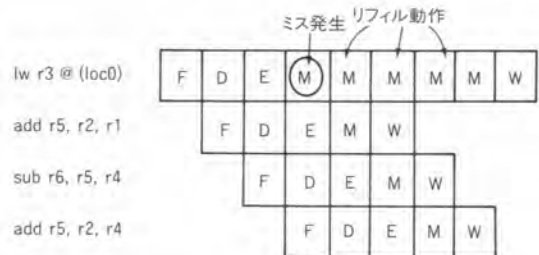


図4. Non Blocking Load方式 最初の命令(lw)でキャッシュミスが発生しても後続の命令(add, sub)はこれに影響されず実行を完了できる。

Non-blocking load scheme

プライン実行のようすを示す。先行するメモリアクセス命令(lw)の実行が延びている場合に、後続のデータ演算命令(add, sub)が先に実行されることになる。この機能を使いプログラムを十分に最適化した場合に最大50~80%程度の性能向上が期待できる。

また、このプロセッサの大きな特長として、データ処理を行ううえでの必要な積和演算を効率よく行うよう、MAC演算器を搭載していることが挙げられる。図5にこの演算器のブロック構成を示す⁽³⁾。MAC演算器は、モデムデータ処理をソフトウェアで行えるように、サイクルごとに新しい積和演算を開始できるように設計されている。パイプラインの二つのステージ(E, M)を使って32ビットの積和演算を行う。まずEステージの後半サイクルで最初の32 \times 16の演算を行い、Mステージの前半サイクルで残りの32 \times 16の演算を行って、後半で乗算結果との加算を行っている。32 \times 16の乗算アレーを一つだけ搭載しこのアレーをサイクルの前半と後半に分けて使用することにより、MACの面積を削減している。

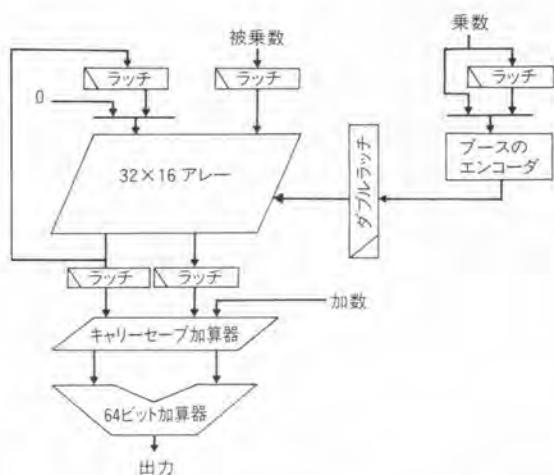


図5. MAC演算器の構成 32×16 の乗算アレーを搭載しており、1サイクルに2回使うことにより 32×32 の乗算を行っている。

Block diagram of MAC

2.2 パワーダウンモード

PDAなどの機器では、外部からの処理要求を待機している状態が長く続くものと考えられる。したがって、この待機状態での消費電力が問題となってくる。このプロセッサでは特別な二つのパワーダウンモードを設けて待機時の消費電力削減を行っている。パワーダウンモードはプログラムにより設定でき、 $100 \mu\text{W}$ 以下まで消費電力を小さくすることができる。このとき、チップ内では必要最小限のブロックだけにしかクロックが供給されなくなり、他のブロックは完全に停止する。パワーダウンモードにはDOZE（一部停止）モードとHALT（停止）モードの二つがあり、HALTとDOZEとではチップ内での停止状態が異なっている。DOZEモードの場合にはデータキャッシュへのスヌープを可能にするため、データキャッシュ制御のブロックを動作させている。

3 低消費電力設計手法

このプロセッサの設計にあたっては、特に消費電力削減を主眼として進めた。要点は次の3点である。

- (1) アーキテクチャレベルでの消費電力予測、最適化
- (2) クロック信号の遷移を極力減らすように最適化
- (3) 使用頻度の高いブロックに注力

3.1 設計の早期段階でのパワーシミュレーション

効果的な消費電力の削減を行うためには設計の早期段階での消費電力の検討が重要である。早期段階での対策のほうがより効果が大きいからである。

そこで、今回アーキテクチャレベルでの消費電力の見積り手法を開発した。ESP⁽⁴⁾ (Early Stage power and Performance simulator)を開発し、設計の早期段階から消費電力の検討を行った。ESPは、サイクルレベルの機能シミュレータ

を土台に構築され、パイプライン別に分かれたブロックごとに動作時の活性化率 (active ratio) を計算する機能をもつ。これにアプリケーションを走らせて各ブロックの活性化状況を計算し、動的に活性化率を計算する。このシミュレーションにより、アプリケーションを使って実使用に近い各ブロックの活性化率を得ることができる。

ESPに与えたブロック別のパワーデータとシミュレーション結果を図6に示す。ここで、Active Powerとはそのブロックが単体で100%動いた場合に消費される電力である。用いたプログラムはDhrystone2.1というベンチマークプログラムとモデムコードとで、各ブロックの活性化率の結果を図6の右側のカラムに示している。最初の2カラムがおのおののベンチマークプログラムでのブロック別の活性化率を示している。I\$ブロック（命令キャッシュ）とGPRブロック（レジスタファイル）とPC（プログラムカウンタ）ブロック（Fステージプログラムカウンタ（FPC）、Dステージプログラムカウンタ（DPC）、分岐加算器（BrADD）を合成したブロック）の活性化率が両方のベンチマークプログラムとも90%を超えて非常に高いことがわかる。特に、命令キャッシュは消費電力も大きいので全消費電力に対する影響も大きく対策が必要となる。そこで、図6の右下に示しているように、命令キャッシュの出力に命令キューを置いて命令をまとめて読み出し、キャッシュ読出しの頻度を削減する方式を検討した。この場合の命令キャッシュの活性化率は図6の最後の2カラムに示している。このとき命令キャッシュ以外のブロックの活性化率は変わっていない。これにより全体の消費電力は、Dhrystone2.1で11.4%、モデムコードで14%の削減ができることがわかった。同じようにGPR、PCのブロックも活性化率が高いことがわかった。これらに対しては回路設計の段階でトランジスタのサイズを絞り込んだ設計を行い消費電力を抑える方針を採った。

一方、MACに関しては活性化率が16%以下と低く、全体の消費電力に占める割合も低く、同ブロックの消費電力は全

	Active Power	活性化率			
		命令キューなし		命令キューあり	
		Dhrystone	モデムコード	Dhrystone	モデムコード
I\$	99.0mW	99.6%	83.7%	39.3%	21.0%
D\$	107.3mW	47.8%	10.6%		
PC	33.3mW	99.6%	75.8%		
GPR	42.9mW	97.4%	72.2%		
ALU	30.0mW	59.0%	18.5%		
Shifter	18.5mW	6.4%	19.0%		
OpADD	30.0mW	30.1%	7.2%		
MAC	132.0mW	0.2%	15.6%		

図6. ブロックの最大消費電力と活性化率 (ESPによる) 各ブロックの最大消費電力と活性化率を命令キューの有無でそれぞれを求めている。Power consumption and active ratio of each macro block (ESP results)

体の消費電力に大きな影響を与えないことがわかった。したがって性能向上重視の設計を行い、回路レベルでの特別な絞込みは行わないことにした。

ESP シミュレーションにより次の3点が確認できた。

- (1) 命令キャッシュを参照する頻度を減らすことにより全体の消費電力の10%以上が削減できる。
- (2) MACの活性化率は意外に低く、MACを多用しているプログラムでも16%程度の利用率で、消費電力も全体の5%程度に過ぎない。したがって、MACは性能重視で設計してもかまわない。
- (3) PC、GPRなどのデータバス系のブロックは比較的高い活性化率を示しており、ブロックの消費電力を抑えた設計が必要である。特に回路設計に留意して、トランジスタサイズを極力抑える必要がある。

これらによりチップの消費電力300mW程度を達成できる見通しをつけることができた。

3.2 ESPの精度

ESPを使った消費電力見積りは、主として演算器の使用頻度からその消費電力を計算するものであるが、演算器以外のコントロール部に関する消費電力は正確には取り扱えない。

ESPの結果を確かめるために、ゲートレベルのパワーシミュレータVeriPowerで同様なシミュレーションを行った。VeriPowerは、トランジスタおよびゲート記述を取り扱う消費電力シミュレータで、Verilogのシミュレーションを行いながら、それに伴う各ノードの充放電電流を計算して全体の消費電力を算出するものである。ESPとは違いネットの細かな構造を反映した消費電力を算出できるので、精度の高いシミュレーションが可能である。その反面、ネットの細かな構造が決まるまでシミュレーションができないので、早期の消費

電力検討には使えない。

図7にDhrystone2.1の場合のESPとVeriPowerのシミュレーション結果を示している。ESPとVeriPowerの結果は、絶対値および変化傾向とも一致している。このときの全体の消費電力は300mWであり、十分に低い消費電力の実現ができた。図7での600サイクル近傍でのパワーの落込みは割算によるパイプラインのストール時と一致しており、クロックの供給停止による消費電力の低減効果を示している。このときの消費電力は通常動作の場合の1/6以下の50mW程度に落ち込んでいる。

上述により、ESPは十分なシミュレーション精度をもっていることがわかり、同時にR3900の低消費電力性とこれに用いた低消費電力設計手法の有効性が確かめられた。

4 あとがき

高速、かつ低消費電力のプロセッサへの需要の高まりに対して、従来高速で高消費電力であったRISCプロセッサの性能を損ねることなく消費電力を削減することができた。設計したプロセッサは、50MHz動作でほぼ300mWの消費電力で52.5MIPSを示し、175MIPS/Wの性能効率を達成できた。

文 献

- (1) M. Nagamatsu, et al: A 150 MIPS/W CMOS RISC Processor for PDA Applications, ISSCC Digest of Technical Paper, pp.114-115 (Feb. 1995)
- (2) J. Hennessy and D. Patterson: Computer Architecture A Quantitative Approach, Morgan Kaufmann Publishers Inc., pp.251-341 (1990)
- (3) N. Yano, et al: A Multiplier-Accumulator Macro for a 45 MIPS Embedded RISC Processor, ESSCIRC Digest of Technical Paper (Sept. 1995)
- (4) T. Sato, et al: Power and Performance Simulation: ESP and its Application for 100 MIPS/W Class RISC Design, 1994 Symposium on Low Power Electronics, (Sept. 1994)

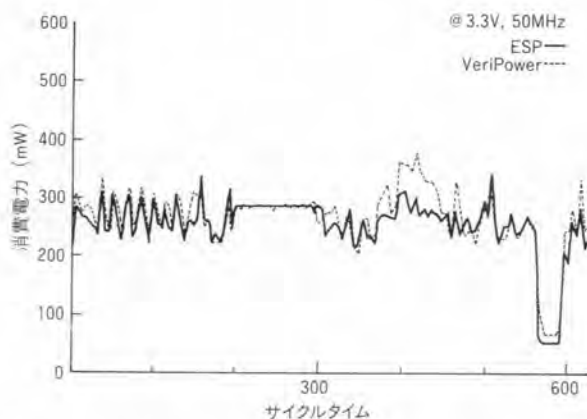


図7. VeriPowerとESPとの比較(Dhrystone2.1) Dhrystone2.1を流した場合の結果を示す。600サイクル付近の消費電力の落込みはDIV演算でのストールによるもの。

Comparison between VeriPower and ESP



永松 正人 Masato Nagamatsu

1984年入社。システムLSIの設計開発に従事。現在、半導体デバイス技術研究所システムULSI技術開発部主務。Semiconductor Device Engineering Lab.



佐藤 寿倫 Toshinori Sato

1991年入社。マイクロプロセッサ設計手法の研究・開発に従事。現在、研究開発センターULSI研究所。ULSI Research Labs.



田胡 治之 Haruyuki Tago

1977年入社。システムLSIの設計開発に従事。現在、半導体デバイス技術研究所システムULSI技術開発部主査。Semiconductor Device Engineering Lab.