

塩地 正純
M. Shiochi

渡辺 清次
S. Watanabe

圓角 元洋
M. Enkaku

ディープサブミクロン技術により、システムレベルのオンチップ化が可能なシステムオンシリコンの時代を迎えている。EDA (Electronic Design Automation) 技術により高集積・高機能な LSI を短期間で開発できるセルベース IC (CBIC) にもさまざまな高機能ブロックを搭載したシステム ASIC (用途特定 IC) の要求が高まっている。

当社は、0.3 μm CMOS プロセス技術を用いた CBIC の新シリーズ TC220C/E を開発した。100 万ゲートを超える LSI の開発が可能になる。ここでは、その概要とシステムオンシリコン実現に向けた DRAM 混載 ASIC を代表とする異種デバイス混載技術、マクロセルライブラリ、設計環境について紹介する。

Deep submicron technology realizes high-density and high-performance LSIs. In other words, the era of system-on-silicon technology, in which whole systems are integrated into only one chip, is approaching. System-on-silicon technology requires not only an electronic design automation (EDA) environment, but also the implementation of various megacells.

Toshiba has provided a system-on-silicon cell-base IC (CBIC) development environment in the TC200C/TC200E series, incorporating 0.3 μm CMOS technology. This paper introduces the embedded DRAM ASIC technology, various high-performance megacells such as the Rambus™ ASIC cell (RAC), and design environment of this system-on-silicon CBIC.

1 まえがき

ディープサブミクロンの時代では、100 万ゲート規模の回路を LSI 化できるようになり、システムレベルのオンチップ化も可能なシステムオンシリコンの時代を迎えている。最先端のプロセス技術を適用し、また EDA 技術により設計の自動化が進んでいる ASIC に対しても、さまざまな機能ブロックの搭載要求が高まっている。そのなかでも特に設計面での自由度が高い CBIC の重要性が高まっている。この CBIC として当社では多様なユーザーニーズに適した開発環境・開発期間を提供するため、スタンダードセルおよびエンベディッドアレイ (EA) シリーズをリリースしている。

ここでは、0.3 μm CMOS プロセスを採用した CBIC シリーズ概要のほか、システムオンシリコン CBIC 実現に向けた異種デバイス混載技術、マクロセルライブラリ、設計環境などについて述べる。

2 システムオンシリコンを実現するデバイス技術

2.1 CBIC シリーズ概要

プロセスデバイス技術の進捗(ちよく)により高速化と高集積化が可能となっているが、システムクロックの高速・高集

積化に伴い、増大する LSI の消費電力が問題となっている。また、携帯情報機器、ビデオムービーなどではよりいっそうの低消費電力化の要求が高まっている。これに対して、当社では電源電圧 3.3 V に最適設計された 0.4 μm CMOS プロセスを適用した TC200C/E シリーズをリリースし、高速・高集積化はもとより低消費電力化を志向した LSI 開発に利用されてきた。今回、さらに微細化を進め、0.3 μm CMOS プロセスを採用した TC220C/E シリーズを開発し、100 万ゲートを超える LSI の開発を可能としている。

低電圧化に移行するシステムでも 3 V 系と 5 V 系の LSI が混在することが多く、搭載する ASIC にブリッジ機能として 3/5 V インタフェースが要求されている。当社では、従来からマルチオキサイド技術を採用した TC183 シリーズをリリースしてきたが、0.4 μm CMOS プロセス世代でもマルチオキサイド技術を開発し、TC203 シリーズをリリースした。プロセスは多少複雑となっているが、回路技術により対応している 3/5 V インタフェースセルと比較して回路をシンプルにすることが可能であり、また高速・高駆動能力が要求されるバッファにも容易に適合できる。表 1 に TC220C/E、TC200C/E、TC203C/E シリーズの基本仕様を示す。

2.2 異種デバイスの混載技術

従来、汎(はん)用 DRAM をチップ外からアクセスして得ら

表1. TC220C/E シリーズの基本仕様

CBIC product specifications

	プロセス	電源電圧	遅延時間 ^(注)	使用可能ゲート
TC203C	0.4 μm	3.3(3.0)/5 V	0.17 ns	~720 k
TC203E	0.4 μm	3.3(3.0)/5 V	0.19 ns	~680 k
TC200C	0.4 μm	3.3(3.0)V	0.17 ns	~728 k
TC200E	0.4 μm	3.3(3.0)V	0.19 ns	~707 k
TC220C	0.3 μm	3.3(3.0)V	0.14 ns	~1.87 M
TC220E	0.3 μm	3.3(3.0)V	0.15 ns	~1.77 M

(注)2入力 NAND ハイドライブ (F/O(ファンアウト)=2+標準負荷)

れるデータ転送速度は数十 M バイト/秒であり、最近の EDO (Extended Data Out) 機能を搭載した DRAM でもバンド幅は 100 M バイト/秒を超える程度である。一方、グラフィックス分野における高速処理の要求、解像度・画素数の増加など高性能化の要求はますます高まっており、性能向上が進む汎用 DRAM でも実現が難しい性能要求が増えている。このようなニーズにこたえる手法として、メモリのデータバスを多ビット化した DRAM コアを論理 LSI に混載し、高いデータ転送を得ることが考えられる。新たに 16 MDRAM プロセスを採用した DRAM 混載 EA 設計環境を構築することにより、高機能・高性能なハイエンドのグラフィックスシステム LSI の実現を可能とした。

このほか、当社の CBIC では高速・高精度の AD コンバータ/DA コンバータの混載、EEPROM の混載プロセス技術も実現している。

3 高機能マクロセルのオンチップ化

高機能なシステムを ASIC で実現するためには、大容量メモリ、高機能演算処理マクロセル、アナログセル、高速インタフェース回路など高機能なマクロセルの充実が不可欠である。また、これらの回路は混載することにより、新たな高付加価値化を実現できる。

図1は、DRAM 混載 EA チップであり、16 MDRAM のプロセス技術を基に 8 M ビットのグラフィックス用高速転送 DRAM コアと 80 k ゲート相当のゲートアレイを混載したチップである。

この混載技術により、2 チップでは実現できなかった 1.6 G バイト/秒の高速転送を DRAM で可能にし、内部ロジックで 100 MHz の高速演算処理を実現している。

図2は、RAC (Rambus™ ASIC Cell) を混載したチップであり、ランバス仕様に基き RDRAM™ と ASIC のインタフェースを 500 M バイト/秒の高速データ転送で実現している。また、RAC とともにメモリ周辺システムを ASIC に取り込むことにより、システム全体をよりコンパクトにしている。表2、表3には上述 DRAM 混載 EA チップ、RAC の仕様を示す。

LSI の動作速度が向上するにつれ、LSI 間のデータ転送速度

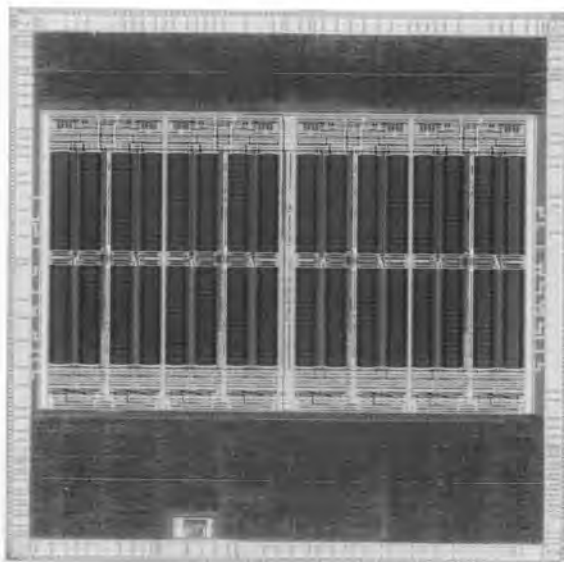


図1. DRAM 混載 EA チップ 80 k ゲートのロジックと 8 M ビットの DRAM を搭載している。

Photograph of DRAM EA chip

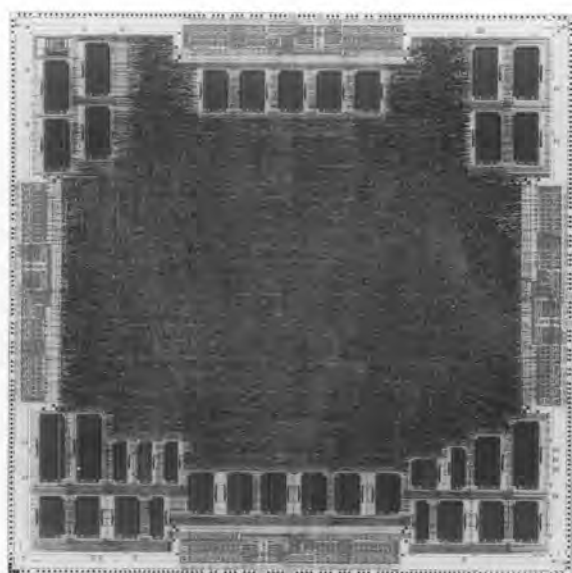


図2. RAC 搭載 EA チップ 4 個の RAC を搭載している。

Photograph of embedded RAC EA chip

の向上が課題となっている。高速データ転送を行うためには、信号の反射ノイズ・電源ノイズなどを低減する必要がある。低ノイズ高速伝送の解として注目されている小振幅インタフェース I/O セルとして GTL (Gunning Tranceiver Logic) セル、LVDS (Low Voltage Differential Signal) セルを開発した。さらに、LSI 間の高速データ転送を実現する技術として PLL (Phase Locked Loop) セルがある。微細化による配線抵抗の増大、クロック分配数の増加などにより問題となっているクロックスキュー対策のため、レイアウトで多段クロックバッファの自動挿入技術が実用化されている (クロックツリ

表2. DRAM 混載 EA チップの仕様

Specifications of embedded DRAM EA chip

プロセス技術	0.5 μ m CMOS 2層プロセス 16 MDRAM プロセス
メモリサイズ	1.3 μ m \times 2.7 μ m
DRAM コアサイズ	14.2 mm \times 8.5 mm
データ転送速度	1.6 G バイト/秒
電源電圧	3.5 V \pm 5%
クロック周波数	100 MHz
チップサイズ	16.4 mm \times 16.2 mm

表3. RAC の仕様

Specifications of RAC

プロセス技術	0.5 μ m CMOS 2層プロセス
サイズ	5.8 mm \times 1.2 mm
電源電圧	3.3 V \pm 5%
データ転送速度	500 M バイト/秒
動作	高速パラレル・シリアル変換
インタフェース	ランパス仕様 (論理振幅 0.7~1.6 V, 250 MHz)
特長	DLL (Delay Locked Loop) セル内蔵

ーシンセシス)。この場合ボード上のシステムクロックと LSI 内部のクロックに位相差が生ずる。このクロック位相差を補正するため、アナログ回路およびデジタル回路の PLL セルがライブラリとして用意されている。このアナログ回路の PLL セルは、クロックスキューの低減だけでなく、クロック通信の機能もあり LSI 内部の高速動作に有効である。

4 設計環境

システムオンシリコン CBIC を支える設計環境として、論理合成ツールを活用したトップダウン設計技術、アナログ回路や高機能マクロセルのシミュレーションモデルの提供、高機能なレイアウト環境、体系だったテスト環境の提供が挙げられる。一方、より上流指向となるユーザフレンドリな設計環境を構築することも不可欠である。ここでは、オープンツール上に構築した、より高精度で開発期間の短縮を可能とする Verilog サインオフとフロアプラナの環境について述べる。

4.1 高精度遅延モデル採用でのサインオフ環境

一般的な設計フローは図3のようになる。ユーザは RTL (Register Transfer Level) で回路を記述し、機能確認を行う。この RTL 記述を論理合成ツールを使用して当社のライブラリによるゲートレベル記述に変換する。当社は CADENCE 社の Verilog-XL をサインオフシミュレータとして認定しており、ユーザがシミュレーションの結果、回路の正しい動作が確認できれば直ちにサインオフすることができる。

また、微細化により達成した高速動作に適應するため、高精度遅延モデルを採用した。従来の遅延計算方法では回路素

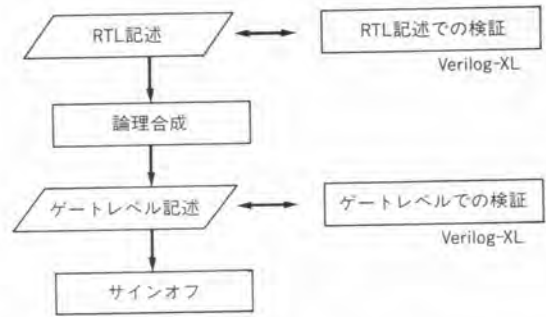


図3. 一般的な設計フロー。RTL 記述から Verilog-XL によるシミュレーションまでの一般的な設計フローを示す。

Design flow from RTL description to Verilog-XL simulation

子の駆動能力と出力負荷容量の関係を一次関係式で表現していたが、出力負荷だけを考慮した遅延計算ではその精度に限界がある。また、軽負荷領域と中・大負荷領域の遅延特性の傾向が異なることによる計算誤差も無視できなくなった。

これらの問題に対処するために図4に示すテーブルルックアップ方式を採用した。入力波形による遅延特性と出力負荷による遅延特性を4 \times 4の計16値で表現し、回路動作上もっとも近い条件の値から遅延時間を補正して算出する。

さらに、対基板容量に対する隣接・交差配線容量成分の占める割合の増大に伴い、それらの容量抽出を行い遅延計算に反映できるように改良した。

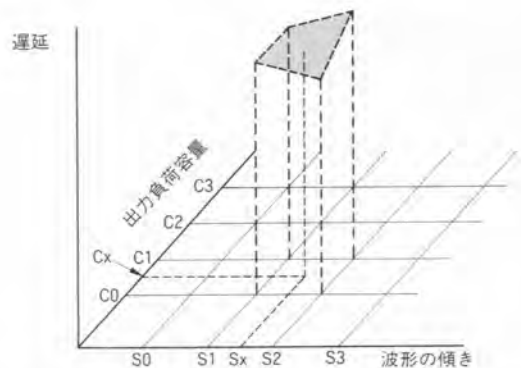


図4. 容量と入力の傾きを考慮した遅延計算。出力負荷容量と入力波形の傾きを考慮した遅延時間。

Dependence of delay on input slew and output loading

4.2 フロアプラナの導入

ディープサブミクロンでは、トランジスタだけでなく配線までも素子とみなしたり、配線間の干渉を考慮することが必要となってくる。従来の統計的な仮配線長を用いたシミュレーションでは現実との誤差が大きく、シミュレーションとレイアウトとの間の繰返し回数が増えてくる。また高機能なメガセルを搭載し、より高性能を引き出すためにグルーピングなどのレイアウトへの制約も必要となる。このような、従来



図5. フロアプラナ概念 フロア
プランツールを使った場合の設計フ
ロー。精度の高いシステム設計がで
き、開発期間を短縮できる。
Design flow using floor plan tool

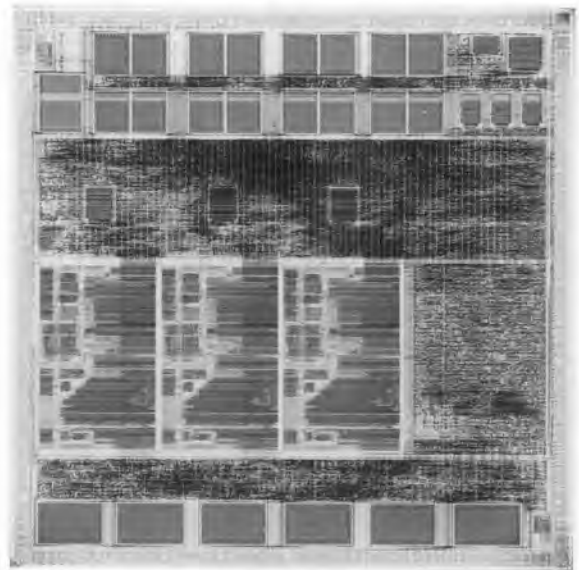


図6. 0.4 μmスタンダードセル製品例 200kゲートのロジックとメモ
リ、FPUを搭載している。
Photograph of 0.4 μm standard cell product

はレイアウトの世界で閉じていた分野を、システム設計の段階で考慮するため開発された橋渡し役として、フロアプラナ(図5)を導入した。

フロアプラナは、①システム分割、セルの配置を行う、②配置された状態から仮配線長を抽出する、③配線の混雑度を検査し、レイアウトの難易度(チップサイズの見積もり)を調査する、④レイアウトの制約条件を作成する、⑤使用セルの駆動能力の最適化を行う、などの機能をもっている。

ユーザは、これらの機能を使用することによりほぼ最終形態が予測できるため、より精度の高いシステム設計をすることが可能になり、結果として開発期間が短縮できる。

4.3 低消費電力化への取組み

いかに低電圧化が進むとはいえ大規模・高速化が進み、消費電力の問題も顕著になってきている。また、微細化が進むことによるエレクトロマイグレーションの問題や局所的な電源電圧降下の影響なども顕在化してくる。これらの問題を解決するために、設計の初期段階での消費電力見積もり、上流設計の段階から消費電力を意識したアーキテクチャの選択、低消費電力指向の論理合成や最適化を行えるよう設計環境の実用化を図っていく。またレイアウトの段階で、エレクトロマイグレーション、電圧降下を考慮した電源供給手法の実現も検討していく。

4.4 ユーザサポート体制

システムASICの開発では、デザインイン段階からのカスタマと半導体ベンダのパートナーシップが重要となる。当社はワールドワイドな設計開発センタをもち、エンドユーザとともに多様なニーズに対応したシステムASICの開発が可能である。図6は0.4 μm CMOS 3層プロセスを用いたスタンダードセル(SC)で、20万ゲートのロジックおよびメモリと、FPU(Floating Point Unit)コアを搭載している。ユーザとの密接な協力体制のもと、最先端のプロセス技術を用いたコンカレント設計により、高性能なSCを開発した。

5 あとがき

以上システムオンシリコンCBICにおける基盤技術として、プロセス・デバイス技術、高機能マクロセル、設計環境について述べた。

今後、さらに高機能なシステムオンシリコンCBIC実現のため、32ビットRISC(縮小命令セットコンピュータ)プロセッサの搭載をはじめ、各種システムLSI開発の中で整備が進むコアセルのCBICビジネス展開など、大規模・高機能マクロセルの搭載を可能とするためセル開発、設計開発環境の構築を進めていく。



塩地 正純 Masazumi Shiochi

1981年入社。ASICの開発に従事。現在、半導体システム技術センターASIC開発技術部主務。
Semiconductor System Engineering Center



渡辺 清次 Seiji Watanabe

1975年入社。ASICの開発に従事。現在、半導体システム技術センターASIC開発技術部主務。
Semiconductor System Engineering Center



圓角 元洋 Motohiro Enkaku

1985年入社。ASICの開発に従事。現在、半導体システム技術センターASIC開発技術部主務。
Semiconductor System Engineering Center