

神崎 晃一  
K. Kanzaki

岩村 淳  
J. Iwamura

前口 賢二  
K. Maeguchi

マルチメディアの普及は半導体の需要を大きく喚起し、同時に先行半導体技術へのニーズを大きく膨らませている。一方、MPU (Micro Processor Unit) などのシステム LSI では、コストと性能の競争が激化するが、開発期間の短縮が鍵(かぎ)である。今後は従来の ASIC (用途特定 IC) 設計手法に代わり、高性能プロセッサコア+ソフトウェアにユーザロジックを集積していく手法が主流となっていく。具体的には RISC (縮小命令セットコンピュータ) をコアとして、ソフトウェアによりファックス/モデム処理ができ、将来は MPEG2 (動画像圧縮符号国際標準規格) も可能となる。これらマルチメディアシステムは、より高速、低消費電力の CMOS デバイス技術を必要とする。低電源電圧化、配線などの低抵抗化が鍵であるが、微細化の要(かなめ)であるリソグラフィ技術についてもプレイクスルーが必要である。

The advent of multimedia systems will give rise to large demand for semiconductor products, and will also require advanced CMOS technologies. While competition in the performance and cost of system LSIs including MPUs will become increasingly severe, and the key will be reduction in time-to-market.

As a future design methodology, the integration of user-logic and a high-performance core supported by software will become the mainstream, replacing the current ASIC design methodology. For example, a system LSI based on a RISC core plus software handles the functions of a fax-modem now, but will cover MPEG2 functions in the future. Multimedia systems require more advanced CMOS technology with higher speed and lower power consumption. The key factors are lower power supply voltage, reduction of interconnection resistance, and breakthroughs in lithography technology.

### 1 まえがき

マルチメディアの普及は半導体の需要を大きく喚起し、同時に半導体技術へのニーズを、大きく膨らませている。そのなかで代表的なものは、メモリ需要の大幅増大、プロセッサ能力増大への強い要求である。

例えば、DRAM の領域では高速化や、Rambus™ DRAM のように転送レートを大幅に増大させるものが出現してきている。プロセッサの領域では高速かつ低消費電力の RISC プロセッサが注目されている。

それらを実現していくうえで、微細化技術の必要性は従来以上に高まっている。プロセッサを中心とするシステム LSI では、微細化は単に高集積化、コストダウンの手段にとどまるだけではなく、高性能化にとっても必須(す)である。マルチメディア機器の多くはプロセッシングパワーの増大に加え携帯性のニーズが強く、半導体技術に対して、高速化、低消費電力性をより強く要求している。

もう一つの流れは、メモリとロジックの混載チップの重要性が増大することである。マルチメディア機器の主要な機能

の中に三次元グラフィックスや MPEG 機能があるが、今後その機能が増大するにつれ、メモリとのデータのやり取りがボトルネックとなり、オンチップ化のニーズが高まると予想される。すでに ASIC でも大容量 DRAM コアを入れたものが出現している。

一方、半導体製造にかかわる技術を取り巻く国際的な環境は厳しさを増している。米国の復権、アジアの台頭など国際競争の激化、円高の進行によるわが国での製造コスト競争力の相対的低減などである。これらは徹底したコスト競争力の獲得、海外製造の積極的展開など技術を取り巻く環境にも大きな変化を余儀なくさせている。

したがって、上述の高集積化、高性能化を志向するとき、コストに対する配慮は今まで以上のものが要求されてくる。生産コストを最小化していくうえで、メモリ/ロジックの同一クリンルームでの混流、それを可能とする技術の統合化、製造プロセス工程数削減などがコスト競争のうえで不可欠な要件である。

ここでは、システム LSI の技術動向について概説し、次にそれらを実現していく CMOS 微細化技術の流れを紹介する。

## 2 システム LSI 技術の動向

MPU に代表されるロジック LSI の処理能力の向上に伴い、単なるハードウェアの寄せ集めによる集積化ではない方向が見え始めた。コストと性能の激しい競争にさらされているこの分野では、つねにマーケットの要求は向上している。したがって、開発着手（仕様フィクス）の瞬間からその仕様は相対的に競争力を失い始めるため、できるだけ早く開発を終えて量産にこぎ着けないと十分な製品寿命が得られない。開発期間と量産可能期間は逆比例の関係にある（図 1）。LSI の規模

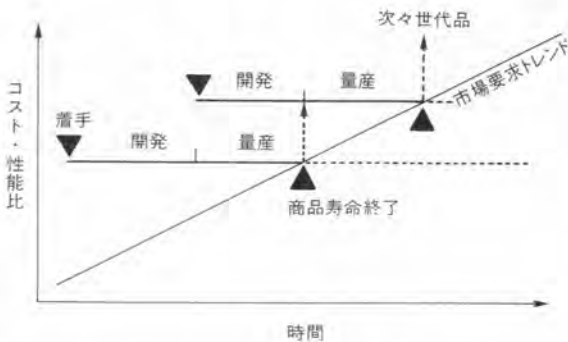


図 1. タイムトゥマーケットの考えかた 開発期間の短縮が量産可能期間の確保のかぎになる。

Concept of time-to-market

が急激に増大しているにもかかわらず開発着手から量産開始までの時間“タイムトゥマーケット”はむしろ短縮を求められている理由はここにある。従来からゲートアレイに代表される ASIC 設計手法がこの対応策として用いられてきたが、要求機能の多様化・高度化は LSI の開発期間の短縮と相いれるものではなかった。これらを矛盾なく両立させる手法として近年、高性能プロセッサコアをユーザロジックとともに集積化することが行われるようになった。ポイントは潤沢な CPU リソース+ソフトウェアの組合せで色々な機能を実現する点にある。特定の機能に対応する専用ハードウェアを一つ一つ個別に設計し集積しては LSI の開発効率が悪いばかりでなく、シリコン面積の“稼働率”の点からもコストイフェクティブとは言えない。一つのプロセッサに対してソフトウェアを入れ換えることにより多様な機能を実現し、機能の高度化にも容易に対応する、というアプローチが現実になりつつある。実際 R3900 クラスの 32 ビット RISC を内蔵することによりファックス/モデム処理のソフトウェアによる実行が可能となる。その後継では MPEG 1 のデコード程度のソフトウェア処理が可能となる見込みである。また、組み込み MPU による MPEG2 のデコード処理についても、デジタルシグナルプロセッサ (DSP) 機能を強化したプロセッサを開発することにより今世紀末には可能になると考えられる（図 2）。

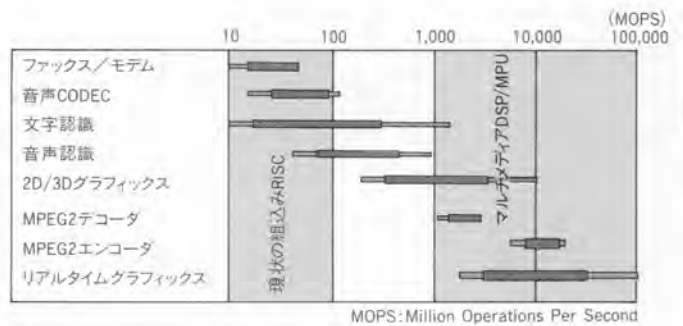


図 2. マルチメディア機能と処理性能の関係 DSP 機能の強化がマルチメディア時代の LSI に求められている。

Multimedia functions vs. performance

一方、“プロセッサによるソフトウェア処理”というシステム LSI に特有の開発手法を、設計環境という観点から考えると既存の LSI 設計 CAD ツールだけでは不十分で、ソフトウェア処理に対応した部分の環境整備が欠かせないことがわかる。すなわち、①代表的な機能に対応するソフトウェアモジュールをライブラリとして用意し、いわばソフトウェアを部品として提供することがまず必要となる。②設計初期段階では、所望の機能がソフトウェアで実現可能か、またそのほかの処理との絡みで専用ハードウェア化が必要か、の判断をサポートするハードウェア/ソフトウェア切分けツールが求められる。さらに、③設計検証の工程でユーザが独自に用意するソフトウェアも含めて LSI の動作と性能の確認が行える仕組み（ハードウェア/ソフトウェア混在システムシミュレータ）がシステム LSI 設計環境の一部として提供される必要がある。

システム設計者にとってこのシステム LSI 設計環境は、システムそのものの設計環境といっても過言ではないため、このよしあしがシリコン技術、プロセッサコア技術と並んでシステム LSI の差別化要因になると考えられる。

## 3 CMOS 微細化技術の動向

微細化指標としてよく用いられる大容量 DRAM の集積度はほぼ着実に 3 年で 4 倍のトレンドで向上しており、ビットコストもその低減率が鈍ってはいるものの低減され続けている。現在では 0.35  $\mu\text{m}$  の最小設計ルールを用いた 64 M ビット DRAM が量産に入ろうとしている。一方、CMOS 技術の微細化により LSI の性能も急激に向上しており、今では大容量のキャッシュメモリを内蔵した数百万個素子からなるマイクロプロセッサが数百 MHz 以上の動作周波数で動いており、いよいよシステム オン シリコンの時代に入ってきている。

LSI の発展を支えているコア技術は微細加工技術と CMOS 技術である。2000 年には立ち上がる 0.18  $\mu\text{m}$  までにはいくつかの技術障壁を乗り越える必要がある。微細パターン形成に必要な露光技術がデバイスからの要求に追いつかなくなっ

きており、世代ごとに新しい露光技術が必要になっている。すでに光の波長とデバイスで用いる最小設計ルールが等しくなっており、光の波長以下の解像度を實現しうる超解像度技術およびより短波長 (193 nm) の ArF エキシマレーザ露光装置の開発が待たれる。

また微細化を推し進めたとしてもメモリのチップサイズ、ロジック (MPU) のチップサイズは増大を続けており、ビットコスト、ゲートコストの増加を抑制するためにはウェーハの大口径化は避けられない。現在 8 インチの量産が始まったところであるが、近い将来 12 インチウェーハへの移行は避けられない。12 インチウェーハに対応したプロセスおよび装置の開発が必要である。

一方ワークステーション (WS)、PC の性能向上を支えている高性能 MPU の消費電力は増加し続けており、今では数十 W にも達している。CMOS の消費電力は容量の充放電電流が支配的である。図 3 の電圧と消費電力の関係からわかるように、消費電力を下げるには電源電圧の低下が非常に有効である。CMOSFET 設計の変更なしに電圧を下げることは速度の低下につながるが、低しきい値電圧をもつ実効チャンネル長の短い最適なデバイス設計を行うと、同等の性能をより低い消費電力で実現できる (図 3)。今後、高性能なポータブル機器が望まれることから電源電圧の低下は従来トレンド以上に加速されることが予想される。

このような CMOSFET のゲート遅延時間は今後とも縮小していくが、金属配線の RC 遅延は縮小されないためにチップの性能における RC 遅延の割合が増加していく。微細化に伴い配線幅、配線膜厚は縮小されて配線抵抗は増大し、微細化により配線間隔が縮小され、配線間容量は増大する。最近の MPU では寄生容量削減のために低誘電率な絶縁膜、配線抵抗の低

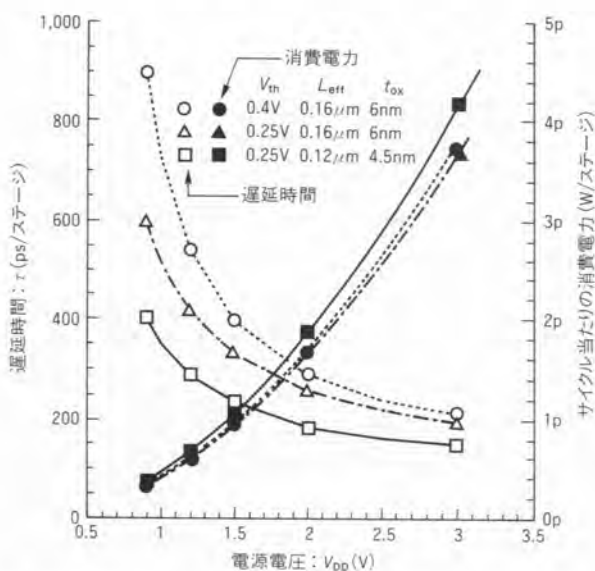


図 3. 電源電圧とゲート遅延および消費電力の関係<sup>(1)</sup> 消費電力を小さくするには電源電圧の低下の効果大きい。

Power supply voltage vs. delay time and power dissipation

減のために 4 層配線をもつ高集積多層配線技術が用いられている (図 4)。今後の大規模システム LSI ではいかに低コストで高性能な配線プロセスを構築できるかが課題である。

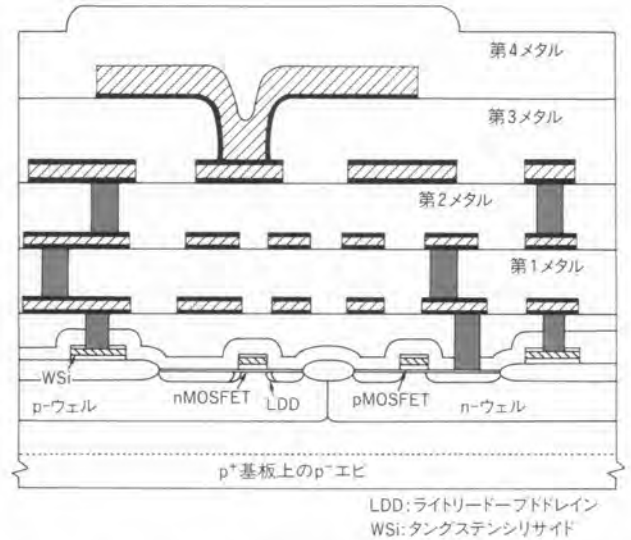


図 4. 最近の MPU の断面構造 最近の MPU では高集積多層配線技術が用いられる。

Structure of recent MPU

## 4 あとがき

半導体技術の主流に位置付けられる CMOS の微細化を支える技術、およびその恩恵を享受して開発手法に変革をきたしつつあるシステム LSI の技術動向について概説した。

システムにブレイクスルーを起こすのは半導体の役目であるとの自負をもって今後も技術開発にまい進したい。

## 文献

- (1) M. Kakumu, et al: 1995 International Conference on Solid State Devices and Materials, (1995)



神崎 晃一 Koichi Kanzaki

1971 年入社。半導体デバイス技術開発、特に CMOS 技術開発に従事。現在、半導体事業本部半導体デバイス技師長。Semiconductor Group



岩村 淳 Jun Iwamura

1971 年入社。ロジック LSI、マイクロプロセッサの開発に従事。現在、半導体デバイス技術研究所システム ULSI 技術開発部長。Semiconductor Device Engineering Lab.



前口 賢二 Kenji Maeguchi

1973 年入社。CMOS デバイス技術の開発に従事。現在、半導体デバイス技術研究所 ULSI デバイス技術開発部長。Semiconductor Device Engineering Lab.