

福田 加一  
K. Fukuda

河村 真一  
S. Kawamura

茨木 伸樹  
N. Ibaraki

TFT-LCD (薄膜トランジスタ型液晶ディスプレイ) の製造に用いる a-Si:H (アモルファスシリコン) および  $\text{SiN}_x$  (窒化シリコン) 薄膜を従来の成膜速度の 10 倍以上で形成するプラズマ CVD (plasma enhanced Chemical Vapour Deposition 以下、PE-CVD と略記) 技術を開発した。

良好な TFT 特性を得るには、高速成膜時の基板温度 ( $T_s$ ) を高温化させることで成長表面での前駆体拡散と膜の構造緩和を促進させ、Si の緻(ち)密なネットワークを形成させることが必要である。 $T_s$  が 340 °C、成膜速度が 180 nm/min の a-Si:H を用いて、電界効果移動度  $0.8 \text{ cm}^2/\text{V}\cdot\text{s}$  の TFT を得ることができた。成膜速度が 55 nm/min の a-Si:H で作製した TFT は、バイアス温度ストレス試験で良好な結果を示し、LCD の画質は 70 °C 1,000 時間の動作によってまったく劣化しない。

この技術によって、TFT アレイ製造工程の生産性が向上し、TFT-LCD のコストを低減できる。

We have developed a new plasma-enhanced chemical vapor deposition (PE-CVD) process which deposits a-Si:H and  $\text{SiN}_x$  at a deposition rate (DR) more than 10 times that obtained by the conventional PE-CVD process.

In order to form a rigid Si-network structure and obtain high-performance thin-film transistors (TFTs) in a-Si:H deposition at a higher DR, it was necessary to increase the diffusion length of precursors on the growing surface and to promote thermal structural relaxation by increasing the substrate temperature ( $T_s$ ). Excellent TFT characteristics with a field effect mobility value of  $0.8 \text{ cm}^2/\text{V}\cdot\text{s}$  were obtained at a DR of 180 nm/min and a  $T_s$  of 340 °C. TFTs with a DR of 55 nm/min exhibited good stability against bias temperature stress, and no degradation in the image quality of such TFT-LCDs was observed during 1,000 hours of operation at 70 °C.

This technology improves the productivity of TFT-array manufacturing and decreases the cost of TFT-LCDs.

## 1 まえがき

TFT-LCD は、高品位のカラー表示が可能なフラットパネルディスプレイであり、OA 機器用を中心に急速に普及しつつある。この LCD 市場をリードしていくための最大の課題は低コスト化である。

a-Si:H と  $\text{SiN}_x$  は、TFT の半導体活性層、およびゲート絶縁膜として用いられ、それらの膜質が TFT 特性を左右する。したがって、これらの形成に用いる PE-CVD は TFT アレイ製造のキーププロセスといえる。しかしながら、その成膜速度の遅さがアレイ製造工程のボトルネックとなっていた。生産性向上には成膜速度向上によるプロセス時間の短縮が不可欠である<sup>(1),(2)</sup>。

一方で、TFT アレイ製造ラインは設備費削減の観点から、製造設備の小型化が進められており、基板 1 枚当たりの処理時間短縮の要求が強まっている。

このような流れを受けて、筆者らは 1991 年から a-Si:H および  $\text{SiN}_x$  の高速成膜技術の開発に着手し、いずれも従来比 10 倍以上の速度での成膜技術を確立した。ここでは、主に小型基板を用いて行った基礎開発の成果を中心に紹介する。

## 2 a-Si:H の高速成膜技術と TFT への適用

### 2.1 a-Si:H の高速成膜

TFT 構造として主に採用したのは、図 1 に示すチャネル保護膜タイプの逆スタガード型であり、半導体活性層に膜厚 50 nm の a-Si:H を用いた。ゲート絶縁膜、チャネル保護膜にはそれぞれ  $\text{SiN}_x$  を用い、a-Si:H との積層膜は、真空を破らずに連続的に形成する。従来、この a-Si:H の成膜速度は量産レベルで 8~10 nm/min が実状であったが、a-Si:H の成膜時間を 60 秒以内と仮定すると、膜厚 50 nm の成膜では 50 nm/min 以上の速度が必要となる。そこで、従来比 10 倍の成膜速

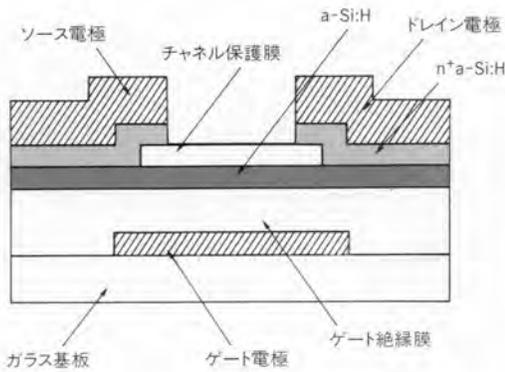


図1. TFTの断面 チャネル保護膜タイプの逆スタガード型TFT。半導体活性層に膜厚50nmのa-Si:Hを用いた。  
Schematic diagram of TFT

度達成を目ざして開発に着手した。

一般に、a-Si:Hの成膜速度向上はTFT特性の劣化を伴うとされ、いろいろ紹介されている<sup>(3),(4)</sup>。VGA (Video Graphic Array) クラスのディスプレイへの応用を考えるとTFTの移動度には $0.4\sim 0.6\text{ cm}^2/\text{V}\cdot\text{s}$ が必要であり、XGA (eXtended Graphic Array) からS-XGA (Super XGA) クラスでは $0.6\sim 1.0\text{ cm}^2/\text{V}\cdot\text{s}$ が要求される。a-Si:Hの高速成膜は、良好なTFT特性の達成との両立が最大の課題である。

a-Si:Hの成膜速度向上は、基本的には原料ガスであるSiH<sub>4</sub>の分圧とRF (Radio Frequency) パワー密度の増加によって行った。また、高速で良質なa-Si:H膜を得るには、反応に対して十分なガス供給が必要と考え、基板1枚当たりのガス供給量を大幅に増やした。なお、CVD装置面でのくふうによって、ガスの分解効率向上と、高速成膜時にしばしば問題となるパーティクル発生の抑制を実現した。このくふうによって、成膜速度を12~550 nm/minに制御することができた。

図2は成膜条件による成膜速度の変化を示す一例である。  
原料ガスのSiH<sub>4</sub>/H<sub>2</sub>流量比、言い換えればSiH<sub>4</sub>分圧をパラ

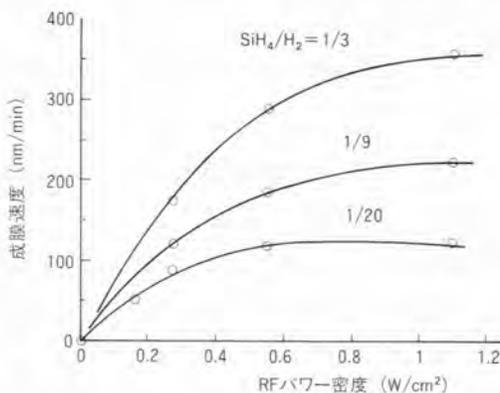


図2. a-Si:Hの成膜速度のRFパワー依存性 SiH<sub>4</sub>/H<sub>2</sub>流量比とRFパワー密度の増大によって、従来より約1けた大きい成膜速度が得られる。

Deposition rate of a-Si:H as function of RF power

メータに、RFパワー密度による成膜速度の変化をプロットしてある。成膜速度が反応プロセスによって律速される低パワー領域と、原料ガス供給に律速される高パワー領域からなることは従来プロセスと同様であるが、成膜速度として約1けた大きな値が得られている。

## 2.2 TFT特性

図3に、高速成膜で作製したTFTの電界効果移動度のRFパワー依存性を示す。a-Si:Hの成膜条件は図2と同一である。成膜温度は320℃とした。これは従来プロセスでの一般的なa-Si:H成膜温度が250~280℃程度であることに比べ、40~70℃ほど高温である。a-Si:H単層での膜質については、高温での高速成膜で良質膜が得られるとの報告がすでに知られており<sup>(5)</sup>、ここではTFT形成にも有効であると考えた。なお、成膜速度は温度によって変化していない。

図3からSiH<sub>4</sub>/H<sub>2</sub>流量比増大、あるいはRFパワー密度増大に伴って電界効果移動度が減少する傾向、つまり、成膜速度が増すにつれて移動度が減少する傾向にある。これらすべてのTFTのトランスファ特性はいずれも良好な電流制御性を示し、アウトプット特性では良好なオーミック接触性と飽和特性を示した。

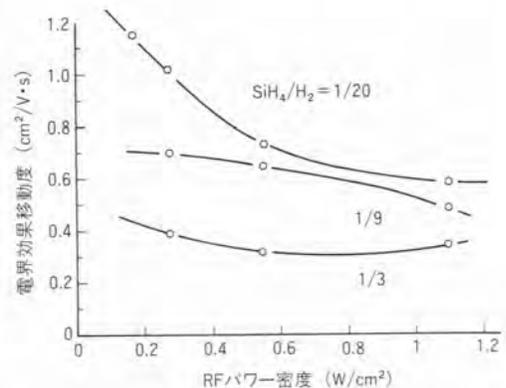


図3. TFTの電界効果移動度のRFパワー依存性 SiH<sub>4</sub>/H<sub>2</sub>流量比増大、あるいはRFパワー密度増大に伴って電界効果移動度は減少する。

Field effect mobility of TFTs as function of RF power

図4は、TFTの電界効果移動度をa-Si:Hの成膜速度に関してプロットしたものである。図中、白丸(○)は今回の高速成膜技術による結果、黒丸(●)は従来プロセスでの結果を示す。a-Si:H、SiN<sub>x</sub>の成膜条件、TFT構造などにさまざまな種類のものを含んでいるが、全般的には成膜速度の増大に伴って移動度が低下する傾向にある。しかし、従来プロセスでは成膜速度が8~30 nm/minの範囲で急激に移動度が低下するのに対して、新プロセスでは55 nm/minで最高値1.1 cm<sup>2</sup>/V·sが得られ、350 nm/minでも0.4 cm<sup>2</sup>/V·sが得られている。

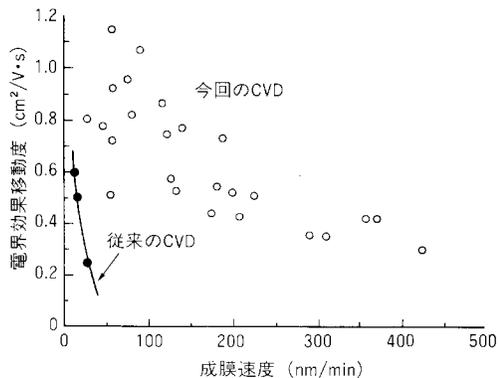


図4. TFTの電界効果移動度とa-Si:H成膜速度の関係 成膜速度の増大に伴って移動度は低下するが、55 nm/minで1.1 cm<sup>2</sup>/V·s、350 nm/minでも0.4 cm<sup>2</sup>/V·sが得られる。

Field effect mobility of TFTs as function of deposition rate of a-Si:H

### 3 高速成膜時における成膜温度の効果

#### 3.1 TFT特性のa-Si:H成膜温度依存性

次に、a-Si:H成膜時の $T_s$ がTFT特性に及ぼす効果を詳細に検討した。図2から3種類の成膜速度、12, 80, 180 nm/minの場合について、 $220 \leq T_s \leq 370$  °Cの範囲でa-Si:Hの成膜温度を変化させ、そのときのTFT特性を調べた。図5に示すように、12 nm/minの場合には、 $280 \leq T_s \leq 310$  °Cで移動度が極大値1.3 cm<sup>2</sup>/V·sをとり、高温側では電界効果移動度の低下が起こる。一方、80, 180 nm/minでは、 $T_s \geq 340$  °Cでそれぞれ最大値1.0 cm<sup>2</sup>/V·s, 0.85 cm<sup>2</sup>/V·sが得られた。

このようにa-Si:Hの最適成膜温度は成膜速度の上昇とともに高温側にシフトすると考えられ、高速成膜時には成膜温度を高く設定することが必要とわかった。また、XGAクラスのTFT-LCDへの適用を考え、移動度の最小設計値を0.6 cm<sup>2</sup>/V·sと見込んで180 nm/minでの高速成膜が十分に可能であることが実証された。

なお、成膜速度が80, 180 nm/minの場合には、370 °Cま

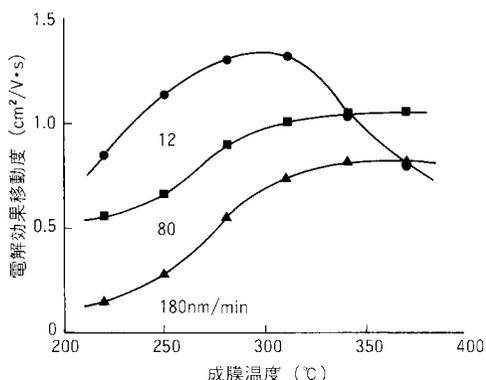


図5. TFTの電界効果移動度のa-Si:H成膜温度依存性 a-Si:Hの最適成膜温度は成膜速度の上昇とともに高温側にシフトする。

Field effect mobility of TFTs as function of deposition temperature of a-Si:H

での範囲において、12 nm/minの場合のような移動度の減少傾向がみられず、移動度が極大となる最適温度はさらに高温であることも考えられる。ただし、実用的には大面積ガラス基板上への形成となるから、基板温度は350 °C程度が上限と考えられる。

#### 3.2 成膜温度によるa-Si:H膜質の変化

この成膜温度によってa-Si:Hの膜質にどのような変化が生じていたのかを、フーリエ変換赤外吸収(FT-IR)法によって調べた。a-Si:H中のH原子の結合状態は膜質に大きく影響する。FT-IR法では2,000 cm<sup>-1</sup>の赤外光の吸収からa-Si:H中のSi-H結合の量(C[H])を、2,090 cm<sup>-1</sup>の吸収からSi-H<sub>2</sub>結合、または(Si-H<sub>2</sub>)<sub>n</sub>結合の量(C[H<sub>2</sub>])を見積もることができる。測定には、Siウェーハ上に約3,000 Åのa-Si:Hを成膜した試料を用いた。

図6(a)に、3.1節でTFT形成に用いたa-Si:H、すなわち成膜速度、12, 80, 180 nm/minのa-Si:Hについて、成膜温度 $220 \leq T_s \leq 370$  °CでのC[H]の変化を示す。12 nm/minのa-Si:Hの場合、C[H]は $T_s$ の上昇とともに19 at%から11 at%に減少するが、80, 180 nm/minでは、 $T_s$ に依らずほぼ一定値20 at%をとる。

図6(b)にC[H<sub>2</sub>]の $T_s$ 依存を示す。いずれの成膜速度の試料についても $T_s$ の上昇とともにC[H<sub>2</sub>]は減少するが、12 nm/minのa-Si:Hでは $T_s=220$  °Cでもわずか1 at%である。一方、80, 180 nm/minでは $T_s=220$  °Cで、それぞれ5 at%、12 at%と多量に含むが、 $T_s \geq 310$  °Cでほぼ1 at%にまで減少する。

$T_s$ が上昇することの膜成長に及ぼす効果としては、一つには成長表面からのH脱離の促進、ほかには成長表面での前駆体の拡散長の伸長と熱的な構造緩和の促進が挙げられる。成膜速度12 nm/minの場合の高温領域でのC[H]の減少は、主に成長表面からのHの脱離によるものと考えられる。一方、80, 180 nm/minの場合、低温領域での多量のC[H<sub>2</sub>]を含み、これは膜成長時の構造緩和が不十分なために、膜中に多量の欠陥やボイドが形成されていることを示唆する。 $T_s$ 上昇

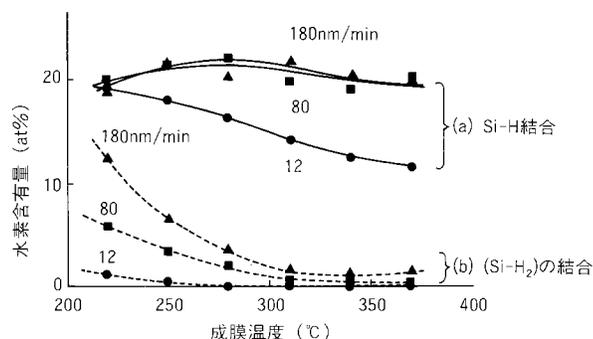


図6. a-Si:Hの水素含有量の成膜温度依存性 高速成膜の場合にはSi-H結合が高温域でも低下しない(a)。(Si-H<sub>2</sub>)<sub>n</sub>結合は温度上昇とともに急激に低下する(b)。

Hydrogen content of a-Si:H deposited at different temperatures

による  $C[H_2]$  の急激な減少は構造緩和が促進された効果とみることができる。高速成膜のプラズマ条件下では膜成長の前駆体に高次シランの占める割合が増え、これらを成長表面で十分に拡散させるために、より高温が必要になると考える。

3.1 節の TFT の電解効果移動度の挙動は、これらの結果とよく対応することから、 $a\text{-Si:H}$  の膜質の変化が特性の支配要因になっているものと考えられる。

#### 4 TFT の信頼性

TFT-LCD を高温環境で動作させると、一般にドレイン電流の経時的な低下により画素電極への書き込み特性が劣化する。これは、TFT のゲート電極への電圧印加によって  $I_d\text{-}V_g$  カーブがしきい値電圧 ( $V_{th}$ ) シフトを起こす現象によるものであり、その原因としては、ゲート絶縁膜界面近傍の  $a\text{-Si:H}$  における欠陥準位の生成、あるいはゲート絶縁膜である  $\text{SiN}_x$  への電荷注入が挙げられる<sup>(6)</sup>。このため、 $V_{th}$  シフト量は  $a\text{-Si:H}$ 、 $\text{SiN}_x$  の膜質、さらにはその界面形成状態に大きく依存すると考えられ、 $a\text{-Si:H}$  の高速成膜によって  $V_{th}$  シフト量が大きくなることが懸念される。

そこで、 $a\text{-Si:H}$  を高速形成した TFT の信頼性をバイアス温度ストレス (BTS) 試験にて評価した。いずれの成膜速度の  $a\text{-Si:H}$  を用いても、TFT の  $V_{th}$  は、 $80^\circ\text{C}$ 、 $10,000$  秒間の正バイアス印加でプラスに、負バイアス印加でマイナスにシフトする現象が見られた。これらの挙動は従来プロセスの  $a\text{-Si:H}$  を用いた場合と同様である。

図 7 は、ストレス電圧を  $-30\text{ V}$  から  $+30\text{ V}$  の範囲で変え、 $V_{th}$  シフトを測定した結果である。 $a\text{-Si:H}$  の成膜速度が  $55\text{ nm/min}$  の新プロセスと  $10\text{ nm/min}$  の従来プロセスと比較した。負バイアス時に  $55\text{ nm/min}$  のほうがわずかにシフト量が

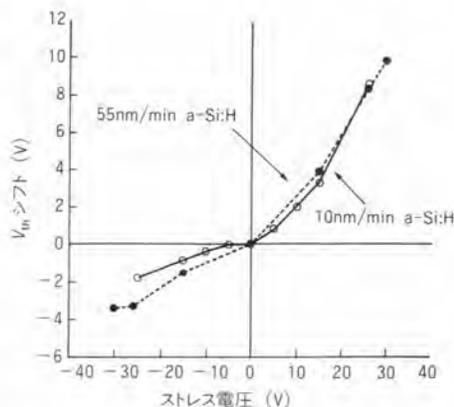


図 7. しきい値電圧 ( $V_{th}$ ) シフトのストレス電圧依存性  $55\text{ nm/min}$  の  $a\text{-Si:H}$  で作製した TFT で、 $10\text{ nm/min}$  の従来品と同等の  $V_{th}$  信頼性が得られる。

Threshold voltage ( $V_{th}$ ) shift as function of stress voltage

大きい、正バイアスでは同じ値となっている。これらのデータを用いての TFT-LCD 駆動時の  $V_{th}$  シフトシミュレーションからは、実用上まったく問題のない値が得られている。

実際に、成膜速度  $55\text{ nm/min}$  の TFT を用いて LCD を作製し、 $70^\circ\text{C}$  での動作試験を行った。この結果、 $1,000$  時間の連続動作によってもまったく画像劣化がないことを確認できた。

#### 5 あとがき

$a\text{-Si:H}$  を  $180\text{ nm/min}$  で高速形成し、移動度  $0.8\text{ cm}^2/\text{V}\cdot\text{s}$  の優れた TFT を得ることができた。高速成膜下で良好な TFT 特性を得るには、基板温度の高温化が有効である。TFT の信頼性も  $55\text{ nm/min}$  での高速成膜品が従来品と遜（そん）色なく、画像劣化を生じない優れた LCD を得ることに成功した。

高速成膜技術の成功は、PE-CVD がもはや TFT アレイ製造工程のボトルネックではなくなったことを意味する。アレイ工程のコスト削減は、個々のプロセスの処理時間のスピードアップによって生産性向上を図る段階から、プロセス全体の再構築を推進すべき新たな段階にきているといえよう。

#### 文 献

- (1) N. Ibaraki: Future of amorphous Si TFTs and their fabrication technologies, Proc. 12th IDRC Tech. Digest, pp.205-208 (1992)
- (2) S. Kawamura, et al: Effect of deposition temperature of  $a\text{-Si:H}$  layer on TFT characteristics, Ext. Abst. of the AM-LCD'94, pp.116-119 (1994)
- (3) Y. Watabe: Recent improvement in IN-LINE plasma CVD system, Display Manufacturing Tech. Conf. Digest of Tech. Papers Jan., pp.61-62 (1994)
- (4) H. Uchida, et al: High-mobility and high-stability  $a\text{-Si:H}$  thin film transistors with smooth  $\text{SiN}_x/a\text{-Si}$  interface, Jpn. J. Appl. Phys., **30**, pp.3691-3694 (1991)
- (5) G. Ganguly, et al: Defect formation process during growth at hydrogenated amorphous silicon at high temperatures, Jpn. J. Appl. Phys., **31**, pp.L1269-1271 (1992)
- (6) M. J. Powell, et al: Bias dependence of instability mechanisms in amorphous silicon thin-film transistors, Appl. Phys. Lett., **51**, pp.1242-1244 (1987)



福田 加一 Kaichi Fukuda

1987 年入社。  $a\text{-Si}$  TFT-LCD のプロセス技術開発に従事。現在、ディスプレイデバイス技術研究所開発第二部主務。Display Device Engineering Lab.



河村 真一 Shin-ichi Kawamura

1991 年入社。  $a\text{-Si}$  TFT-LCD のプロセス技術開発に従事。現在、ディスプレイデバイス技術研究所開発第二部。Display Device Engineering Lab.



茨木 伸樹 Nobuki Ibaraki, D.Eng.

1975 年入社。  $a\text{-Si}$  TFT-LCD のプロセス技術開発に従事。現在、ディスプレイデバイス技術研究所開発第二部主査。工博。Display Device Engineering Lab.