

杉浦 義久
Y.Sugiura

首藤 晋
S.Shuto

高集積化に有利で、データの書き込み速度を高速化できる NAND 型フラッシュ技術を用い、32M ビット NAND 型フラッシュメモリを開発した。ビットごとのペリファイに対応した新方式のセンスアンプにより、書き込み後のセルのしきい値を精密に制御できる。さらに、パイプライン制御を取り入れることにより、35 ns の高速サイクルタイムを実現した。

0.425 μm ルールを適用し、1 ビット当たりのセル面積は $1.558 \mu\text{m}^2$ と小さい。チップサイズは、 103.4 mm^2 である。また、トンネル酸化膜、ポリシリコン間絶縁膜ともに薄膜化を図り、書き込み/消去電圧の低電圧化を実現している。

We have developed a 32 Mbit NAND flash EEPROM based on the NAND-structured technique which is suitable for high integration. A new sense amplifier for bit-by-bit verify operation makes it possible to accurately control memory cell threshold voltage, and a 35 ns cycle time is achieved by a newly devised pipeline scheme.

The memory cell area per 1 bit is $1.558 \mu\text{m}^2$ using 0.425 μm design rule CMOS process, and the chip size is 103.4 mm^2 . In addition, the program/erase voltage is lowered due to reduction of the tunnel oxide and inter-polysilicon insulator thickness.

1 まえがき

パーソナルコンピュータに代表されるポータブル機器の記憶装置として、フラッシュメモリが注目されている。フラッシュメモリは、電気的にデータの書換えが可能で、電池によるバックアップが不要な不揮発性メモリであることから、メモリカードなどへの応用が始まっている。ハードディスクと比較し、対衝撃性が高く、体積を小さくでき、消費電力が小さい。現在、各社がさまざまな特徴を備えた製品を開発中である。

このような背景から、32M ビット NAND 型フラッシュメモリを開発した。NAND 型フラッシュは当社独自の技術であり、NOR 型フラッシュと比較しメモリセルの面積を縮小することができるため、高集積化に向いている。また、ページ単位での書き込みが可能であるため、1 バイト当たりの書き込み時間が短い。

今回開発した 32M ビット NAND 型フラッシュメモリは、ユーザの使いやすい自動モードと高信頼性を実現するための回路を備えた高機能フラッシュメモリである。シリアルサイクルタイムは、35 ns の高速を達成した。電源電圧は、3.3V 単一で動作可能である。書き込み/消去電位は、内部の昇圧回路で発生する。

2 メモリセル構造とプロセス技術

図 1 に NAND 型フラッシュメモリのメモリセルの平面と等価回路を示す。1 NAND の構造は、16M ビットの製品と

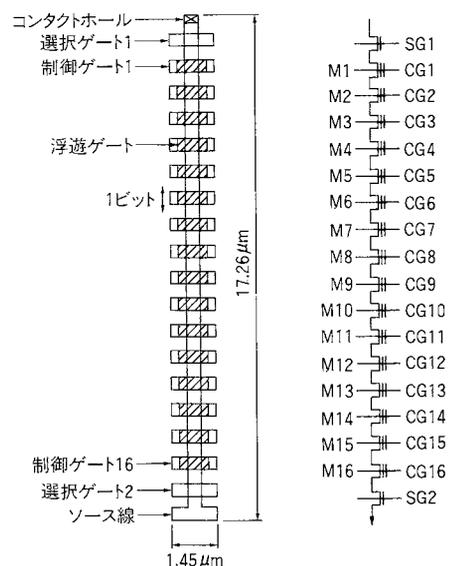


図 1. メモリセルの平面と等価回路 16 個のメモリセルが直列に配置されている。1 ビット当たりのセル面積は $1.558 \mu\text{m}^2$ である。

Top view and equivalent circuit of memory cell

同様に16個のメモリセルが直列に配置されて構成されている。デザインルールは16Mビット品の $0.7\mu\text{m}$ に対して $0.425\mu\text{m}$ ルールを適用し、1ビット当たりのセル面積16Mビット $4.095\mu\text{m}^2$ から $1.558\mu\text{m}^2$ へと縮小している。

図2にメモリセルトランジスタの断面を示す。メモリセルトランジスタは、自己整合された二層ゲート構造で、浮遊ゲート、制御ゲートともにポリシリコンで形成されている。トンネル酸化膜の厚さは10nmである。また、浮遊ゲートと制御ゲートの間の絶縁膜としては酸化膜、窒化膜、酸化膜(ONO)の三層構造の膜を使用しており、その厚さは酸化膜換算で17nmである。トンネル酸化膜、ポリシリコン間絶縁膜のいずれに関しても、16Mビット品に比べて薄膜化しており、書き込み/消去電圧の低電圧化を実現している。

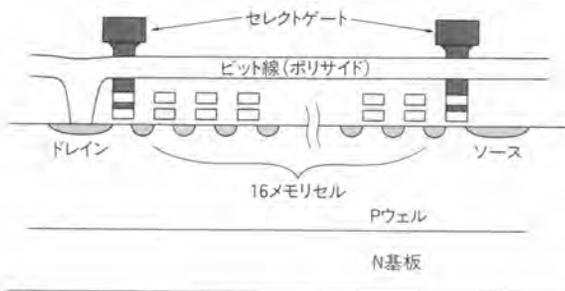


図2. メモリセルトランジスタの断面 自己整合された二層ゲート構造である。トンネル酸化膜厚は10nm、ONOは酸化膜換算で17nmである。

Cross-sectional view of memory cell

メモリセルへのデータの消去/書き込み方法は、4M、16Mビット品と同様にメモリセルのチャンネル全面でトンネル電流を流して行う方法を採用している。メモリセル1ビットの消去/書き込み動作を図3に示す。消去時に制御ゲートを0VにしてN型基板とPウェルに V_{EE} を印加すると浮遊ゲートから基板側へとトンネル電流により電子が引き抜かれ、浮遊ゲートが正に帯電するため、メモリセルのしきい値は負になる。書き込みの場合は、消去時とは逆に制御ゲートに V_{pp} を印

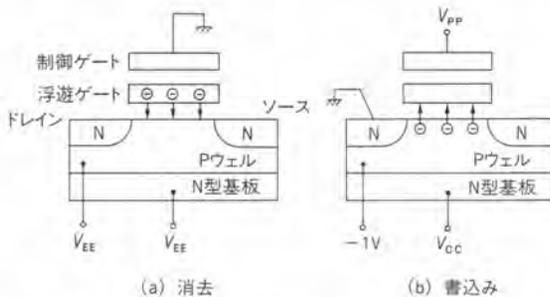


図3. メモリセル1ビットの消去と書き込み方法 消去時は電子が浮遊ゲートからPウェルに放出され、書き込み時は電子がPウェルから浮遊ゲートに注入される。

Erase and program operation of NAND memory cell

加し、N型基板に V_{cc} を与え、Pウェルを $-1V$ とする。トンネル電流による電子が基板側(Pウェル)から浮遊ゲートへと流れ、浮遊ゲートが負に帯電するため、メモリセルのしきい値は正になる。また、書き込まないメモリセルには、ドレインに0Vと V_{pp} の中間の電位を与えて誤書き込みを防止する。

今回の32M品でも4M、16Mと同様に、ダブルウェル、3ポリシリコン、1Alプロセスを採用しており、メモリセルアレイと周辺回路は、N型基板上に分離して形成された別々のPウェル上に形成されている。また、配線構造のうち、3層目のポリシリコンはWSiとの積層構造であり、従来のMoSiに比較して低抵抗化されている。Alの金属配線は、Ti/TiNのバリアメタルを下地に用いている。また、デザインルールの縮小に対処するため、PEP(Photo Etching Process)には一部でi線光源を用いている。

3 チップ仕様

図4は今回開発した32MビットNAND型フラッシュのチップ写真である。チップサイズは $7.04\text{mm} \times 14.69\text{mm}$ である。ビット構成は528バイト $\times 8 \times 8K$ ページである。ページ長は(512+16)バイトとなっており、全体を528バイトとしても、または512バイトのメイン領域と16バイトの冗長部と分けても扱える。消去ブロックは8Kバイト単位となっている。メモリセルアレイは2分割している。

16Mビット品と同一のピン構成をとっており、アドレスはI/Oピンから3回に分けて入力する。16Mビット品に比べ、ページ長が倍になりアドレスが1ビット不足するため、カラム上位アドレスは内部でインクリメントする。電源電圧は3.3V単一である。金属配線層1層の変更で、電源電圧5V単一動作にも対応できる。



図4. 32MビットNAND型フラッシュメモリのチップ $0.425\mu\text{m}$ の設計ルールでチップサイズは $7.04\text{mm} \times 14.69\text{mm}$ である。

Chip microphotograph of 32 Mbit NAND flash EEPROM

4 回路設計概要

4.1 内部構造

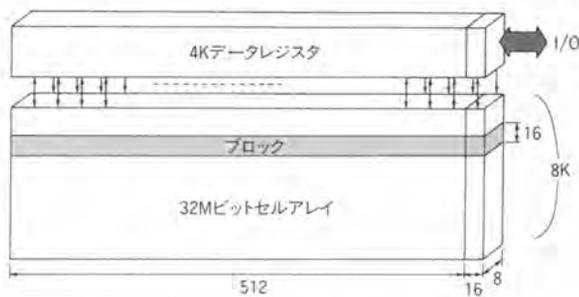


図5. 内部構造 各ビット線につき一つずつデータレジスタをもっている。データの入出力はレジスタを介して行う。

Internal organization

図5に内部構造を示す。ビット線1本につき一つずつデータレジスタをもっており、1ページ分の書込み、読出しデータを一時的に保持しておくことができる。このデータレジスタは、読出し時のセンスアンプを兼ねている。

書込み、読出しはそれぞれ二つの動作に分けられる。書込みは、1ページ分の書込みデータをレジスタに送るデータロードサイクルと、そのデータをメモリセルに書き込むセルプログラミングとから成る。NAND型フラッシュでは、書込みにトンネル電流を使っているため1ページ分のデータを一括で書き込むことができ、1バイト当たりの書込み速度を速くできる。読出しは、1ページ分のデータをデータレジスタに読み出すランダムリードと、外部ピンと同期させてそのデータを出力するシリアルリードに分けられる。

4.2 読出し動作

データの“1”、“0”は、メモリセルのしきい値の正負で決めている。選択したセルのワード線を0Vとし、セル電流が流れれば“1”、流れなければ“0”である。このとき、選択セルと直列につながっている非選択セルのワード線には高電位を与え、しきい値によらず電流を流さなければならない。今回の開発にあたり、電源電圧を16Mビット品までの5Vから3.3Vに低減化したため、 V_{cc} をそのまま与えたのではセル電流が十分に取れない。そこで、内部で4.5Vに昇圧した電位を非選択ワード線電位としている。非選択セルが読出し電流を妨げないためには、正の側(“0”)のメモリセルのしきい値は選択ワード線電位と非選択ワード線電位との間に制御する必要がある。

4.3 書込み動作

書込み時には、ワード線を書込み電位($V_{pp}=19.5V$)として浮遊ゲートに電子を注入する。書込みページは同一ワード線の下にあるが、ビット線電位によりデータを書き分けている。書込みセルのビット線は0Vとし、注入を行う。書込み禁止セルのビット線は8Vとし、電界を緩和することにより消去データである“1”を保持する。

微細化に伴い、隣接セルの書込みデータの干渉が問題となる。隣接するセルの間は、フィールドと呼ばれる厚い酸化膜

の領域で分離されているが、高集積化のためこの領域はますます薄く狭くなる傾向にある。そのため、フィールド領域を介してビット線間に電流が流れてしまうことがある。このデバイスでは、セル部のPウェルに負電位を与えることにより、フィールド間のパンチスルー耐圧を高くしている。

4.4 書込みベリファイ

前述のとおり、書込み後のしきい値は、その分布幅の上限と下限を両方ともある範囲に収めなければならない。実際には、温度や電源電圧といった動作条件に対するマージンが必要となるため、かなり厳密に制御する必要がある。このデバイスでは、書込み後にビットごとのベリファイを自動的に行うシーケンスを採用し、十分な精度のコントロールを実現している。

ビットごとベリファイのシーケンスを図6に示す。書込みデータは、データロードサイクルでレジスタに取り込まれている。“0”が書込みデータ、“1”が書込み禁止データであ

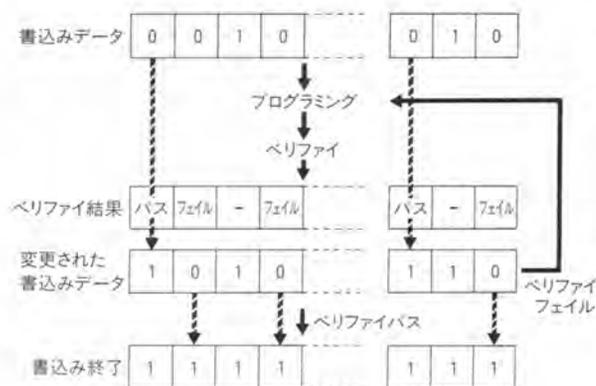


図6. ビットごとベリファイの説明 レジスタ内部のデータはベリファイにより変更される。“0”は書込みを“1”は書込み禁止を示す。

Bit-by-bit verify operation

る。1回の書込みが終了すると、自動的にベリファイが行われる。ベリファイは、基本的に読出しと同じ動作である。ただし、読み出したラッチデータはそのまま次の書込みのデータとなる。書込み後のセルの状態はビット線に読み出される。書込みが成功した場合には、レジスタ内のデータはビット線の情報を取り込み、書込み禁止状態に変えられる。書込みが不十分な場合には、ビット線の情報によってもデータは変わらない。書込み禁止状態のセルは、ベリファイは行われない。このレジスタの状態を用いて、次の書込みが行われる。メモリセルの書込み特性は、プロセス的なばらつきやワード線の抵抗によりばらつくことは避けられないが、このシーケンスによれば、それぞれのセルの最適に近い書込み時間で書き込むことができる。このシーケンスは、書込みが完了するまで自動的に繰り返される。

今回の開発にあたり、ビットごとベリファイに対応した新

方式のセンスアンプを採用し、動作条件の影響を受けにくい安定した制御を可能にしている。このシーケンスにより、ベリファイしない場合には2.6V程度であるしきい値分布幅を1.2Vに抑えることができた。

4.5 消去および消去ベリファイ

データの消去は、ブロックを単位として行うブロック消去と、チップ全体を同時に消去するチップ消去の二つのモードを用意している。内部にブロックアドレスレジスタを備えており、ブロック消去は複数のブロックを同時に消去できる。

消去は複数ブロック同時に行えるが、消去ベリファイは1ブロックずつ行う必要がある。したがって、一度に消去するブロック数が増えるに従い、消去全体におけるベリファイ時間の割合は大きくなっていく。このデバイスでは、図7にみるように、NAND型構造の特長を生かし消去ベリファイの時間短縮を図っている。読出しでは、選択ワード線だけを0Vとしページ単位で読出しを行っていたが、消去ベリファイではブロック内のすべてのワード線を0Vとし読出し動作を行う。この方法では、1回の読出し動作でブロック内のすべてのセルの消去が完了したことを検知できる。

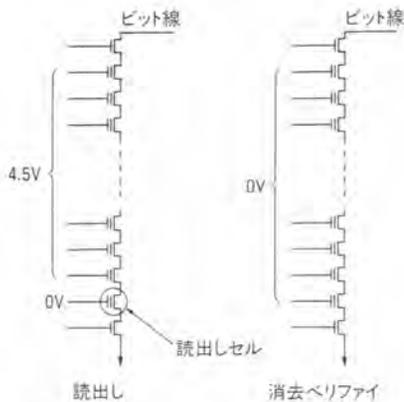


図7. 消去ベリファイ
一度のベリファイでブロック内のすべての消去完了を検知できる。
Erase verify

4.6 シリアルサイクルタイムの高速化

NAND型フラッシュメモリでは、ページ単位での動作を基本としているので、高性能化のためには、シリアルサイクルタイムの高速化が重要となる。シリアルサイクルは、3段



図8. バイプライン制御 3段のバイプライン制御を行いシリアルサイクルの高速化を図っている。

Pipeline scheme

のバイプラインで制御している(図8)。三つのステージはそれぞれ、アドレスのデコード、データのセンスとラッチデータの出力である。シリアルサイクルは、外部ピンと同期して動作が制御されている。あるアドレスのデータの入出力がなされているサイクルでは、内部で次のアドレスのデータがセンスされ、さらにその次のアドレスがデコードされている。

今回の開発では、このバイプラインスキームの最適化を行い、最小のタイミングマージンで確実な動作が実現できるようにくふうした。

5 デバイス特性

今回開発した32MビットNAND型フラッシュメモリの、 $V_{cc}=3.3V$ 、 $25^{\circ}C$ での特性を表1に示す。書込み、読出し、消去それぞれの高速度を実現している。全ビットのデータを書換えも約1.7秒で行える。

表1. 32MビットNAND型フラッシュメモリの特性
Features of 32 Mbit NAND flash EEPROM

シリアルサイクルタイム		35 ns
シリアルアクセスタイム		28 ns
ランダムアクセスタイム		8.5 μs
書込み時間		400 ns/バイト
消去時間	1ブロック	2.5 ms
	全チップ	5 ms
待機時消費電流		<1 μA
動作電流	書込み	30 mA
	消去	10 mA
	読出し	8 mA

6 あとがき

直列接続されたメモリセル、ページ単位での動作、低消費電力といったNAND型構造の特長を生かし、高機能、高性能なフラッシュメモリを開発した。今回開発した32MビットNAND型フラッシュメモリは、メモリカードなどに搭載され、次世代のフラッシュメモリの主流になると期待されている。



杉浦 義久 Yoshihisa Sugiura

1990年入社。EEPROMの設計・開発に従事。現在、半導体デバイス技術研究所メモリ技術開発部。
Semiconductor Device Engineering Lab.



首藤 晋 Susumu Shuto

1991年入社。EEPROMのデバイス研究に従事。現在、半導体デバイス技術研究所メモリ技術開発部。
Semiconductor Device Engineering Lab.