

脇本 啓嗣  
H. Wakimoto

瀬下 敏樹  
T. Seshita

北浦 義昭  
Y. Kitaura

次世代光通信システムのキーコンポーネントである、超高速デジタル信号を扱うマルチプレクサ IC (以下、MUX と略記) の設計・試作を行い、20 Gbps という高速動作を確認した。この MUX は、国際規格 SDH (Synchronous Digital Hierarchy) で採用されたバイト同期方式に対応した 8 ビットの超高速シリアルパラレル変換を実現した IC である。

このような超高速 IC を実現した技術として、ゲート抵抗を低減するため WN<sub>x</sub>/W (窒化タングステン/タングステン) 積層ゲートを採用した GaAs セルフアライン型 BPLDD (Buried P-layer Lightly Doped Drain) MESFET (Metal Semiconductor Field Effect Transistor) プロセス、周波数特性の向上を目的とした新しい CCSF (Cross Coupled Source Follower) 回路の採用、20 GHz 動作を実現する分周回路の設計技術の開発が挙げられる。

An ultra-high-speed 8-bit multiplexer IC has been developed for future-generation optical-fiber communications systems having a data rate of 20 Gbps. This IC was fabricated using a 0.5 μm WN<sub>x</sub>/W stacked-gate GaAs buried P-layer lightly doped drain (BPLDD) MESFET process. The sheet resistance of the WN<sub>x</sub>/W bilayer is 1/20 that of the conventional WN<sub>x</sub> monolayer.

This IC was designed using a tree type architecture based on the SCFL circuit. An advanced circuit named the cross-coupled source follower (CCSF) with a wider bandwidth was used for the highest speed buffers. The first-stage T-type flip-flop has been operated at up to 21.1 GHz. This is the fastest 8-bit multiplexer ever reported.

### 1 まえがき

高度情報社会の到来により、大容量超高速のデータ通信を可能とする光通信回線インフラの整備が必要となっている。近い将来には、伝送速度 10 Gbps の光通信システムの整備が実現されようとしている。しかし、次世紀における需要の増大に備えるためには、よりいっそうの高速化が要求されるものと予想される。

光通信システムの送信部の概略を図 1 に示す。今回開発した MUX は 2.5 Gbps のデジタル信号を 8 ビットずつ多重化し、レーザ駆動回路で用いる 20 Gbps という高速シリアル信号に変換する役割をもつ IC である。MUX はもっとも高速のデジタル信号を取り扱うシステムのキーコンポーネントである。

多重化数 8 ビットの MUX は、伝送速度 10 Gbps までの IC がわれわれの発表も含めて報告されている<sup>(1),(2),(3)</sup>。しかし、20 Gbps で動作する MUX についてはこれまで報告例がなかった。今回の試作では、さらに技術的な改良を行うことにより、GaAs MESFET を用いて 8 ビットとしては最高速である 20 GHz で動作する MUX を実現したものである。

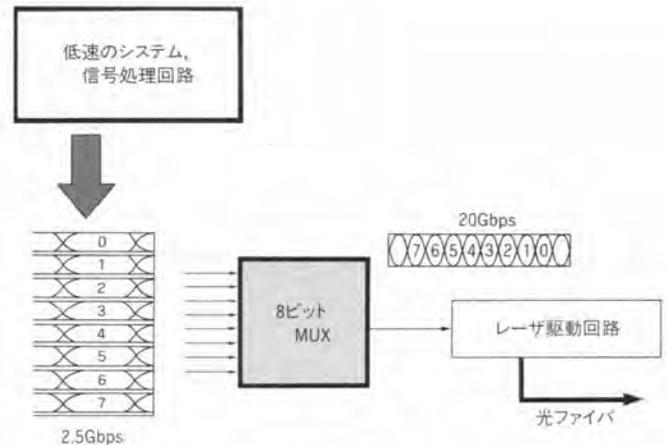


図 1. 光通信システム送信部概略 MUX は光通信システム送信部の中でもっとも高速のデジタル信号処理をするキーコンポーネントである。

Configuration of transmitter for optical communications system

図 2 に試作した 8 ビット MUX のチップを示す。チップサイズは 2.6×3.2 mm 素子数は約 1,800 である。チップ周辺は電源線がコンデンサを形成することにより、スイッチング

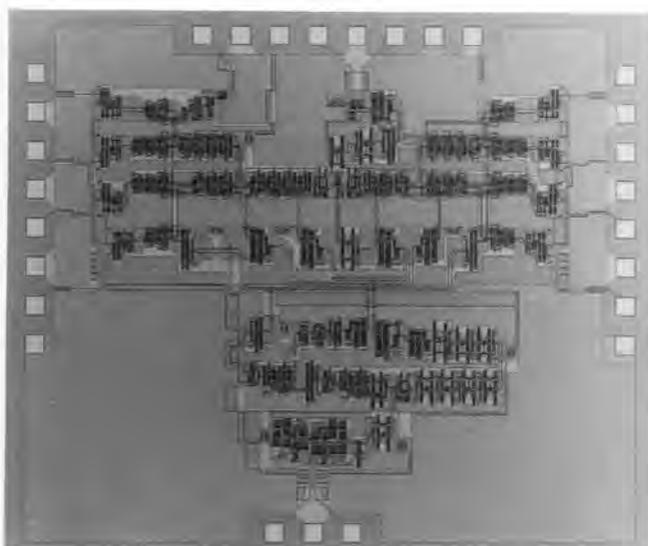


図2. 20 GHz GaAs 8ビット MUX チップサイズは2.6×3.2 mm。約1,800の素子が載っている。8ビットとしては最高速を実現した。

Microphotograph of 20 GHz GaAs 8-bit multiplexer IC

ノイズに対して電源線の安定化を図っている。以下、ポイントとなるいくつかの技術について説明する。

## 2 マルチプレクサ IC のプロセス技術

20Gbps という高速の IC を実現するためのデバイス技術としては、高速性に加えて均一性・再現性も必要となる。そこで、実績のあるプロセスであるゲート長  $0.5\mu\text{m}$  の GaAs MESFET を用いた。図3に MESFET の断面を示す。このプロセスには次のような特長がある。

- (1) ゲート加工を量産性に優れた光リソグラフィで実現した。 $0.5\mu\text{m}$  という微細で均一なゲート形成を行うため、イメージリバースという手法を用いた。
- (2) 均一性に優れたチャンネル層を形成するため、イオンイ

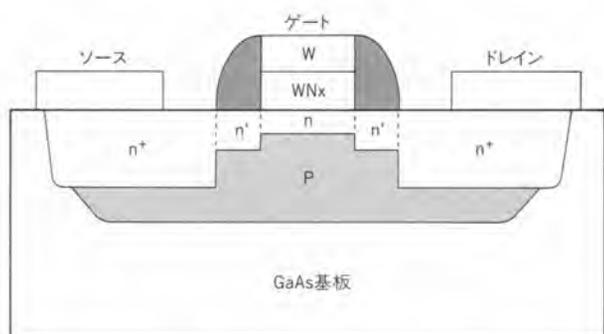


図3.  $\text{WN}_x/\text{W}$  積層ゲート BPLDD MESFET の構造 W を  $\text{WN}_x$  に積層させゲート抵抗を下げている。また、P 型層が n チャンネル層を薄くし特性を向上させた。

Cross section of  $\text{WN}_x/\text{W}$  stacked-gate BPLDD MESFET

ンプランテーションを用いた。 $0.5\mu\text{m}$  ゲートに対応するための薄い活性層を実現するため、P 層を下部に形成した BPLDD 構造を用いた。

- (3) ゲート電極には、従来の  $\text{WN}_x$  ゲートの上に W を積層した  $\text{WN}_x/\text{W}$  積層ゲート構造を採用した<sup>(4)</sup>。 $0.5\mu\text{m}$   $\text{WN}_x$  単層ゲートでは、ゲート抵抗の影響による遅延により高速性が劣化する。 $\text{WN}_x/\text{W}$  積層ゲート構造は、このゲート抵抗を低減する目的で用いられた。シート抵抗値は  $0.5\Omega/\square$  であり、従来の単層ゲートに比べて、1/20 まで低減される。この積層ゲート構造の効果を見るため、バッファ回路について SPICE (Simulation Program with Integrated Circuit Emphasis) シミュレーションを行った。その結果、今回用いた  $\text{WN}_x/\text{W}$  積層ゲートでは、バッファのバンド幅 (3 dB 減衰する周波数) は従来の  $\text{WN}_x$  単層ゲート ( $10\Omega/\square$ ) と比べて、バッファのバンド幅が 46% と高速性が大幅に向上している。

これらのプロセス技術により MSI クラスの規模の IC で高速な FET を実現できるようになった。試作した FET で特性を評価したところ、トランスコンダクタンス ( $g_m$ ) が  $350\text{mS/mm}$ 、遮断周波数 ( $f_T$ ) が  $40\text{GHz}$  と良好な値を示した。

## 3 MUX 用高速回路技術

回路構成はわれわれがさきに開発した  $10\text{Gbps}$  8ビット MUX<sup>(1)</sup>と同様、SCFL (Source Coupled FET Logic) を基本回路としたツリー構成である。図4に今回開発した8ビット MUX の構成を示す。

MUX は、データ多重化部とクロック発生部で構成される。データ多重化部は、2ビット MUX の3段重ね (ツリー

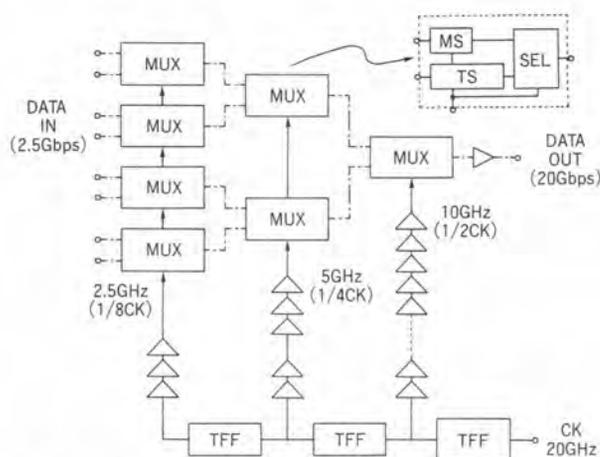


図4. 8ビット MUX の構成 2ビット MUX の3段ツリー構成。3本のクロック信号のタイミング調整のため、遅延用バッファを用いている。

Block diagram of 8-bit multiplexer IC

構成)により8ビットの多重化を行う。2ビットMUXは、マスタスレーブD型フリップフロップ(MS-DFF)、位相シフトのためのトライステージD型フリップフロップ(TS-DFF)およびセレクタ(SEL)で構成されている。タイミング発生部は、三つのスタティック型分周器(TFF)とバッファ系で構成され、それぞれ3種類の内部クロック信号(1/2CK, 1/4CK, 1/8CK)を発生する。このようなツリー構成は、10GHz以上で動作するフリップフロップ(FF)の数が初段分周器と最終段の2ビットMUX部だけと少なく、高速で多ビットのMUXに向いている。

一方、3種類(1/2CK, 1/4CK, 1/8CK)の内部クロック信号が必要となり、3信号間のタイミング設計が必要となる。タイミングを合わせるためには、それぞれの内部クロック信号に遅延を与える必要がある。3種類の内部クロックの中では、より高速な信号ほど大きい遅延時間が必要となり、バッファ段数が増加する。

このような構成の8ビットMUXで特に高速性の要求される回路ブロックは、1/2CK用の10GHzクロックバッファと初段のTFFである。今回、回路的くふうによりそれぞれの回路で高速性向上を図り、8ビットMUX本体に適用した結果、20GHzでの動作を実現した。以下に詳細を述べる。

### 3.1 10GHzクロックバッファ回路

内部クロック信号の中の1/2CKは、データ信号とクロック信号間のタイミング調整のための遅延線として多段(このMUXでは13段)のバッファが必要となり、同時に10GHzという高いクロック周波数を伝達する必要がある。現状のSCFLバッファでは、どこまで高周波信号の伝送が可能かを調べるために、SPICEシミュレーションによる高周波解析を行った。

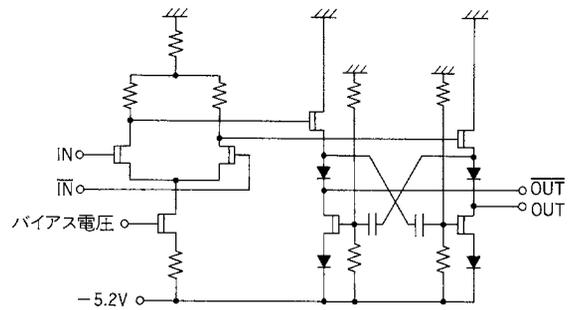
SCFLバッファの利得は差動部の利得とソースフォロワ部のゲインの和であり、シミュレーションの結果、バンド幅(小信号利得が3dB減衰する周波数)は、ソースフォロワ部がSCFLバッファの周波数特性を律則していることがわかってきた。この問題を克服するために、今回ソースフォロワ部の周波数特性を改善したCCSF回路を採用した。

図5(a)にCCSF-SCFL回路を示す。CCSF回路は、ソースフォロワ部の電流源FETにカップリング容量を介して逆相信号が与えられる構成である。この構成により高速信号に対してプッシュプル動作を行い、差動部から見える入力容量が増えることなく周波数特性が改善される。

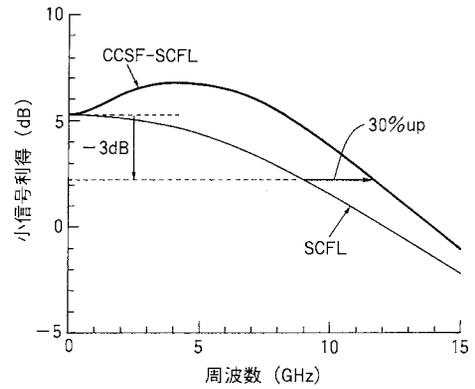
図5(b)にシミュレーションによるCCSF-SCFL回路と従来のSCFL回路の周波数特性を示す。バンド幅で比較すると、CCSF-SCFL回路は従来のSCFL回路に比べて30%向上し、目標の10GHzを上回ることができた。

### 3.2 20GHzTFF

クロック発生部で20GHzのクロック信号を10GHzに分



(a) CCSF-SCFL回路



(b) CCSF-SCFLとSCFLとの周波数特性比較

図5. CCSF-SCFL回路と周波数特性の比較 周波数特性はCCSF-SCFLが30%向上している。

Cross-coupled source follower (CCSF):(a)circuit diagram,(b) frequency characteristics

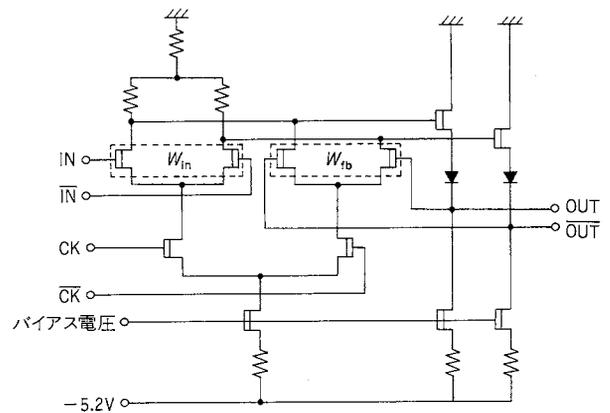


図6. D型ラッチ回路 入力側のFETゲート幅( $W_{in}$ )とラッチ側FETのゲート幅( $W_{lb}$ )の比を変え動作を向上する。

Circuit diagram D-type latch

周する初段分周器は、MUXの中でもっとも高速動作が要求されるFFである。この初段分周器としてTFFを採用しFETゲート幅の最適設計により20GHz以上での動作を達成した。

図6にTFFを構成するD型ラッチの回路を示す。図に示すように、入力側ペアFETのゲート幅を $W_{in}$ 、ラッチ側ペアFETのゲート幅を $W_{lb}$ とする。ラッチ時にデータを保持

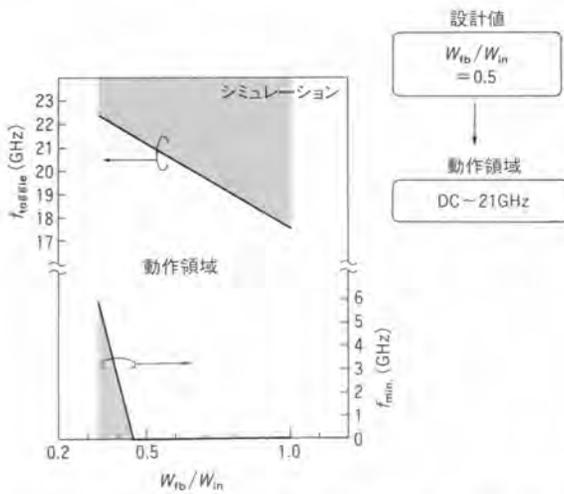


図7. TFFの動作領域と $W_{nb}/W_{in}$ 依存性の計算結果  $W_{nb}/W_{in}$ を下げると高速動作が可能であるが、下げすぎると低速では動作しない。比の最適値は0.5である。

Simulated  $f_{toggle}$  and  $f_{min}$  vs.  $W_{nb}/W_{in}$

するラッチ側ペアFETでは、大きな駆動力を必要としないため、 $W_{in}$ に対して $W_{nb}$ をある程度小さくすることができる。 $W_{nb}$ を小さくすると、フィードバックループの負荷が低減されるのでTFFの動作速度が向上する。ここで $W_{in}$ に対する $W_{nb}$ の縮小率を $W_{nb}/W_{in}$ と表記する。

図7にTFFの動作領域と $W_{nb}/W_{in}$ 依存性のシミュレーション結果を示す。シミュレーションでは $W_{in}$ を $84\mu\text{m}$ と固定して、 $W_{nb}$ を $84\mu\text{m}$ から $28\mu\text{m}$ まで変化させた。 $W_{nb}$ を小さくすると、トグル周波数( $f_{toggle}$ )は向上するが、 $W_{nb}/W_{in} < 0.45$ まで小さくすると低周波側で非動作領域が現れ、ダイナミック動作となる。これは、ラッチ側ペアFETのゲート・ソース間電圧が増大し、ゲートへの電流の流れ込みにより、データ保持時間の長い低周波で誤動作となるからである。そこで、最適な $W_{nb}$ 縮小率としてスタティック動作でかつ21GHzまで動作する、 $W_{nb}/W_{in} = 0.5$ を設計値とした。このゲート幅比をもった上述TFFを用いて1/4分周器を試作した結果として、21.1GHzまで動作することを確認している。

#### 4 MUX動作波形

図8に20GHzでのMUXの出力アイパターンを示す。20GHzでの符号誤り率は、 $10^{-10}$ 以下であり、エラーフリー動作を確認することができた。立上がり/立下がり時間(20-80%)は、それぞれ31ps/27psであった。消費電力は、電源電圧( $V_{DD}$ )=5.2Vで7.5Wであった。

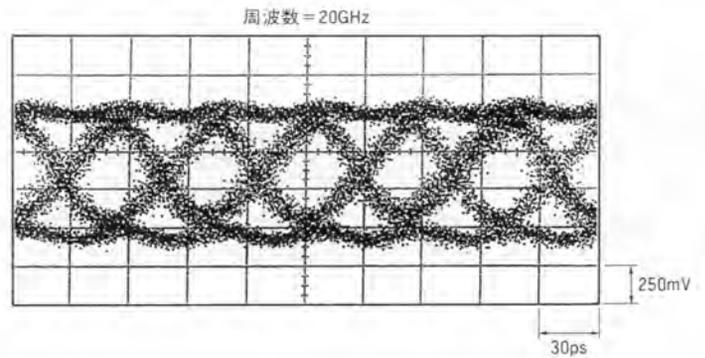


図8. MUXの動作波形 20GHzにおけるアイパターンである。誤り率 $10^{-10}$ 以下のエラーフリー動作を行っている。

Multiplexer IC output eye pattern at 20 GHz clock rate

#### 5 あとがき

$0.5\mu\text{m}$   $W_{nb}/W_{in}$  ゲート GaAs BPLDD MESFET を用いて、次世代光通信システムのキーコンポーネントである20GHz 8ビットMUXを開発した。このICはこれまで報告された8ビットMUXの中では最高速である。ここで開発されたGaAsのプロセス技術、設計技術は今後の超高速ICに用いることが可能で、高速通信システムの開発に大いに役だつことが期待される。

#### 文献

- (1) K. Ishida, et al : A 10-GHz 8-b Multiplexer/Demultiplexer Chip Set for the SONET STS-192 System, IEEE J. Solid-State Circuits, **26**, 12, pp. 1936-1943 (1991)
- (2) C. Stout, et al : 10 Gb/s silicon bipolar 8:1 multiplexer and demultiplexer, IEEE CICC'92, Proceedings, pp. 29.4.1-29.4.4 (1992)
- (3) 市岡俊彦, 他 : 10 Gbs GaAs DCFL 8:1 マルチプレクサ, 1:8 デマルチプレクサ, 電子情報通信学会技術研究報告, ED93-155, pp. 53-58 (1994)
- (4) 松永徳彦, 他 : 超高速デジタルIC用  $0.35\mu\text{m}$   $W_{nb}/W_{in}$  ゲート BPLDD GaAs MESFET, 電子情報通信学会技術研究報告, ED92-128, pp. 35-40 (1993)



脇本 啓嗣 Hirotosugu Wakimoto

1986年入社。GaAs光通信用ICの設計技術開発に従事。現在、研究開発センター ULSI 研究所研究主務。ULSI Research Labs.



瀬下 敏樹 Toshiki Seshita

1987年入社。GaAs光通信用ICの設計技術開発に従事。現在、研究開発センター ULSI 研究所。ULSI Research Labs.



北浦 義昭 Yoshiaki Kitaura

1982年入社。GaAsプロセス技術開発に従事。現在、研究開発センター ULSI 研究所研究主務。ULSI Research Labs.