

秋山 寿博
T. Akiyama

村方 正美
M. Murakata

南 文裕
F. Minami

高性能 ASIC (用途特定 IC) のレイアウト設計を行うシステムを紹介する。このシステムは、高性能配置・配線、配線抵抗と容量による遅延を考えた遅延見積り、レイアウト設計の各段階でのタイミングの最適化、高性能クロック配線処理から構成されている。これらにより、高精度の遅延見積りに基づくタイミングドリブンレイアウトが可能になり、従来手法では設計が困難であった高性能 ASIC の設計が短期間で行えるようになった。このシステムを動作周波数 110 MHz、回路規模 116 K ゲートの ASIC に適用した結果、論理の最適化、フロアプラン決定などを含めて 3 か月でレイアウト設計が完了し、その有効性が確認できた。

This paper introduces a layout design system for high-performance application-specific ICs (ASICs). This system consists of placement and routing functions, delay estimation based on RC wiring delay, timing optimization tools, and clock tree synthesis. It allows high-performance ASICs to be rapidly designed because of the timing-driven layout and precise delay estimation.

Experimental results demonstrated that a high-performance 110 MHz ASIC with 116K gates could be designed in a period of only three months, including logic optimization and floor planning.

1 まえがき

半導体プロセスの微細化により 1 チップに搭載できるゲート数が飛躍的に高まり、システム全体を 1 チップで構成することが可能になってきた。ゲート規模の拡大に伴い、従来手法では設計期間が延びたり集積度が悪化するという問題が起こっている。また、信号の伝搬遅延の見積りが実際と合わなくなり、遅延仕様の未達が原因で再設計を行う頻度が増えてきた。これは回路が高速化したためばかりではなく、微細化により配線抵抗による遅延の影響が無視できなくなってきたのが原因である。

大規模で高性能な ASIC を効率よく設計するには、回路分割を行うフロアプランナ、高速かつ高密度な配置配線が行えるレイアウトツールが必要である。また、遅延仕様の未達による再設計を防ぐためには、タイミングを満たすようにレイアウトするツール、クリティカルパルスの抽出を行うタイミング解析、クロックツリーシンセシスが必要であるが、いずれもベースとなっているのは回路の遅延時間を精密かつ高速に計算する技術である。

ここでは、大規模・高性能な ASIC を設計するために当社で開発したレイアウトシステムと、それをを用いた動作周波数 110 MHz、回路規模 116 K ゲートの大規模 ASIC の設計事例を紹介する。

2 高性能 ASIC 設計技術

2.1 システム構成

図 1 にシステム構成を示す。フロアプランは、レイアウト設計の最初に行うステップで、回路の分割、分割したセルグ



図 1. システムの構成 システムは配置・配線、タイミング解析、自動回路変更、クロック処理、フロアプランなどで構成される。

System configuration

ループの配置、配線容易性のチェック、タイミング解析などを行う。配置はフロアプランに沿ってセル間の配線が容易に行えるようセル位置を決める処理であり、配線はデザインルールを守りながらセル間の配線経路を決める処理である。

タイミング解析は回路の遅延時間の計算を行い、遅延の仕様に違反している部分を抽出する。このタイミング違反情報は配置・自動回路変更処理に渡され、タイミング最適化に利用される。自動回路変更は、レイアウトを保存したままセルの置換え、バッファ挿入など、ネットの接続情報の修正によりタイミングを改善する。

クロック処理は、クロック信号のディレイとスキューを最適化するために配線を木状にして自動配線を行うプログラムである。

そのほか、セル位置や配線形状を修正するためのエディタや、DRC (Design Rule Check), ERC (Electrical Rule Check) を備えている。これらはすべてに一貫したユーザインタフェース、コマンド形態、データベースで統一されている。

2.2 配置・配線

レイアウト設計で中心となるのはセル配置と、セル間の配線である。セル配置は自由度が大きく、十分な性能を出すのが難しい。一方配線は、膨大な配線データをデザイナーなく高速に処理することが重要で、配置問題と別の技術が要求される。両者は問題の性質は異なるが、大規模な最適化問題に属し、効率的により結果を出すには高度の技術とノウハウが必要である。以下に配置・配線処理の概要について述べる。

2.2.1 配置処理 配置は初期配置と配置改善の二つのステップから成る。初期配置はミニカット法をベースにしている。この処理では、ある程度よい初期解を高速に求めることを目的としている。ミニカット法とは、チップの中央にカットラインと呼ばれる仮想的な線を引き、カットラインを横切る配線の本数を最小化する。これをトップダウンに順次分割された回路に適用していく方法である(図2)。

配置改善は初期配置の結果を入力とし、配線の混雑度とタイミング違反の解消を行う処理である。配置の質の良さを、カットラインを横切る配線数やタイミング違反の度合いなどで表し、それらを改善するようセルの移動や交換を繰り返す。セルの移動先や配置状態の評価方法にランダム性を取り入れ、改善が途中で行き詰まるのを防止している。

配置ステップを初期配置と配置改善に分け、高速な初期配置をフロアプランやタイミング解析と組み合わせることにより、フロアプランを変えたときの配線混雑部や遅延が仕様に違反している部分を早い段階で発見でき、設計期間の短縮に効果がある。

2.2.2 配線処理 配線は概略配線と詳細配線に分けて行う(図3)。概略配線は、チップを格子状に分割し、配線がどの格子を通過するかを大局的に決める処理である。概略経路

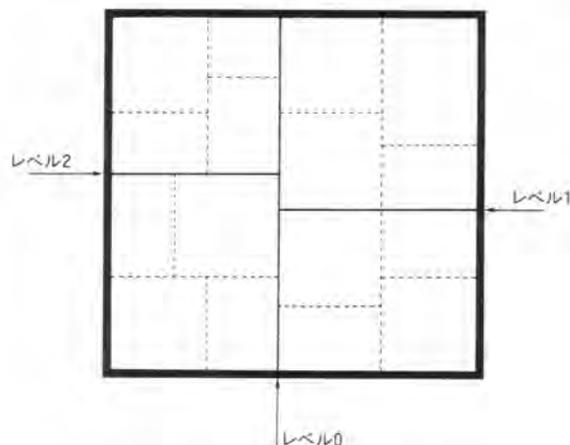


図2. ミニカット法 レベル0のカットラインでチップを二つに分け、さらに各分割領域をレベル1, 2と分割していく。

Mini-cut algorithm

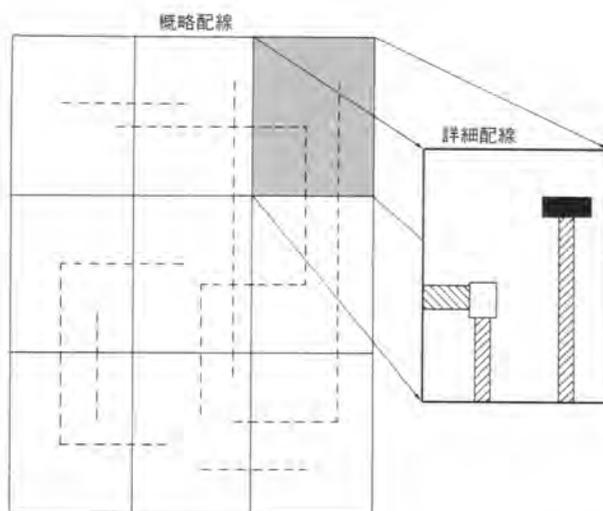


図3. 概略配線と詳細配線 チップを粗い格子に分け概略配線経路を決める。詳細配線は各格子の中でデザインルール違反のない配線経路を決める。

Global routing and detail routing

は迷路法を応用した手法を用いることで、配線が局所的に集中せず、最短で配線できるように工夫した。詳細配線は、デザインルール違反がないよう概略配線の格子の中を配線する処理である。ここでも迷路法を応用し個々の配線経路の質を向上させた。また、先の配線を引きはがしながら別の配線を行う Ripup and reroute 手法を採用し、配線順序に依存しない高密度の配線を可能にした。

2.3 論理とレイアウトのコンカレント設計

微細化が進むにつれて、素子遅延に比べ配線遅延の割合が大きくなってきている。ゲート長 $0.5 \mu\text{m}$ ルールでは、配線遅延が回路全体の遅延の70%以上にもなる。このように、配線遅延はLSIの性能を決める重要な要素となってきており、高性能なLSIを実現するには精度よい配線遅延の見積りと配線

遅延を考慮した処理が重要である。従来の仮想配線長を基にした設計手法では、レイアウト後の遅延解析で遅延の仕様が未達となることが多かった。そのため、遅延の要求を満たすように回路を変更し、再レイアウトなどの設計のやり直しが必要で、設計期間の長期化や遅延の仕様が満たせない場合があるという問題があった。

このような配線遅延による問題を解決するために、このシステムでは次のような機構を備えている。

- (1) 論理設計段階でレイアウトを考慮して精度よく配線遅延を見積り論理回路を最適化する。
- (2) レイアウトでタイミングを最適化する。
- (3) レイアウトを保存した自動回路変更によりタイミングを最適化する。

各処理の概要を以下に述べる。

2.3.1 レイアウトを考慮した論理回路の最適化 論理設計段階でレイアウトを考慮することにより精度よく配線遅延を見積り、これを基に論理回路を最適化する。これにより、従来問題となっていた仮想配線長を基にした配線遅延とレイアウト後の実配線遅延との不一致による遅延仕様未達の問題を解決する。

この処理では、まず初期的なネットリストの階層構造などを基に論理セルグループを作成し、配線の容易性と配線遅延短縮を目的としてフロアプランを行う。次に、得られたフロアプラン結果に対してタイミング解析を行い、遅延改善を目的とした回路変更を行う。回路変更処理では、後述するレイアウトを保存した回路変更と同様に、セルサイズの最適化とファンアウトのバッファリングにより遅延の改善を行う。

2.3.2 レイアウトでのタイミングの最適化 この処理では、上述の処理で得られたフロアプラン結果に対してタイミング解析を行い、得られたクリティカルパス上を見積り配線遅延を調整してタイミング仕様が満たすように論理セルの位置を調整する⁽¹⁾。この処理により、配線遅延を40%程度まで短縮できる。

2.3.3 レイアウトを保存した自動回路変更 タイミングを考えたレイアウト設計を行ってもつねに遅延時間の要求を満たす結果を得ることは難しい。レイアウトを考慮した自動回路変更処理では、タイミングドリブンレイアウト後にタイミング違反箇所に対してセル配置結果を保存しながら回路変更と局所的な再レイアウトを行う。

回路変更処理では、セルサイズの最適化とファンアウトのバッファリングによりパス遅延の短縮を図る。セルサイズの最適化では、セルを高駆動力型と置換することで遅延を短縮する。逆に、必要以上に駆動力の大きいセルを使用している部分は、駆動力を下げることで消費電力の低減を図る。ファンアウトのバッファリングでは、ファンアウトの大きなセルの出力側にバッファセルを挿入あるいは木構造のバッファツリーを構成することでファンアウト負荷を低減し遅延を短縮

する。最後に、回路変更の対象とならなかった論理セルのレイアウトは保存したままで、変更された論理セルの再配置を行う。回路規模112Kゲート、セル数18Kの回路へ適用した結果、430個のセルを置換し、230個のバッファセルを挿入することでパス遅延を25%短縮することができた。

図4は具体的な設計フローである。

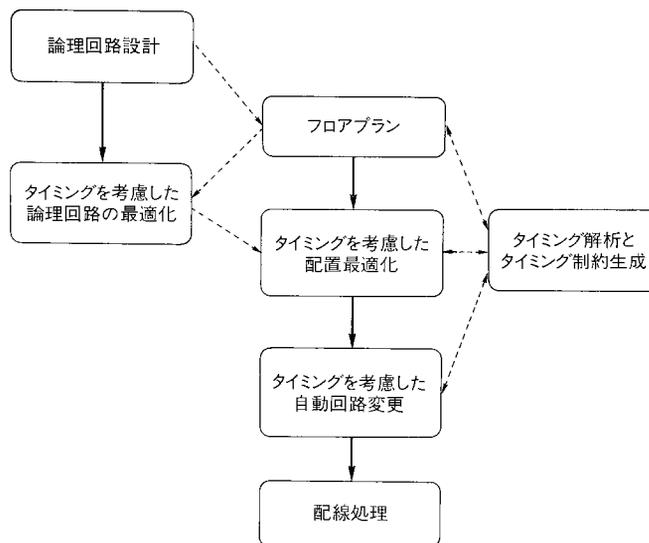


図4. 論理とレイアウトのコンカレント設計フロー 論理回路の最適化は、遅延の見積り精度を上げるためにフロアプラン、配置と並行して行う。

Concurrent logic and layout design flow

2.4 スキューレスクロック配線

クロック信号は、フリップフロップなどの記憶素子を同期動作させるための信号であるが、配線の微細化が進むにつれて、クロック信号の各記憶素子までの到達時間の差すなわちクロックスキューが無視できなくなってきた。これは、配線の寄生抵抗と寄生容量による配線遅延が増大してきたためであり、回路の超高速動作に対する重大な障害となってきた。この問題を解決するために、このシステムは、クロック信号専用の処理をするクロックツリーシンセシスを備えている。

以下では、クロックツリーシンセシスの機能であるスキュー最小化および遅延最小化について述べる。

2.4.1 スキュー最小化 クロック信号の配線構造には、駆動セルをルートノードとし、フリップフロップなどの被駆動セルをリーフノードとする2分木(バイナリツリー)構造を用いる。このツリー径路上の各分岐ノードにおいては、そこから下流側の遅延を計算することができ、その値は着目するリーフノードまでのパス上にある各配線抵抗 R とそれより下流側負荷容量 C との RC 積を求め、さらにそれらの和をとったものとして表される。したがって、スキューを最小にする

には、各分岐ノードの位置を、そこから子孫リーフノードまでの遅延がそれぞれ等しくなるように決定すればよい。

このようすをモビールになぞらえてみると、抵抗 R がモビールの腕の長さに相当し、負荷容量 C が重りに相当するので、 RC デレイは力学的モーメントに相当する。この等価的モビールのバランス点を求めるようにして (図 5 (b))、配線ツリーの各分岐ノード位置を下位側から逐次決定していけば (図 5 (a))、最終的に全リーフノードへのパス遅延の均等化、すなわちスキュー最小化が実現できる⁽²⁾。この処理により、実チップで 0.2 ns 以下のスキューを達成できた。

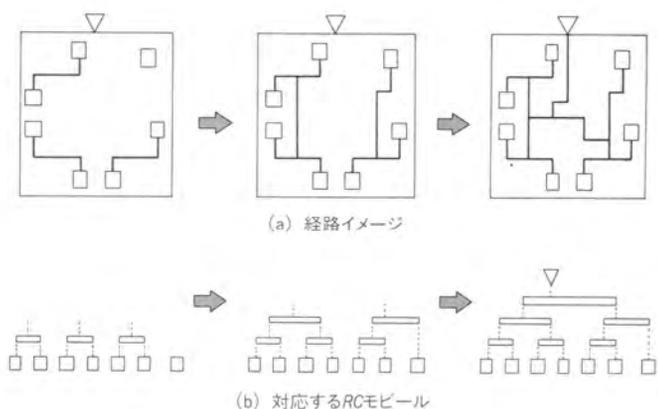


図 5. スキューを最小化するクロック配線 遅延時間に相当するモビールのバランスをとりながらボトムアップに配線経路を決める。

Clock routing method for skew minimization

2.4.2 遅延最小化 チップ間のスキューを低減する目的で、チップ内のクロック遅延を最小化するために、配線幅の最適化を行う。これは、「下流側負荷容量 C の大きい部分ほ

ど、配線幅を太めて配線抵抗を下げれば、大きなデレイ削減効果が得られる」ことに着目したものである。具体的には、遅延を各配線線分の配線幅の関数とし、その最小解を求める⁽³⁾。この配線幅の最適化により、通常の配線幅と比べてクロック遅延を 20% 以上削減することができた。

なお、実チップにおいては、クロック信号を供給すべきセル数が数千個以上となることも多く、一つの駆動セルだけでは、配線負荷が大きすぎて遅延が増大する。そのような場合には、配線ツリーの途中に中継用バッファセルを挿入して多段ツリー構造とし、各バッファセルが受け持つサブツリーに対して上述の処理を施すようにしている。こうしたクロック信号専用のレイアウト処理によって、100 MHz 級のクロック動作が可能となった。

3 製品設計事例

このシステムを使った製品設計事例を以下に紹介する。適用したチップは高性能グラフィックスコントローラで、大規模かつ高速なエンベデッドアレイである (表 1)。

このシステムで設計することにより、タイミング最適化前の仮ネット完成時点から約 3 か月でレイアウト設計を完了した。その内訳は、タイミングを考えた論理最適化とシミュレ

表 1. 設計事例

Example of design

シリーズ	TC180E (0.5 μ m エンベデッドアレイ)
マスタ	283 K ゲート
回路構成	ランダム部 116 K ゲート, RAM \times 5, PLL, DAC
回路規模	50,000 セル, 60,000 ネット
クロック	メモリ制御 : 50 MHz, システムクロック : 50 MHz, ピクセルクロック : 25-80 MHz, 25-110 MHz, パーティカルクロック : 30-70 MHz

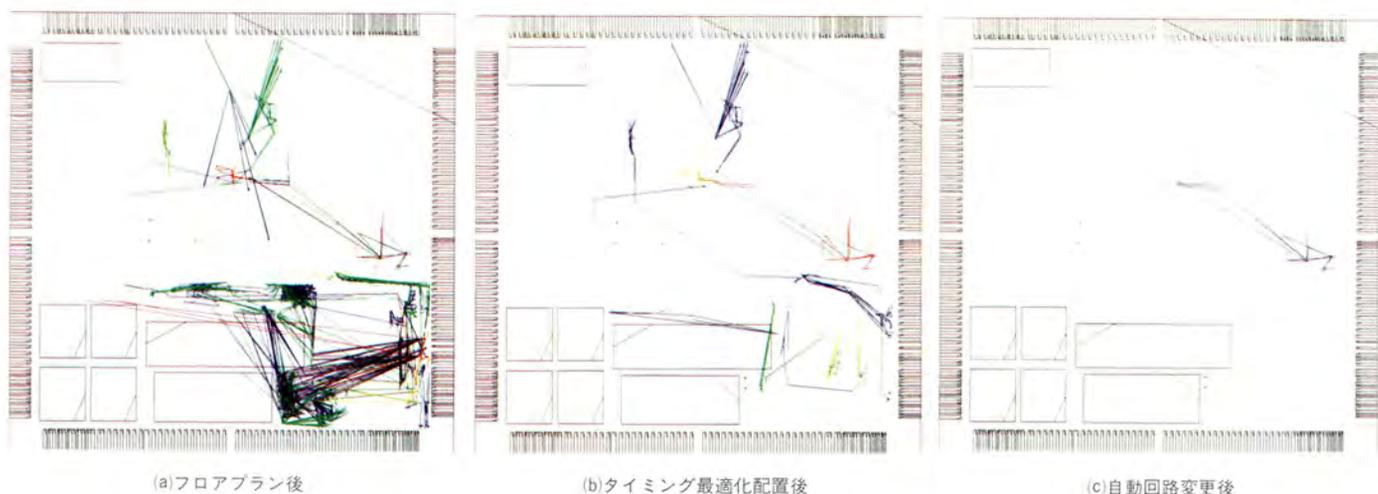


図 6. 各設計フェーズによる遅延仕様違反パスの改善 フロアプラン後、配置後、自動回路変更後の遅延仕様違反のパス。赤は5ns以上、青は1ns未満の違反を示す。

Improvement of timing violation paths

4 あとがき

ーションに約2か月、レイアウト設計に約2か月を要し、両者は約1か月間オーバーラップした。各設計フェーズで遅延違反が改善されていった過程を表2に、遅延の仕様を違反しているバスの改善のようすを図6に示す。ここで論理最適化後の遅延違反は仮想配線長に基づいて計算しており、実際の遅延時間はこれより長い。おのおのフェーズのタイミング最適化機能により、遅延の違反が徐々に解消され、最終的に遅延仕様を満たしたレイアウト結果が得られた。図7は最終的な論理セル配置結果である。

表2. 各処理後の遅延仕様違反
Timing violation after each design step

	最大遅延仕様違反(ns)	平均遅延仕様違反(ns)
論理最適化後	0.33	0.33
フロアプラン後	6.50	4.50
タイミングドリブン配置後	4.50	2.10
自動回路変更後	1.85	1.00
配線後	1.66	1.00

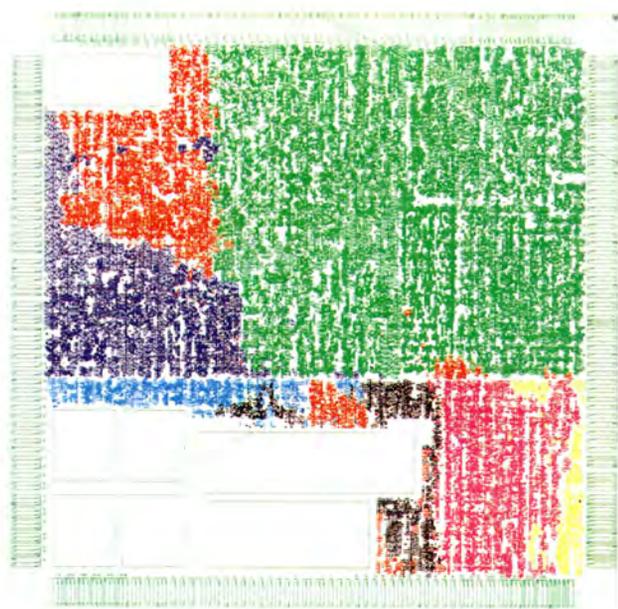


図7. 論理セルの配置例 フロアプランによりチップを中央付近で上下に分割し、さらにおのおの領域を論理の階層構造で分割した。

Result of logic cell placement

高性能 ASIC のレイアウト技術に関して、当社の CAD システムを紹介した。このシステムにより、動作周波数が 100 MHz を超える大規模・高性能な ASIC が短時間で設計できるようになった。現在このシステムは数多くのチップ設計に適用されており、タイミングの最適設計だけでなく、設計期間の短縮にも効果を上げている。300 K ゲート、30 MHz の LSI の場合には、設計期間を従来の 1/3 に短縮することができた。

論理 LSI の大規模・高性能化への要求はますます厳しくなり、低消費電力化への要求も高まってきている。今後、このような要求にこたえるために、論理合成とレイアウトを密に結合した最適化やトランジスタレベルからのレイアウト最適化設計などの実現に向けて注力したいと考えている。

文 献

- (1) 西尾誠一, 他: 高性能 LSI 設計用 CAD システム, 東芝レビュー, 48, 7, pp.515-518 (1993)
- (2) 南 文裕, 他: RC 遅延を考慮したスキュー最小化クロック配線手法, 電子情報通信学会技報, VLD91-130 (1992)
- (3) 高野みどり, 他: テイレイ・スキュー最小化のための線幅最適化クロック配線手法, 電子情報通信学会技報, VLD93-9 (1993)



秋山 寿博 Toshihiro Akiyama

1985 年入社。レイアウト CAD の開発・実用化に従事。現在、半導体事業本部半導体設計自動化技術開発部主務。
Semiconductor Group



村方 正美 Masami Murakata

1982 年入社。レイアウト CAD の研究・開発に従事。現在、半導体事業本部半導体設計自動化技術開発部課長。
Semiconductor Group



南 文裕 Fumihito Minami

1984 年入社。レイアウト CAD の研究・開発に従事。現在、半導体事業本部半導体設計自動化技術開発部主務。
Semiconductor Group