

安藏 顕一
K. Anzō立石 昭光
A. Tateishi

大規模かつ複雑化する LSI のテストを効率的に行うためには、設計のより早い段階でテストを考慮に入れておく必要がある。当社ではこのテスト設計を自動化する CAD システム (VLCAD_{TM}/DFT (Design for Testability)) の開発を行い、ASIC (用途特定 IC) を中心とした大規模実製品に対して適用してきた。これにより、従来 2~3 か月かかっていた製造テスト用のテストパターン作成工程を、2~3 週間に短縮することができる。

ここでは、テストを効率化する代表的な設計手法を紹介するとともに、このシステムを用いてこれを自動的に実現する ASIC テスト設計フローについて解説する。

LSI designs are growing denser and more complicated every year, and there is an imminent need for test design methodologies that can make the LSI design process more efficient.

Toshiba has developed a CAD system called VLCAD_{TM}/DFT (design for testability), which implements such methodologies automatically and dramatically reduces test design time. This system has been successfully applied to many VLSI products including application-specific ICs (ASICs).

This paper briefly describes typical test methodologies, and outlines the automated test design flow using the VLCAD_{TM}/DFT system.

1 まえがき

テスト設計、あるいはテスト容易化設計 (DFT) は、LSI 単体や印刷回路基板 (PCB)、マルチチップモジュール (MCM) などを効率的にテストできるように設計し、作成するテストパターンの質 (故障検出率) を向上させることによって市場における不良品の混入率を低減させるものである。

近年のように LSI が大規模・複雑化するとともにプロセスが微細化してくると、テスト設計の重要性が認識される反面、その困難さも増大している。特に time-to-market の短縮が最重要課題の一つである ASIC においては、このテスト設計の効率化、自動化は重要な意味をもっている。

もう一つの要因として、自動論理合成・最適化技術の普及がある。ここでは、回路は自動的に変更され、設計者自身であっても特定の信号線の故障を検出するテストパターンをみずから作成することは困難であり、テスト設計の自動化が必須(す)になっている。

当社においては、従来からこのテスト設計を自動化し、スキャンデザインやバウンダリスキャンなどの効率的なテスト手法を容易に実現できるシステムを開発してきた。このシステムは、社内において ASIC や産業用大規模 LSI など、100 製品以上、最大 30 万ゲートの回路に対して適用された実績がある。

ここでは、まずテスト設計に用いられている標準的な手法の概要について述べ、次に当社独自のツールを中心とした、ASIC テスト設計サポートシステムについて解説する。

2 テスト設計技術

2.1 スキャンデザイン

テスト設計において現在もっともよく用いられている手法の一つがスキャンデザインである。スキャンデザインは回路内部の記憶素子 (フリップフロップ) を、スキャンセルと呼ばれる特殊な素子に置き換え、これらをスキャンパスと呼ばれるシフトレジスタとして接続して外部から直接制御・観測できるようにするものである。このうち、すべての記憶素子をスキャンセルに置き換えるものをフルスキャン、一部を置き換えるものをパーシャルスキャンという (図 1)。

フルスキャン回路では、すべての記憶素子が直接制御・観測できるため、テストパターンの自動生成が容易になる。また、スキャンセルへの置換えの自動化も比較的容易である。しかし、従来のスキャンセルは元のセルに比べてサイズが大きく、動作速度も低下してしまう。このため、通常フルスキャンを行うと LSI のサイズや性能の面で不利となっていた。

これらのデメリットに対して、当社では面積の増大が最小限で済むセルや、動作速度にほとんど影響を与えないセルを

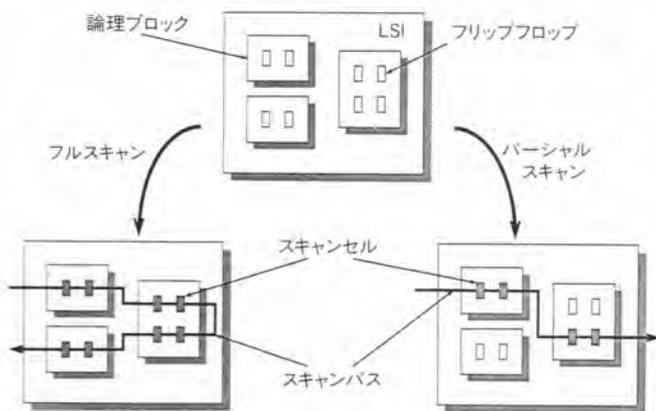


図1. フルスキャンとパーシャルスキャン スキャンセルに置き換える割合が大きいほどテストパターンが生成しやすい。

Full scan and partial scan

用意し、ASIC ライブラリとして提供している。

一方、パーシャルスキャン回路では、スキャンセルに置き換える割合が小さいほどサイズや性能への影響は少なく済む。しかし、一方でテストパターンの生成は困難になり、自動生成のプログラムを用いても故障検出率が90~95%の高品質なテストパターンの作成は難しい。

故障検出率をさらに上げるためには、スキャンセルへの置き換えの割合を大きくしたり、置き換えるセルの選択を最適化する作業が必要になる。しかし、これには設計の繰返しにより最適なものを選んでいく試行錯誤的な作業が必要で、フルスキャンに比べ設計時間がかかるのが一般的である。

2.2 バウンダリスキャン

バウンダリスキャンと呼ばれる手法は、もともとボードテストを容易化する技術としてIEEEで標準化 (IEEE 1149.1) されたものである。これはLSIの入出力信号部にバウンダリスキャンセルという特殊なセルでシフトレジスタを構成し、これを制御回路から4~5本の外部端子で直接制御・観測できるようにしたものである。これによりすでにボード上に実装されたLSIを外部から容易にテストすることができる(図2)。

一方、バウンダリスキャン回路を用いれば、多ピンLSIの

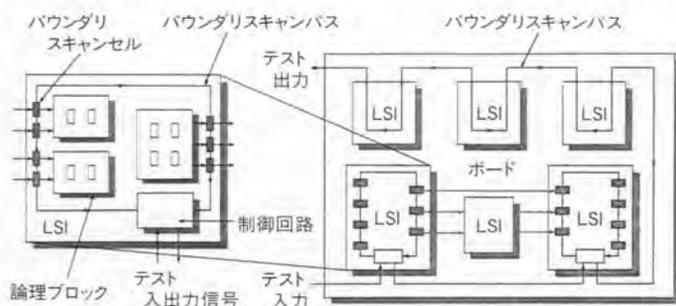


図2. バウンダリスキャンとボードテスト バウンダリスキャンバスを用いてチップ間配線チェックなどさまざまなテストを行える。

Boundary scan and board test

チップテストを高価な多ピン用テストを用いることなく小ピンテストでテストできるという利点もある。当社においても、中・大規模な製品でこの技術が取り入れられている。

3 東芝のテスト設計サポートシステム

当社の統合LSI CADシステム (VLCAD_{TM}) をベースとしたテスト設計サポートシステム (VLCAD_{TM}/DFT) は、当社の論理設計・検証システム (TSIM) の環境の下で特にフルスキャン手法のテスト設計を行うためのシステムである。整備されている各ツールの概要を以下で説明する。

3.1 テスト合成ツール (Test Design Synthesis)

テスト合成ツールは、スキャンデザイン化された回路を自動合成するものである。ここでの対象はフルスキャンであるので、合成はすべて自動的に行うことができるが、テスト時間短縮のためにスキャンバスを複数構成したいような場合には指定できる。システムクロックが複数系統ある場合には、テストを効率よく行えるように自動的にクロックごとにスキャンバスを構成することもできる。

バウンダリスキャン回路の挿入とこれをコントロールするテスト制御回路生成の合成もできる。また、RAM/ROMなどのメガセルに対して周囲にテスト用の回路を生成することができる。

3.2 テスト検証ツール (Test Design Analysis)

テスト合成を行う前の回路や、設計者自身によりスキャン設計された回路に対して、当社のスキャン設計ルールを満たしているかどうかのチェックを行う。ここで違反があるとテストパターンの自動生成ができなかったり、LSIの故障検出率が上がらなかつたりするおそれがある。チェック項目には、クロックの同期性チェックやフィードバックループチェックなどがある。

その他の機能として、ほかのCADツールに受け渡すための情報を出力する。特にバウンダリスキャン回路の情報については、BSDL (Boundary Scan Description Language) と呼ばれる記述形式がIEEEの標準仕様となっており、これを読み込んでボードテストを自動化するCADツールも市販されている。

3.3 テストパターン自動生成 (Automatic Test Pattern Generation)

当社のスキャン設計ルールに従う回路に対して、製品検査用のテストパターンを自動生成する。生成の対象となるのは、RAM/ROM部分や順序回路部分以外である。対象部分に対しては通常95%以上の故障検出率を得ることができる。

3.4 スキャン用シミュレーション (Scan Simulation)

スキャンデザイン回路は、実際のテスト時にスキャンバス上のスキャンセルへのシリアルなデータロードを行っており、これらの動作をシミュレーションですべて検証しようとする

と実行時間が膨大になる場合がある。

そこでシリアル動作は省略し、スキャンセルへの信号値の設定・観測を直接行ってシミュレーションを行うことにより、この検証にかかる実行時間を削減することができる。

この手法は Parallel Load Simulation と呼ばれ、多くの市販のツールでもサポートされている。このシステムでも TSIM をベースとして実現されており、23,000 ゲートの製品に対し、通常のシミュレーションに対して 60 倍高速で実行できる結果を得ている。

3.5 テストパターン編集 (Test Pattern Editing)

テストパターン自動生成の対象となるのは基本的に LSI のロジック部分である。このため RAM/ROM などのブロックのテストについては、別に考慮しなければならない。メモリの周りにシフトレジスタを構成する方法を用いる場合のために、メモリ単体のテスト用に用意されたパターンを、シリアルなパターンに編集するテストパターン編集ツールを開発している。

また、バウンダリスキャンを用いたボードレベルのテストでも、設計者が LSI の論理検証・タイミング検証用に作成したパターンを、バウンダリスキャン回路を用いてテストできるように編集するツールが開発されている (図 3)。この編集機能を用いることにより、ボードテスト用のテストパターンの作成が大幅に効率化される。

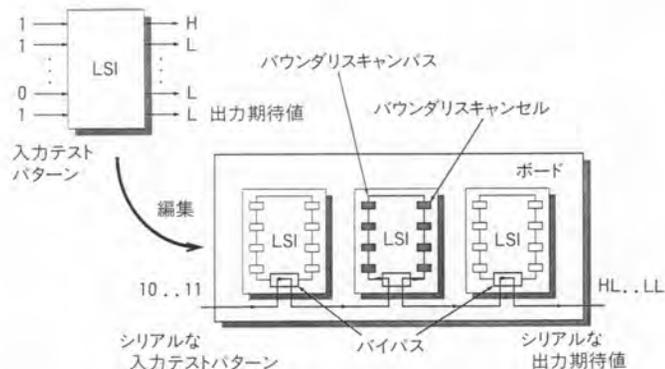


図 3. テストパターン編集 LSI 単体のテスト用パターンが再利用できる。

Test pattern editing

4 東芝のテスト設計サポート形態

ここでは、このシステム的环境下で ASIC のテスト設計を行うフローについて解説する。この場合は顧客側で論理検証を行った回路のネットリストを東芝側で受け取り、これに対してこのシステムでスキャンデザインへの変換、テストパターンの生成を行うことになる (図 4)。

フルスキャンが前提となるので、いくつかの設計上の制約

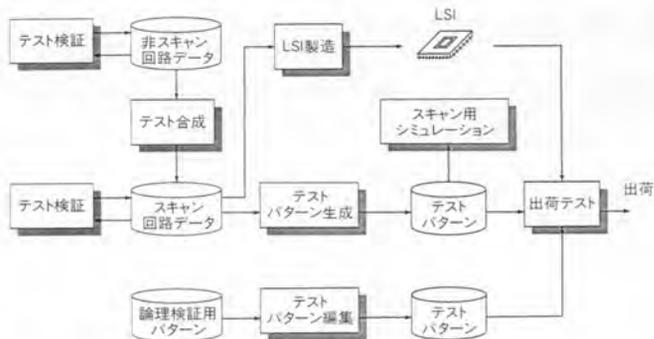


図 4. テスト設計 CAD フロー 自動化された設計フローにより質の高い製品テスト用パターンが自動生成できる。

Test design CAD flow

に従う必要があるが、これを自動的に検証するためのツール (Test Design Analysis) を、デザインキットとして顧客側に提供している。これに従うように設計を行うほかは、顧客ではテスト設計について考慮する必要がない。

顧客側でなんらかの方法によりスキャン設計を行っている場合は、スキャン化されたネットリストを受け取ってテストパターン生成だけを行う。

顧客に提供するこの検証ツールについては、CAD ベンダ各社の回路図入力ツールと連動して動く環境も開発し、デザインキットの一部として提供している。また、BSDL などのテスト情報は、東芝側で出力して顧客側に提供している。

5 あとがき

従来からテストは設計の最終的な工程にかかわるものとしてとらえられてきたが、大規模化する LSI のテストを効率的に行うには設計工程のより早い段階で効果的な戦略を立てる必要がある。

当社では、顧客の設計環境でテスト設計を効率的に行えるように、デザインキットの提供を積極的に行っていく。そのために、現在の VLCAD_{TM} 上のテスト設計環境と同等なものを、市販のツールを用いた設計環境上でも提供していく。

また、機能レベルでのテストパターン生成ツールの開発など、設計のより高位の段階でテスト設計環境の整備を行い、将来の当社 ASIC ビジネスの発展にも寄与していきたい。



安蔵 顕一 Ken'ichi Anzō

1990 年入社。LSI のテスト設計 CAD の開発に従事。現在、半導体システム技術センター半導体 CAD 技術部。Semiconductor System Engineering Center



立石 昭光 Akimitsu Tateishi

1982 年入社。LSI のテスト設計 CAD の開発に従事。現在、半導体システム技術センター半導体 CAD 技術部主務。Semiconductor System Engineering Center