

後藤 宣之  
N. Gotô

西部 晋二  
S. Nishibe

飯尾 努  
T. Iio

システムオンチップの時代を迎え、システムにおける論理 LSI の役割はますます大きくなっており、平行して進む LSI の微細化・高集積化と相まって LSI の設計技術に大きな影響を与えている。すなわち、システム面では LSI の設計検証にソフトウェアも含めたシステムとしての検証が必要となる。また、LSI の面では高集積化に対応するための高位設計記述からの自動設計、微細化による配線遅延の増大に対応するための性能保証設計、高速化に伴う消費電力の増大に対応するための低消費電力設計などの技術が必要となる。

これらの動きに対応するため、当社では個別の CAD ツールごとの最適化から設計フローとしての全体最適化へ、また、既存の設計手法の CAD 化から新しい設計手法そのものの開発へ などの変革やそれを可能とするための設計データなどの標準化を進めている。

As the era of a "system on a chip" approaches, the role of ULSIs in systems is expanding. Combined with the progress in device technologies toward finer geometry, this has brought about a dramatic change in design technologies. Among the requirements accompanying this trend are design verification as a system including software for ULSI design verification, automatic design from high-level design descriptions to avoid design complexity problems associated with higher device integration, performance-driven design technologies to cope with the increasing wiring delays associated with finer geometry, and low-power design technologies to deal with the increasing power consumption caused by higher switching speeds.

Toshiba is working toward a new design methodology including the change from tool-based optimization to design-flow-oriented global optimization and standardization in various aspects, representing a revolution in CAD.

### 1 まえがき

システムオンチップの時代を迎え、LSI の設計検証にはソフトウェアも含めたシステムの検証が必要になる。また、高集積化による設計複雑度の増大への対応や、微細化によるトランジスタの高速化と配線の遅延の増加という矛盾への対応、高速化に伴う消費電力の増大への対応などの問題が生ずる。これらは CAD に対し、設計検証の面では単なる論理設計の検証からソフトウェアも含めた大規模システムの検証へ、最適設計という面では個別のツールごとの最適化から設計フローとしての全体最適化へ、というような変革を必要とする。これらは、まさに既存の設計手法の CAD 化から新しい設計手法そのものの開発への変革である。

ここではこれらの動向を概説する。

### 2 設計技術の動向

図 1 に代表的なシステム設計の流れを示す。与えられたシステム仕様を基に、それを実現するためのハードウェアとソ

フトウェアを分離し、ハードウェアについては処理手順の流れとしての動作レベル、機能ブロックとその間のデータの流

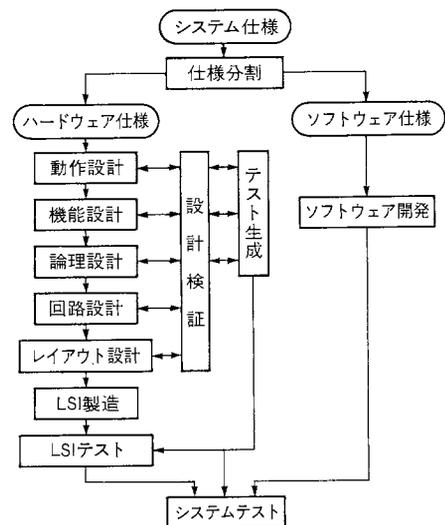


図 1. システムオンチップの設計フロー システム仕様から LSI の設計、製造、システムテストまでの設計の流れを示す。

Design flow of "system on a chip"

れおよびその制御を表す機能レベル、それらを論理関数として実現する論理レベルに分類される。論理はさらにトランジスタ回路として実現する回路レベル、それをLSIとして実現するレイアウトレベルへと設計が進む。通常、回路設計はあらかじめ用意されているセルライブラリの選択という形をとっており、特別に高速性や小面積を要求される演算回路やレジスタなどはトランジスタレベルでの設計が行われる。また、この流れと並行して各レベルで設計検証が行われ、ソフトウェアを含めての全体検証や、LSIの製品検査のためのテストパターン作成が行われる。この基本的な設計の流れに対し、LSIの微細化は次のようなインパクトを与えた。

- (1) LSIの集積度が向上し、システムのハードウェアのほとんどの部分をワンチップに集積できるようになった。このため、チップ全体の検証にはソフトウェアも含めてシステム全体の検証を行う必要がでてきた。一方、設計記述量が増大することによる設計期間の長大化を防止するため、従来の論理レベルでの設計から機能レベル、動作レベルと設計の抽象度を上げ、より少ない設計記述からの自動設計を行う必要がでてきた。
- (2) 微細化によりトランジスタの動作スピードが向上した反面、配線抵抗の増大により配線遅延が増加した。その結果、従来のレイアウトを考慮しないタイミング最適化だけを行う論理設計と、チップ面積と総配線長だけを最小化するレイアウトとの組合せでは、タイミング仕様を満たすことが困難になった。このため、論理設計とレイアウトを総合して配線遅延を考慮したタイミング最適化設計を行うことが必要となった。
- (3) マルチメディア時代を迎え、多くの情報通信機器のポータブル・パーソナル化が進むとともに、電池駆動の機器が増加し、またトランジスタの高速化に基づく消費電力の増大を防止するため、低消費電力化への要求が大きくなった。
- (4) 上記(2)に関連して仕様未達による設計期間の長大化を防止するため、設計の上流で性能、コスト、消費電力などの高精度の見積を行う技術が必要となり、そのため高精度のタイミング、チップ面積、消費電力などの予測を行う技術が必要となった。
- (5) 上記(1)に関連して設計検証や製品検査のためのテストパターン生成の困難度が増大し、スキラン設計技術の高度化や、現在の論理レベルから機能レベルでのテスト生成技術の開発が行われるようになった。
- (6) 同じく(2)に関連し、単体ツール間のインタフェースをはじめとして設計言語、データフォーマット、フレームワークなどの標準化が必要とされるようになり、標準化を旨とした開発や業界標準の世界標準化などの活動が行われるようになった。これらの詳細について以下の章で詳述する。

### 3 システム設計 CAD の動向

システム設計に求められているものは、製品の要求仕様を満たす設計の品質と製品をタイムリに提供するための設計のスピードである。設計の品質を保証し、また設計期間を短縮するために、システム全体の検証と設計の自動化は非常に重要である。システムの機能の高度化と大規模化により、これらはますます重要な課題になっている。

#### 3.1 システム全体の検証

設計をハードウェアの実現に向けて、制約条件を付加しながら設計データを詳細化していく行為とみなすことができる。したがって、設計の各段階でシステムとしての要求仕様を満たしているか検証する必要がある。

第一にシステムの要求仕様を満たすモデルを作成する。このモデルは最終的なハードウェアの実現は考慮せずに、入力と出力の関係で要求仕様を満たすシステムモデルである。この段階でテストデータと期待値が得られる。

第二に今度はハードウェアの実現を考慮したシステムモデルが作成される。それは標準のMPU、メモリと複数のASIC(用途特定IC)で構成されるかも知れない。この段階で各コンポーネント間のインタフェースが決定される。複数のASICはこの段階では動作レベルで設計されている。このシステムモデルをシミュレーションして第一段階のモデル出力と結果を比較して検証する。この段階で新たに設計するコンポーネントのテストデータと期待値が得られる。第三段階は各ASICを動作レベルからレジスタ転送レベルで設計し、第二段階と同様のシステム全体の検証を行う。第四段階はさらに設計データをゲートレベルに変換して検証を行う。

システム全体の設計と検証の流れを上述したが、ここで解決しなければならない問題が二つある。

- (1) 第二段階でハードウェアを意識したコンポーネントでシステムを構成した場合、コンポーネントすべてがシミュレーション可能なモデルで用意されていない場合がある。言い換えれば構成するモデルが異なったハードウェア記述言語やソフトウェア言語で記述されていたり、そうした記述モデルがなく実物しかない場合である。これを解決するためには、まずVHDL (Very high speed IC Hardware Description Language) のような世界標準のハードウェア記述言語 (HDL) でモデルを作成することである。これによりさまざまな設計レベルを一つの言語で記述できるだけでなく、外部からのさまざまなモデルの供給が期待できる。さらに異なったシミュレータ間の結合、または異種の言語モデルを処理するような協調シミュレーションが必要になる。
- (2) システム全体の検証にかかるシミュレーション時間の問題がある。この時間短縮にはソフトウェアシミュレータの高速化、ハードウェアアクセラレータの使用、FPGA

(Field Programmable Gate Array) にマッピングするエミュレータなどが考えられる。それぞれ処理速度と解析性などで一長一短があるので、状況に応じて使い分けなければならない。また、動作レベルとレジスタ転送レベル、レジスタ転送レベルとゲートレベル間の等価性を検証する形式検証を組み合わせることで検証時間を短縮する方向も検討されている。

昨今 MPU の高性能化と標準化のなかでソフトウェアの比重が重くなり、今後ハードウェアとソフトウェアの機能分割の最適化設計と性能評価を含めた検証が高まる。また、大規模で高機能な MPU を含んだシステム応用が増えるにつれ、それらを高速にシミュレーションする手法が検討されるだろう。

### 3.2 設計の自動化

設計過程で設計データの変換が必要となる。機械的に変換できる部分は自動変換し、知的な変換のほうに設計者の時間をかけ設計の品質とスピードの改善を図るのが設計自動化の目的である。変換の自動化が生ずる設計過程は主に二つある。

第一に、設計データが図式表現の場合に自動変換が生ずる。従来からゲートレベル設計では図面入力主流であり、それをシミュレーション可能なネットリストへの自動変換が行われてきた。同様に設計の抽象レベルがゲートレベルからレジスタ転送レベル、動作レベルに上がっても図面入力は存在し得る。例えばレジスタ、加算器、マルチプレクサなどの機能部品を定義して、データパス系を設計表現するかも知れない。制御系については状態遷移図と真理値表の組合せによる表現があるかも知れない。こうした場合、それらの動作の正しさを検証するためにシミュレーション可能な HDL に自動変換される。表現のわかりやすさに重点を置いた図式表現はこれからも登場し、モデル設計にかかる時間が軽減されるだろう。

第二に、設計の抽象レベルを実現に向けて詳細化する場合に自動変換が生ずる。例えば、レジスタ転送レベルからゲートレベルへの変換である。一般に論理合成として知られているが、これには二通りの方法がある。その一つはアルゴリズム的に遅延やゲート規模などの制約条件によりいろいろな回路を生成する。この方法は、回路生成に自由度がある代わりに、処理時間がかかるため設計データを分割して変換しなければならない。もう一つの方法はルールを設けて生成する。あらかじめレジスタ転送レベルの機能部品に対応するゲート回路を複数用意しておく。設計者は、遅延またはゲート規模によって変換結果を選択できる。この方法は回路生成に自由度はないが、設計者があらかじめ結果を予測でき処理時間が短いため大規模な設計データを一度に処理できる。前者はランダムロジックと言われる制御部の生成に、後者は規則的な構造をもつデータパス部の生成に適している。こうした論理合成ツールは設計者が期待する回路の生成、処理時間、処理規模の点でさらに改善されていく必要がある。それに加えて、半導体のテクノロジーの進歩に適応しつつ遅延時間、面

積の予測精度を上げるため物理設計 CAD とのインタフェースがますます重要となる。

## 4 ASIC 用 CAD の動向

大規模化するシステムをサブミクロンのシリコン技術で実現する ASIC の開発には、性能仕様をいかに短時間で実現するかが重要である。表 1 に西暦 2000 年で達成しなければならない目標とポイントとなる CAD 技術を示す。

以下では、微細化に伴う当面の問題を概観する。

表 1. 西暦 2000 年の ASIC 達成目標と CAD 技術  
Challenges of ASIC and CAD technologies toward 2000

2000 年での達成目標	ポイントとなる CAD 技術
高集積・高速設計技術： 10 M ゲート・1 GHz 対応	高集積・高速合成技術 (高位、配線遅延考慮) レイアウト技術 (高性能フロアプラン、タイミングドリブン) 高精度遅延モデリング 高度検証技術 (形式検証、静的遅延解析)
低消費電力設計技術： 消費電力従来比 1/100	低電力合成技術 (バストランジスタ変換など) レイアウト技術 (トランジスタサイジングなど) 低電力設計手法およびモデリング、静/動的な電力予測技術
高信頼性保証技術： テストカバレッジ 98 %	テスト容易化設計技術 (テスト回路合成、テスト性検証) 高度故障解析 (トランジスタ故障シミュレータ、故障特定) 故障検出率向上技術 (機能テスト生成、 $I_{DQ}$ テストなど)
設計効率向上施策： 設計効率 10 倍	設計資産の効率的利用推進、ASIC 設計環境整備、上流設計への移行推進、コンカレント設計環境整備

### 4.1 パフォーマンスドリブンデザイン

信号の遅延にはゲートの遅延と配線の遅延がある。従来はゲートの遅延のほうが配線の遅延より大きかったが、0.5 ミクロンより微細化が進むにつれて配線の遅延が優勢になってくる。このために、設計の早い段階から、実際のレイアウトを考慮しながらタイミング設計をすることが重要になってくる。

**4.1.1 フロアプラン** フロアプランは、大局的な配置情報をレイアウトツールに与えて、質の良いレイアウトを得る方法として使われてきた。最近では、タイミング要求の厳しい ASIC を設計する際に、論理設計の終盤で使う重要な手法となってきた。論理設計の途中で簡単な配置を行い、これで得られる配線長から RC (抵抗容量) を考慮した遅延計算を行う。この結果を再度論理最適化ツールに入力し、より確度の高いタイミング制約を得て、次項で述べるタイミングドリブンレイアウトを行う。また、このときに使った配置情報を実際のレイアウトで用いれば、より短時間でレイアウトを完成させることができる。このようにフロアプランは、ASIC カスタマと ASIC ベンダをつなぐ情報を作成する重要なツールとなりつつあり、今後、論理合成ツールとのインタフェースを

密にとったり、RC抽出機能や遅延計算、配置を高速、高精度に行うなどの改良が進んでいく。

**4.1.2 タイミングドリブンレイアウト** パスごとに付与されたタイミング制約を満足させながらレイアウトを行うことをいう。タイミング制約を考慮するのは主に配置段階である。内部で高速のタイミング解析ツールを動かしながら、タイミング違反がなくなるまで配置を繰り返す。実製品への適用はようやく開始された段階で、実使用に耐えられるツールに育つか、この分野のCAD開発はこれからが正念場を迎える。

**4.1.3 クロックツリーシンセシス** 多くの回路は、クロックで同期をとりながら動作している。したがって、ASICチップ内のクロックのタイミングのずれ(スキュー)と遅れを最小にすることが重要である。これを実現させるクロック配線処理をクロックツリーシンセシスと呼び、スキューと遅延を最小にするために各社しのぎを削っている。

**4.1.4 セルの高精度遅延モデル** 従来のセルの遅延計算手法は、回路素子の駆動能力と出力負荷容量の関係を一次式で表現していたが、より高精度な手法としてテーブルルックアップ方式が採用されつつある。これは、入力波形による遅延特性と出力負荷によるものとをあらかじめテーブルに登録しておき、補正しながら利用するものである。

#### 4.2 テスト容易化設計技術(DFT)

ASIC単体やASICを組み込んだボード上のテストを効率的に行えるように設計することをDFTと呼び、スキャンデザインやバウンダリスキャンが広く定着しつつある。大規模な回路のテストパターンの自動生成(ATPG)をいかに高速で処理するかが継続的な課題である。ゲートレベルのネットリストから高速ATPGを行うくふうだけでなく、機能記述されたHDLから直接テストパターンを生成する試みも進んでいる。一方、CMOS回路において、定常状態では電流が流れないという特性を利用して、ファンクションテストで検出できない故障が検出できる $I_{DDQ}$ (quiescent power supply current)テストの支援ツールがそろってきており、有効な利用方法についてのベンチマークも進んでいる。

#### 4.3 設計効率向上

設計資産の再利用とより抽象度の高い設計に移行することがかぎになる。設計資産の再利用は、まず利用頻度の高いメガセルを定義して、これを積極的にHDLで設計し、メガセルとしてのパフォーマンスモデルを準備することである。HDLはすでにVHDLとVerilog-HDLが世界標準として定着して、これらをサポートするシミュレータも数多くそろっている。

抽象度の高い設計とは、ゲートレベルからRTL(Register Transfer Level)へ、RTLから動作レベルの設計に移ることである。すでにRTLレベルのトップダウン設計は緒についている。今後はタイミングの予測もRTLで正確に行い、RTL、ゲート、レイアウトの間を何回も往復して高性能ASICを開発するのでなく、1パスで所望の性能が得られるような“Non

Iterative Design”の実現に向けたCAD開発がなされていく。これが実現すると、ASICのサインオフがRTLで行われることになる。

#### 4.4 低消費電力設計

携帯用機器が今後増えてくる傾向にあるなかで、現時点ではこれを支援するツールは、ゲートレベルあるいはトランジスタレベルでの消費電力計算くらいである。設計技術を中心にこれからますます研究開発を必要とする領域である。クロック系での電力消費を抑えることがキーであり、このための回路技術やCAD技術の開発が各所で進められている。また、論理合成/最適化は面積、タイミングに加えて電力を考慮する方向にあり、バストラジスタ回路をうまく利用する生成ツールの開発やトランジスタのサイジング機能をもった配置配線技術なども低消費電力設計に重要である。われわれは、電源電圧の低減を含めてMIPS (Million Instructions Per Second) 当たりの消費電力を西暦2000年に1/100にするための行動を開始する。

## 5 あとがき

システムオンチップの時代へ向けてのCAD技術の動向について概説した。CAD技術の大きな流れの一つとしての標準化の動きは、CADベンダによるツールの普及も大きく貢献しているが、LSI技術の進展はつねにCAD技術開発に先行している。最先端のLSI設計には標準ツールでは得られない最新のCAD技術/設計手法が必要であり、これがCAD/設計における差異化技術である。当社でも業界標準のツール/フレームワークをサポートしつつ、ゼロスキュー/遅延最小化クロック配線や、タイミングを保証しつつNon Iterativeな設計を可能にする手法などの差異化技術を開発している。今後ともCustomer Satisfactionのための不断の努力を続けていく。

この特集では当社における最近のCAD開発成果の具体例を紹介する。



後藤 宣之 Nobuyuki Gotô

1964年入社。画像処理、計算機アーキテクチャ、CADなどの研究・開発に従事。現在、研究開発センターULSI研究所所長附、工博。  
ULSI Research Labs.



西部 晋二 Shinji Nishibe

1966年入社。コンピュータの開発、LSI/CADの開発に従事。現在、青梅工場情報処理・機器LSI技術開発部部長。  
Ome Works



飯尾 努 Tsutomu Iio

1972年入社。半導体CADシステムの開発・実用化に従事。現在、半導体事業本部半導体設計・評価技術センター半導体設計自動化技術部部長。  
Semiconductor Group