

## ULSIおよびシステムの設計手法の変革に向けて Toward a Revolution in ULSI and System Design Methodology



吉田 憲司  
Kenji Yoshida, Ph.D.

数百万素子の回路が1チップ上に集積できるようになり、複雑なシステムがほんの数個のULSIで構成され、あるいはシステム全体が1個のULSI上に実現できる時代になった。これに伴って、ULSIチップの設計、あるいはULSIを用いたシステム全体の設計は、その設計方法論とツールの両面で、根本的に変わりつつある。

ULSIチップについて言えば、年率1.4倍で増大を続ける集積規模と機能の多様化により、設計の困難さは指数関数的に増大している。その一方で、熾(し)烈な市場競争からくる設計期間短縮の要求はますます厳しくなっている。このような状況に対応するには、従来に比べてけた違いの設計生産性の向上が必要である。したがって、論理ゲートレベルで回路設計し、検証するという伝統的な設計手法ではもはや対応できなくなることは明らかであり、もっと上位の抽象レベルで設計を行う手法の導入が必要である。すなわち、VHDL (Very high speed IC Hardware Description Language) や Verilog HDL などのハードウェア記述言語によってシステムの機能を記述し、そのレベルで十分検証した後、論理合成ツールによって、論理ゲートレベルに自動変換するといった新しい設計手法に移行していくと思われる。

また、ULSIの規模の増大とともに、テストパターンも膨大なものとなり、開発期間やコストの削減の大きな制約となる。このため、設計段階からテスト容易化を考慮するとともに、テストパターンを自動生成することが不可欠である。

さらに、シリコン技術の進歩とともにULSIやシステムの

高速化も目覚ましく、それとともにタイミング設計も難しさを増している。特にULSIにおいては、その微細化とともに配線による信号遅延が回路全体の遅延の大半を占める状況も起こる。このため、タイミング制約を特に考慮したレイアウト設計最適化アルゴリズムや、クロックスキューを最小化する配線アルゴリズムなど、新たなCAD技術が必要となる。

当社では、早くからこれらの問題の重要性を認識し、対応するCAD技術の開発に注力してきたが、特に3年前から、二つの全社的CAD開発プロジェクトを進めてきた。一つはULSIを含むシステム全体の設計の環境整備を、もう一つはULSIあるいはASIC (用途特定IC) チップの設計環境の整備を、それぞれ目標としたものである。この特集では、それらの成果の主なものを紹介するが、その多くはすでに社内のシステム事業部門や半導体部門で活用され始めている。

今後とも“ULSIのシステム化”と“システムのULSI化”はますます進み、システム設計技術のさらなる高度化が要求される。例えば、より高位のレベルでの合成技術と検証技術、ハードウェア・ソフトウェア同時設計技術などの整備が必要となり、またチップ設計においても、これらに加えてさらに高精度なタイミング最適化や低消費電力化設計技術などが重要な課題となる。

当社は、半導体およびシステムの両面でお客様に高い付加価値を提供するため、それに不可欠な基盤技術として、ULSIおよびシステムの設計手法の変革とCAD技術の高度化に向けて、たゆみない努力を続ける所存である。