

低コストを指向した高密度実装技術

High-Density Assembly and Packaging Technology for Low-Cost Production

中田 順二
J. Nakata

福地 義敏
Y. Fukuchi

原口 史明
F. Haraguchi

電子機器のポータブル化の進展は目覚ましい。市場環境の急激な変化と多様化するユーザーニーズにこたえるため、低コストを指向した高密度実装技術を開発した。

0.3 mm ピッチ TCP (Tape Carrier Package) を他部品と一括リフローする技術を実現するため、パッケージの反りを低減するとともに、リード先端を屈曲成形することで、はんだ付け不良率を 100 ppm 以下にした。また、ソルダペースト印刷の高精度化、部品装着機の高機能化や短段取り化、さらにリフロー炉内の振動解析を行い、製造工程内で発生するはんだ付け不良の低減を図った。

The popularity of portable electronic equipment has grown enormously over the last few years. In response to radical changes in the market environment and the diversifying of user needs, Toshiba has developed technologies for high-density assembly and packaging that assure lower production costs.

Toshiba has developed a new reflow soldering technology to collectively handle 0.3 mm pitch tape carrier package (TCP) leads together with other parts. This technology reduces package warp and forms leads into bend shapes, thus reducing substandard soldering to 100 ppm and below.

In addition, Toshiba continues to work to improve technologies now in use. For instance, the company has developed a high-precision solder paste printer, developed a multi functional and short arrangement mounter, and analyzed vibration patterns in reflow ovens to reduce substandard soldering in the manufacturing line.

1 まえがき

多様化するユーザーニーズと急激な市場環境の変化にこたえるため、高機能で低コストな実装技術が要求されている。そのため、①工程・工数の削減、②生産性の向上、③品質の向上などにより、工程内の人手作業やロスを最小限にし、低コスト化を図る必要がある。

ここでは、新しく開発した部品の小型・ファインピッチ化と低コスト化に対応したはんだ付け技術と、部品形状の複雑化に対応した部品装着技術について述べる。

2 リフロー炉を用いた TCP のはんだ付け技術

0.4 mm ピッチ 300 ピンクラスの QFP (Quad Flat Package) の実装占有面積を 1 とした場合、BGA (Ball Grid Array) や TCP などの実装占有面積は約 1/2 以下、FC (Flip Chip) は約 1/5 にすることができる。したがって、これらの実装技術は、高密度実装実現に欠くことができないものである。

当社では、パルスヒート方式で 0.2 mm ピッチ 520 ピン TCP まで実装可能な実装プロセスと実装機 (Outer Lead Bonder)

を開発し、携帯電話、パソコンさらに多ピン ASIC (用途特定 IC) に実用化してきた^{(1),(2)}。しかしこの方式は、別工程で専用機を用いて実装するため、生産性や新たな設備投資を伴うなどの課題がある。図 1 は、リフロー炉ではんだ付けした 0.3 mm

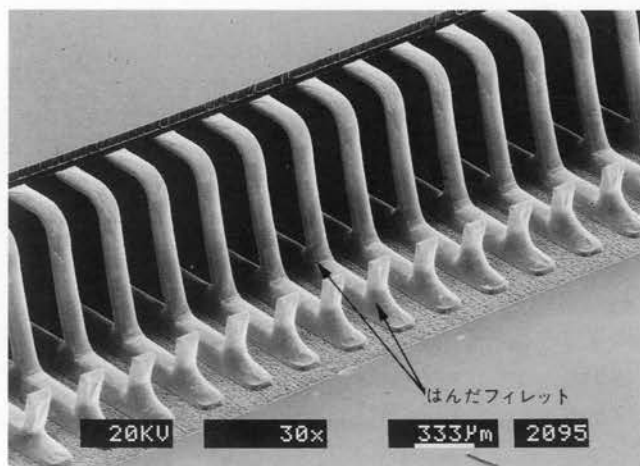


図 1. 0.3mm ピッチ TCP の一括リフローはんだ付けの外観 是んだ付け不良率 100 ppm 以下を達成した。

Solder junction of 0.3 mm pitch TCP

ピッチ TCP の実装外観である。プリント基板にソルダペーストを印刷し、はんだ付けするため TCP のサポートリング部に金属板をはりつけ、リード平坦度を 0.08 mm 以下に押しえた。また、リードの表面処理を Sn めっきからはんだめっきに変更するとともに、リード先端を屈曲成形した。はんだフィレットは成形したリードの前後 2 か所に形成し、はんだの吸収能力を高めることで、はんだ不良率を 100 ppm 以下にすることができた。

$$F_T = S \cdot \tau_w = S \cdot \lambda \cdot dv/dx$$

$$F_p = \Sigma F_{pi}$$

S: 内壁接触面積
λ: 粘性係数

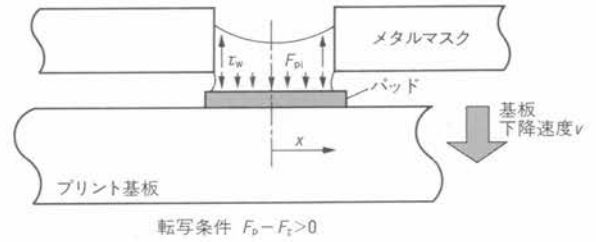


図3. 印刷転写メカニズム セン断抵抗はメタルマスク壁面近傍がもっとも大きく、引きはがし速度に影響される。

Method for solder paste printing

ストがメタルマスク側に残留しようと働く力で、転写性に直接影響する。したがって引きはがし速度 v は極力遅くすることが要求される。

一方、 F_p はソルダペーストがパッドと密着する力 (ΣF_{pi}) で、ソルダペーストのタック力と充てんするときのスキージ圧力、さらに接触するパッド面積によって決定される。したがって、パッド幅やパッドとメタルマスク開口部との位置ずれが F_p の値に影響する。

3.3 高精度ソルダペースト印刷機

これらの解析結果を基に開発したソルダペースト印刷機を図4に示す。充てん工程では、スキージの押付け力によって必要以上にメタルマスクがたわむことを避けるとともに、一度充てんしたものをかき出さないため、スキージにかかる反力をスキージ上部に内蔵したロードセルで 1 N 単位で検出しスキージ押込み力を制御した。

また、転写工程ではプリント基板がメタルマスクから離れるまでの領域の速度を超低速に制御し、転写時の抵抗力 F_T を

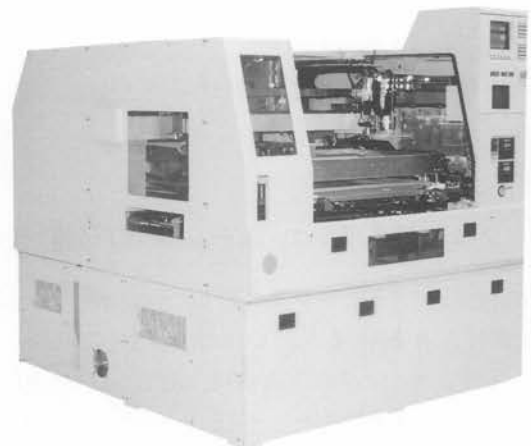


図4. 高精度ソルダペースト印刷機 スキージの押込み力制御と版離れ制御を採用した印刷機。

High-precision solder paste printer

3 ソルダペースト印刷技術

3.1 ソルダペーストのレオロジー性

高密度化に伴うはんだ付け不良の代表的なものに、ブリッジや未はんだがある。この対策でもっとも重要な工程がソルダペーストの印刷である。

ソルダペーストは粘弾性物質でレオロジー性を示す。図2は印刷評価に使用したソルダペーストのずり(せん断)速度(Shear rate)とずり応力(Shear stress)の関係である。ずり速度がゼロ近傍で降伏値(約 500 Pa)をもち、かつヒステリシス曲線を描くことがわかる。この降伏値が印刷時の転写性や転写形状に影響を及ぼす。

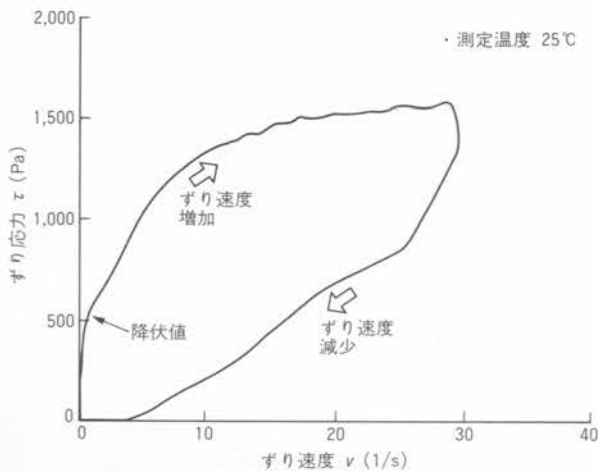


図2. ソルダペーストのレオロジー特性 ずり速度が速いほどずり応力(せん断抵抗)は大きくなる。

Characteristics of solder paste

3.2 転写メカニズム

図3は、ソルダペーストをプリント基板のパッド上に転写するときに作用する力を模式的に示したものである。ソルダペーストの粘性によってせん断方向に応力 τ_w が発生する。 τ_w はメタルマスク壁面近傍でもっとも大きく、図2のレオロジー性からわかるように、プリント基板を下降しメタルマスクを引きはがし速度 v (ずり速度) が速いほど大きくなる。 F_T は応力 τ_w とメタルマスク内壁接触面積 S との積で、ソルダペー

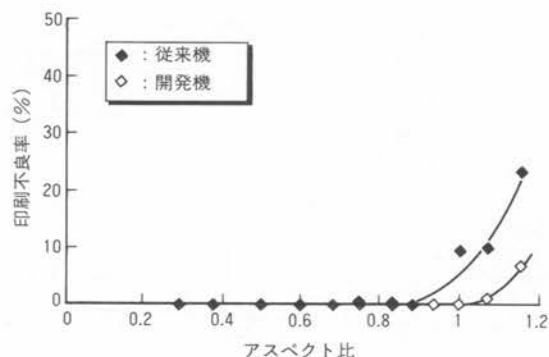


図5. 開発した印刷機の印刷特性 0.3 mm ピッチパターン印刷が可能である。

Results of solder paste printing

低減させ、離れた後の領域では高速に移動する版離れ速度制御を採用した。

開発した印刷機の印刷特性の例を図5に示す。横軸はメタルマスクの厚さ t を開口幅 w で除したアスペクト比である。アスペクト比が1近傍まで印刷でき、0.3 mm ピッチパターンの印刷にも対応可能である。現在主流となっている0.5 mm ピッチ QFP に応用し、印刷不良を ppm レベルに低減した。

3.4 メタルマスクの自動クリーニング

メタルマスクの裏面汚れが印刷性に大きく影響するため、自動クリーニング機構を開発した。これは乾式、溶剤による湿式および吸引の清掃機能を自由に組み合わせられるものである。従来数枚印刷ごとに作業者が手動清掃していたが、自動クリーニングを定期的実施することで連続印刷が可能となった。手動清掃の頻度をこれまでの数十分の1程度まで削減でき、生産性を上げるとともに、作業者の負荷は大幅に軽減された。

4 多機能マウンタの開発

4.1 多段積みトレイフィーダ

生産性向上と工程・工数の削減の観点から、段取り時間の短縮や後工程で人手に頼っている作業の自動化が重要となる。図6は、従来のマウンタでは装着困難であった最大幅100 mm の大型コネクタや0.3 mm ピッチ QFP などの装着を可能とした多機能マウンタである。表1に主な仕様を示す。

多品種少量生産においては、部品を供給するトレイ交換の頻度が生産性に大きく影響する。そのため10段階に分けられる多段積トレイフィーダを採用し、各段最大40 mm までトレイを重ねられる構造とした。高速化では、フレームの高剛性化と X-Y テーブルの駆動にリニアモータを採用し、高精度位置決めを実現した。図7は0.3 mm ピッチ QFP を装着したときの繰返し装着精度を示しており、 $\pm 30 \mu\text{m}$ 以下であることがわかる。

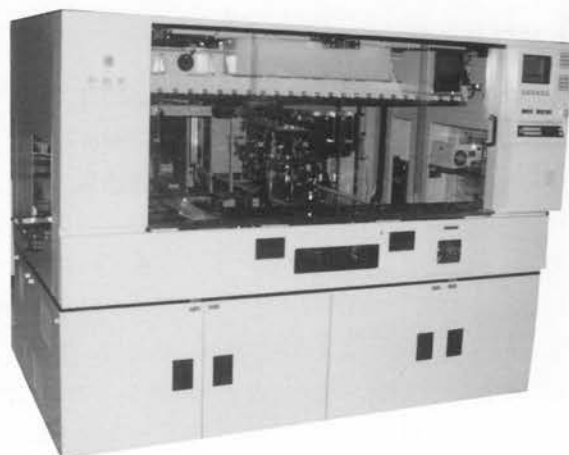


図6. 多機能マウンタ 大型コネクタ、ファインピッチ IC の高速実装およびリード浮き検出が可能である。

Multifunctional chip mounter

表1. 多機能マウンタの仕様

Specifications of multifunctional chip mounter

タクトタイム	2.5 秒 (認識 視野当たり)
装着精度	$\pm 30 \mu\text{m}$
対象部品	大型コネクタ チップ部品 QFP (0.3 mm ピッチ) BGA, LGA
トレイフィーダ	10 段 (各段多数積み最大 40 mm)
ノズル本数	14 本
リード浮き検出	精度 $\pm 15 \mu\text{m}$ (レーザーセンサ方式)

LGA: Land Grid Array

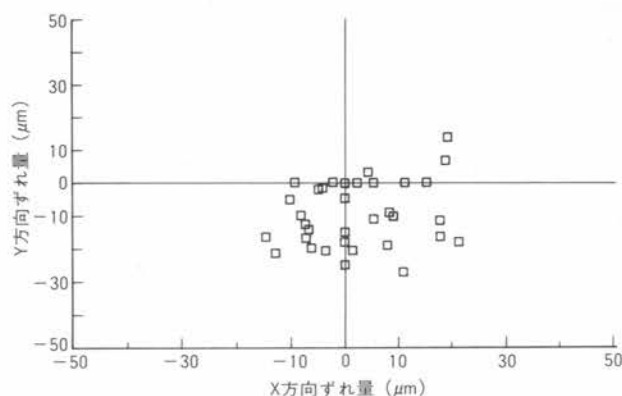


図7. 装着精度の結果 0.3 mm ピッチ QFP を $\pm 30 \mu\text{m}$ 以内に装着できる。

Results of 0.3 mm pitch QFP mounting

4.2 部品認識アルゴリズムの自動選択

大型コネクタや0.3 mm ピッチ QFP の装着では、部品のリード浮きが問題となるため、レーザーセンサを用いたリード浮き検出技術を開発した。装着精度を高めるため、装着する部品を三つのグループに分類し、各グループごとに部品認識の照明と認識アルゴリズムを自動的に選択、切り換えを行う方式を採用した。

5 リフロー炉内の振動解析

はんだ接合部の品質や信頼性を高めるためには、リフロー炉内における部品の振動やはんだのぬれ現象解析が重要である。はんだのぬれ性は、部品の酸化や炉内雰囲気、さらに温度プロファイルの予熱昇温速度に大きく影響されることがわかっている⁽³⁾。ここでは、リフロー炉内の振動の影響について述べる。図8は、熱風循環式リフロー炉における本加熱ゾーン（はんだが溶融するところ）の熱風の風速と、部品に加わる振動（加速度）の関係を解析した一例である。ファンで熱風を循環する方式では、風速を増すことによって加速度は二次曲線的に増加する。熱容量が大きい部品などを実装する場合、温度分布を均一にするため風速を上げて使用することがある。

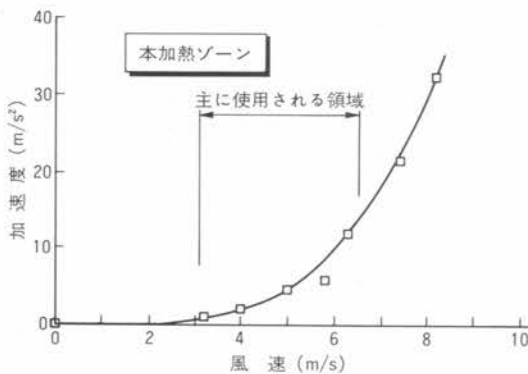


図8. リフロー炉内の風速と部品の振動 風速が増すと加速度は二次曲線的に増加する。

Vibratory acceleration vs. hot air speed in reflow oven

図9は、両面実装を想定し2回目のリフロー工程で基板下面に装着されている、QFPに作用する力を算出したものである。QFPは0.5mmピッチで100、208、304ピンの3種類である。 F_a は、風速などの振動で生ずる加速度成分 F_a とQFPの自重 W の和で、基板から落下する方向に作用する力である。また F_i は、溶融はんだの表面張力による凝集力で、QFPを保持する力である。表面張力は、大気中における共晶はんだの値 400 mN/m ⁽⁴⁾を用いた。これから自重が軽い100ピンクラスのQFPは、落下や位置ずれの発生がないが、大型のQFPは振動の影響を受けやすいことがわかる。0.5mmピッチ208ピンのQFPの場合、加速度が約 15 m/s^2 以上になると、凝集力 $F_i - F_a < 0$ となり、部品の落下や位置ずれの可能性が出てくる。装着する部品が大型で熱容量が大きい場合は、遠赤外線などの併用で、振動の原因となる風速を低く押さえる温度プロファイルを設定する必要がある。また、はんだが固まる冷却ゾーンでは、振動が加わりながらはんだが凝固するため、はんだフィレットにマイクロクラックが発生する可能性もあり冷却エア吹きつけによる振動も無視できない。

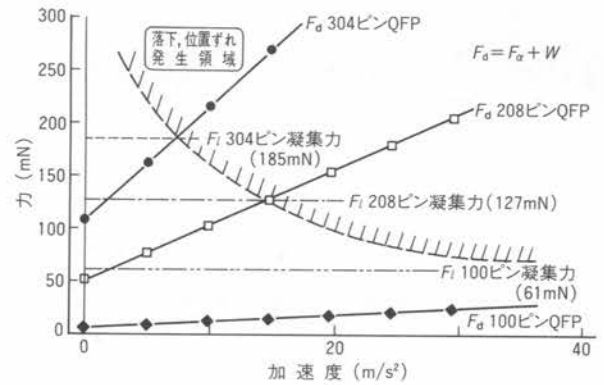


図9. バッケージサイズと振動の影響 大型パッケージは振動で位置ずれや落下の可能性がある。

Effect of vibratory acceleration on semiconductor packages

6 あとがき

魅力的な製品を低コストで作るためには、製品設計段階から作りやすさを追求し、製品設計が要求する機能を実現する実装技術の高度化がより重要となる。

今回は、実装要素技術の中からはんだ付け技術と部品装着技術の高度化について紹介した。今後高密度をさらに追求した微細接合において、電子部品やはんだ材料、プロセス条件と装置化技術の総合的な開発と、接合部の寿命予測などの信頼性技術の開発を進めていく。

文献

- (1) 牧野哲男, 他: ノートブック型パソコンの実装技術, 東芝レビュー, 48, 9, pp.651-654
- (2) 山口正義, 他: 超小型携帯電話機の実装, 東芝レビュー, 48, 9, pp.655-658
- (3) 中田順二, 他: 高密度微細接続技術, 東芝レビュー, 48, 9, pp.666-668
- (4) 竹本 正, 他: ソルダリング イン・エレクトロニクス, p.225



中田 順二 Junji Nakata

1973年入社。半導体・電子部品の実装プロセスの研究開発に従事。現在、生産技術研究所実装技術開発センター主任研究員。

Manufacturing Engineering Research Center



福地 義敏 Yoshitoshi Fukuchi

1970年入社。半導体・電子部品の実装プロセスの研究開発に従事。現在、生産技術研究所実装技術開発センター。

Manufacturing Engineering Research Center



原口 史明 Fumiaki Haraguchi

1987年入社。実装機の研究開発に従事。現在、生産技術研究所メカトロニクス開発センター研究主務。

Manufacturing Engineering Research Center