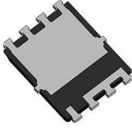
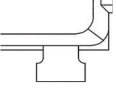
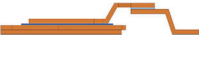
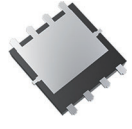
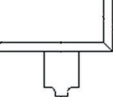
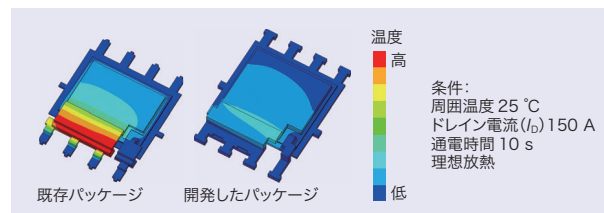


製品の通電能力向上とオン抵抗低減に貢献する 表面実装パワー MOSFET パッケージ

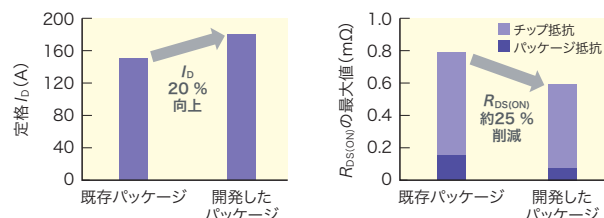
パッケージ	内部構造 (模式図)	パッケージ構造	端子先端構造
開発した パッケージ	 ポストレス構造 (コネクタリードフレーム 一体)	 ソース結合構造	 WF構造 (ハンマー形状)
既存パッケージ SOP Advance (WF) (XPHR7904PS)	 ポスト構造 (コネクタリードフレーム間 はんだ接続)	 ソース分離構造	 WF構造 (凸形状)

開発したパッケージと既存パッケージ SOP Advance (WF) の構造の比較
Comparison of developed package and existing SOP Advance(WF) package structures



開発したパッケージと既存パッケージのパッケージ内部フレーム発熱
シミュレーション結果の比較

Comparison of simulation results on heat generation from internal frames of developed package and existing SOP Advance(WF) package



$R_{DS(ON)}$: ドレイン-ソース間オン抵抗

開発したパッケージと既存パッケージの定格電流及びオン抵抗の比較
Comparison of maximum rated current and on-resistance of developed package and existing SOP Advance(WF) package

環境規制要求を達成するために、全世界で自動車の電動化が拡大している。電動ユニットの高性能化・高出力化のために、車載用のパワー MOSFET (金属酸化膜半導体型電界効果トランジスタ) は、大電流・大出力のモーターに対応する必要がある。一方で、自動運転の拡大によって電子制御ユニット (ECU) の冗長化が進み、部品点数が増えて搭載スペースが限定されることから、パワー MOSFET は既存品と同等あるいは小型のサイズで通電能力向上や低損失化などを実現することが求められている。

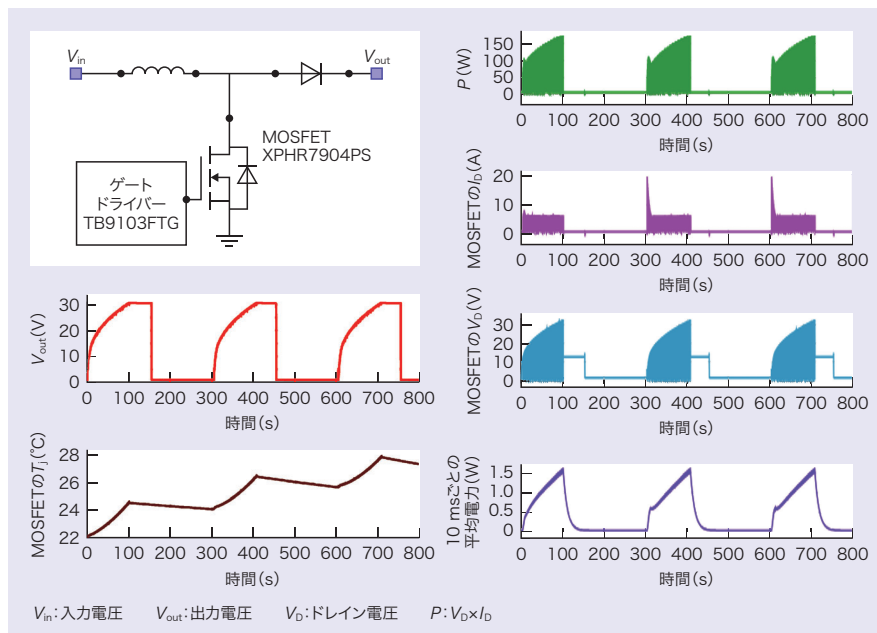
このような要求に対応するため、今回、小型でウエットブルフランク (WF: Wettable Flank) 構造を採用した表面実装部品 (SMD: Surface Mount Device) タイプのパワー MOSFET パッケージを開発した。開発したパッケージは、ソースコネクタとリードフレームのはんだ接続部 (ポスト) を削除し、各々を一体化したポストレス構造や、ソース3端子をパッケージ裏面で接続したソース結合構造を採用していることが特徴である。この構造により、類似した既存パッケージの SOP Advance (WF) と比較してパッケージ抵抗を約 54 % 削減したことで、チップの通電能力を最大限生かせるようになった。加えて、製品のオン抵抗低減や通電能力向上を図るために、搭載可能な最大チップ面積を約 23 % 拡大した。

その結果、SOP Advance (WF) パッケージを用いた従来製品のオン抵抗が最大 0.79 mΩ であるのに対して、開発したパッケージを用いた製品では最大 0.59 mΩ と約 25 % 低減し、製品の低損失化を実現した。また、定格電流を比較すると、SOP Advance (WF) パッケージを用いた従来製品が 150 A であるのに対して、開発したパッケージを用いた製品では 180 A と 20 % 上昇し、通電能力も同時に向上した。更に、開発したパッケージは SOP Advance (WF) パッケージ同様 WF 構造を採用していることから、自動外観検査装置への適用が可能である。

今後も、各種 ECU のトレンドに沿った製品を提供し、自動車産業の発展に貢献していく。

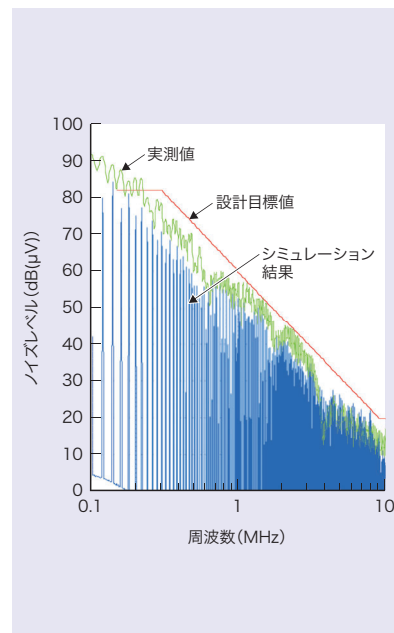
東芝デバイス&ストレージ (株)

車載システム検証に適した半導体モデル



DC-DCコンバーター動作波形とMOSFETの過渡熱推移

DCDC converter operating waveforms and transient thermal behavior of metal-oxide-semiconductor field-effect transistors (MOSFETs)



EMIシミュレーションの結果

EMI simulation results (Green: Actual measurements, Blue: Simulation results)

デジタルツイン技術の進歩により、自動車やロボット、工場の生産ラインなど、CAD上でのモデルベース開発 (MBD) が一般的となっている。特に、自動車は搭載機能の複雑化に伴い、シミュレーションによる機能検証の必要性が一層高まっている。また、熱解析や、電磁干渉 (EMI)、及び電磁感受性 (EMS) の評価工数が増大しており、製品開発初期でのシミュレーションによる検証精度の向上が求められている。

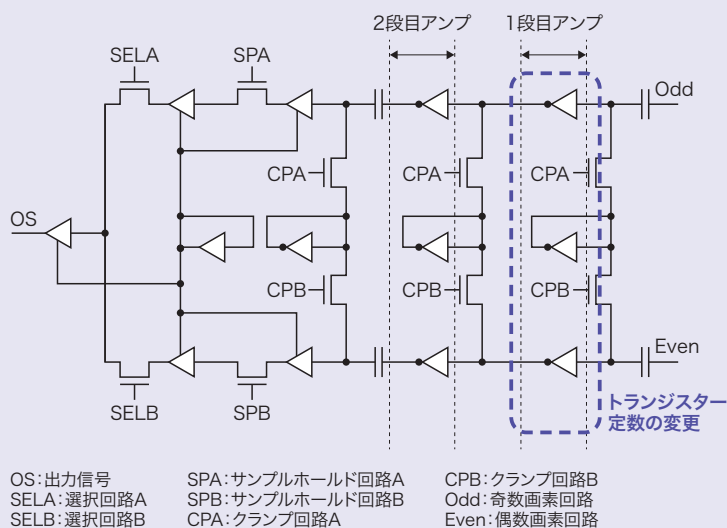
このような背景の下、車載半導体製品の高精度モデル開発・提供、及びMBDでの機能検証の高度化に注力しており、今回、新製品のHブリッジ用ゲートドライバー IC TB9103FTGのVHDL-AMS (Very High Speed IC Hardware Description Language Analog and Mixed Signal) モデルを開発した。このモデルを用いて自動車技術会の検証活動に参画し、車載MOSFETの40V耐圧XPHR7904PS、及び60V耐圧XPH3R206NCと組み合わせたDC (直流) -DCコンバーターの過渡熱解析を実施した。更に、これを含むアクチュエーター基板全体の電気・機械 (エレメカ) 連成解析を行い、実機を模擬した機能動作の検証と、MOSFETのジャンクション温度 T_j の予測を、短時間の解析で実現可能とした。今後は、モデルの高精度化を進めるとともに、他製品への展開を図る。また、自動車技術会におけるMBD実機検証への応用を視野に入れ、より実用性の高いモデル開発を推進していく。

EMIやEMSに関しても、車載通信IC (TB9032FTG) の高精度モデル開発を進め、国際電気標準会議 (IEC) 規格に準拠した方法によるノイズレベルの実測値と比較した結果、EMI、EMSのいずれのモデルも高い相関性を確認できた。この高精度モデルを用いることにより、周辺の受動部品やプリント基板も含めたシミュレーションを実現でき、車載システム開発後期における再作業リスクの低減が可能となった。

今後も、業界ニーズに即した半導体モデルの開発・提供を通じて、自動車開発の効率化に貢献していく。

東芝デバイス&ストレージ (株)

高速・高精細なスキャンングに対応した CCD リニアイメージセンサー TCD2728DG



増幅率を低減した出力アンプゲイン回路

Schematic diagram of output amplifier gain circuit with reduced gain



TCD2728DGのパッケージ

TCD2728DG charge-coupled device (CCD) linear image sensor package

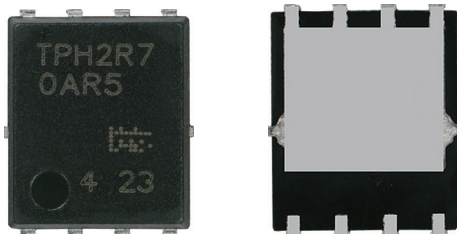
近年、オフィスでは、複合機の利用形態として、大量で多種多様な用紙を高速・高精細にコピー・スキャンするケースが多く、特にA3複合機では画質の向上が重要課題となっている。画像の読み取りには、画像を光学レンズで縮小するレンズ縮小型CCD（Charge Coupled Device：電荷結合素子）リニアイメージセンサーが使用されているが、画像品質を向上させるには、信号に含まれるランダムノイズ（画像の品質に影響する不規則なノイズ）の影響を低減する必要がある。

今回、CCDリニアイメージセンサーの出力アンプゲインを変更し、出力信号の増幅度を低減することでランダムノイズを低減した、新製品TCD2728DGをリリースした。既存製品のTCD2726DGに比べてランダムノイズを実測値で約40%低減したことにより、ダイナミックレンジが拡大し、機器の画質向上に貢献できる。またCCDリニアイメージセンサーとしては高速な100 MHz（50 MHz×2 ch）のデータレートも実現した。これにより、高速で大量の画像を処理できるため、即時判定が求められる各種検査機器向けのラインスキャンカメラにも適用できる。更に、タイミングジェネレーターの内蔵によりCCD駆動端子を大幅に削減することで、高速化の弊害として発生するEMIを低減でき、かつ、これまで顧客側で対応していた複数種類のCCD駆動信号の生成・波形整形作業（立ち上がり・立ち下がり・パルス幅時間や信号間の位相の調整、アンダーシュート・オーバーシュート対策）を削減できるようになり、開発効率の向上に貢献する。

今後も、高速かつ高画質なイメージング及びセンシング技術へのニーズに応えるために、複合機などのスキャンング分野だけでなく、各種検査装置など、センシング分野の様々な機器に対応した製品を拡充していく。

東芝デバイス&ストレージ(株)

■ U-MOS11-H 100 V パワー MOSFET



TPH2R70AR5の外観

TPH2R70AR5 100 V power MOSFET fabricated with U-MOS11-H process

プロセス名	U-MOSX-H 100 V	U-MOS11-H 100 V	
代表製品名	TPH3R10AQM (従来品)	TPH2R70AR5 (新製品)	低減率
R_{on} (m Ω) ($V_G=10$ V, $I_D=50$ A)	2.5	2.3	8 %
C_{rss} (pF) ($V_D=50$ V)	45	23	49 %
Q_{gd} (nC) ($V_G=50$ V)	22	9.1	59 %
Q_g (nC) ($V_G=10$ V)	83	52	37 %
Q_{rr} (nC) ($-dI/dt=100$ A/ μ s, $I_S=50$ A)	89	55	38 %
$R_{on} \times Q_{gd}$ (m $\Omega \cdot$ nC)	55	20.9	62 %
$R_{on} \times Q_g$ (m $\Omega \cdot$ nC)	207.5	119.6	42 %
$R_{on} \times Q_{rr}$ (m $\Omega \cdot$ nC)	223	127	43 %

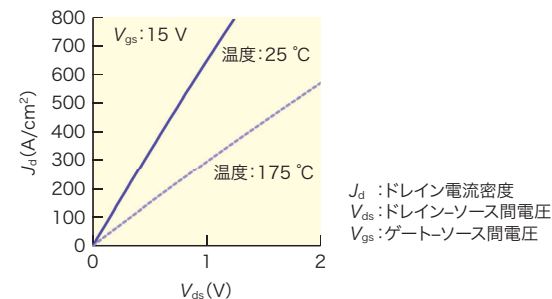
V_G : ゲート電圧 I_S : ソース電流 Q_{gd} : ゲート-ドレイン間電荷量

U-MOSX-HとU-MOS11-Hの主な特性の比較

Comparison of conventional U-MOSX-H series and new U-MOS11-H series product characteristics

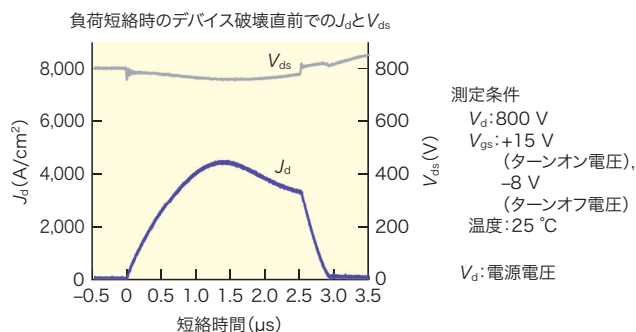
東芝デバイス&ストレージ (株)

■ 低損失・高信頼性を両立する 1,200 V 級 SiC トレンチ MOSFET



試作した SiC トレンチ MOSFET の出力特性

Silicon carbide (SiC) trench-gate MOSFET prototype output characteristics



負荷短絡時のデバイス破壊直前での短絡電流密度の波形

Short-circuit current density waveform immediately prior to device failure

AI技術や通信技術の進展に伴い、データセンターや通信基地局の消費電力低減が一層求められている。これらのスイッチング電源向けに、当社の最新世代プロセスU-MOS11-Hを採用した、100 V 耐圧nチャネルパワー MOSFET TPH2R70AR5を製品化した。

従来のU-MOSX-Hに対し、トレンチピッチの微細化、ゲート電極の微細化、ゲート電極の加工の高精度化、及びライフタイム制御の技術を導入した。これにより、従来技術に比べ、導通損失に影響するオン抵抗 R_{on} の約8%低減、スイッチング損失に影響するゲート-ドレイン間寄生容量 C_{rss} の約49%低減、ゲートドライブ損失に影響するゲート電荷量 Q_g の約37%低減、及びリカバリー損失低減に影響する逆回復電荷量 Q_{rr} の約38%低減を実現した。これらにより、機器の高効率化に寄与していく。

今後は、このデバイス構造を80 V 定格品 (U-MOS11-H 80V) へも順次展開していく。

カーボンニュートラル社会の実現に向け、低損失なSiC (炭化ケイ素) パワー半導体が注目されている。

パワー MOSFET の重要な性能指標である、単位面積当たりのオン抵抗 (特性オン抵抗) R_{onA} を、セルピッチ縮小により低減するために、1,200 V 級 SiC トレンチ MOSFET を試作した。

試作デバイスは、1,500 V 以上の耐圧性を持ちながら、温度 25 °C の場合で、 R_{onA} が 1.50 m $\Omega \cdot$ cm² と、従来の SiC プレーナー MOSFET に比べ約 30 % 低減した。短絡耐量は 2.5 μ s を確認し、低 R_{onA} と長い短絡時間が両立できるデバイスを実証した。

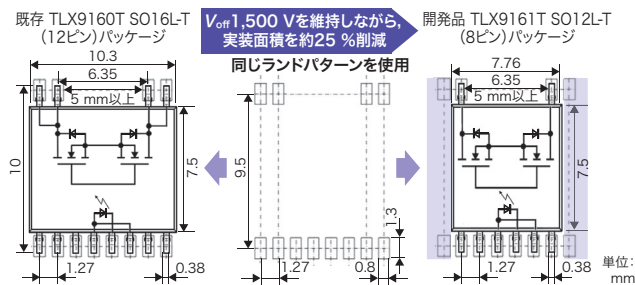
また、プロセス適正化を図ることで、ゲート酸化膜の高寿命化を実現した上で、GSI (Gate Switching Instability) 現象によるしきい値電圧変動の抑制を実証した。

この技術を基に、低損失と高信頼性を両立する SiC トレンチ MOSFET の実用化を目指す。

この成果は、NEDO (国立研究開発法人 新エネルギー・産業技術総合開発機構) の助成事業「グリーンイノベーション基金事業/次世代デジタルインフラの構築」プロジェクト「次世代パワー半導体デバイス製造技術開発」(JPNP21029) の結果、得られたものである。

東芝デバイス&ストレージ (株)

■ 車載電池監視システムの小型化に貢献する小型パッケージを採用した高耐圧半導体リレー



従来パッケージと開発パッケージの実装面積比較

Comparison of conventional and new package external dimensions

項目	TLX9160T	開発品 TLX9161T
パッケージ (幅×奥行き)	SO16L-T (10.3×7.5)	開発したパッケージ SO12L-T (7.76×7.5)
保存温度	-55 ~ 150 °C	
動作温度	-40 ~ 125 °C	
V_{off} ($T_a=25$ °C)	1,500 V 双方向	
動作電圧 ($T_a=25$ °C)	1,000 V	
CTI	>600 (材料グループ 1)	
ピン間沿面距離* (2次側)	5 mm 以上 1,000 V を満足	

T_a : 周囲温度
* IEC60664-1 (国際電気標準会議規格 60664-1) の table F.4 で規定されている動作電圧 1,000 V, CTI (Comparative Tracking Index) >600, 汚損度 2 の沿面距離

従来フォトリレーと開発フォトリレーの特性比較

Comparison of new and conventional photorelay product rated specifications

電気自動車の航続距離延伸に寄与する電池監視システム (BMS) には、高耐圧かつ小型化された半導体リレーが求められている。

これらの要求に応じて、既存の TLX9160T (阻止電圧 V_{off} : 1,500 V) をベースに、実装面積を約 25 % 削減した小型 SO12L-T パッケージの TLX9161T を開発した。

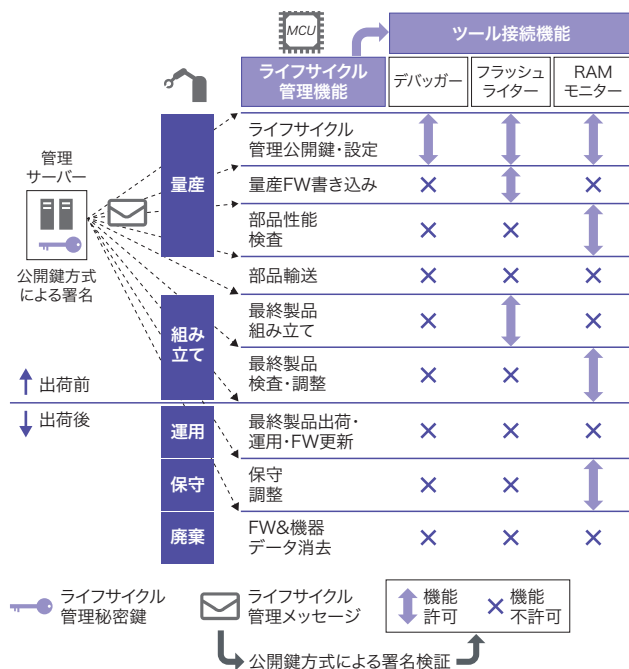
この製品に搭載する MOSFET チップは、IGBT (絶縁ゲート型バイポーラトランジスター) の設計技術を応用し、終端構造の短縮及びチップコーナーの曲率を最適化することで、1,500 V の V_{off} を維持しながら、チップ面積の約 56 % 削減を実現した。

また、SO12L-T パッケージは、従来の SO16L-T パッケージとランドパターンの互換性を持っており、基板設計の変更を伴うことなく置き換えを可能としている。

車載 BMS フォトリレー市場において、SO12L-T パッケージで 1,500 V の V_{off} を持つフォトリレーの製品を提供することにより、システムの小型化・低コスト化に貢献する。車載用電子部品信頼性規格 (AEC-Q101) にも準拠している。

東芝デバイス&ストレージ (株)

■ MCU ライフサイクル管理技術



FW: ファームウェア

MCU のライフサイクル管理の概要

Overview of microcontroller unit (MCU) lifecycle management

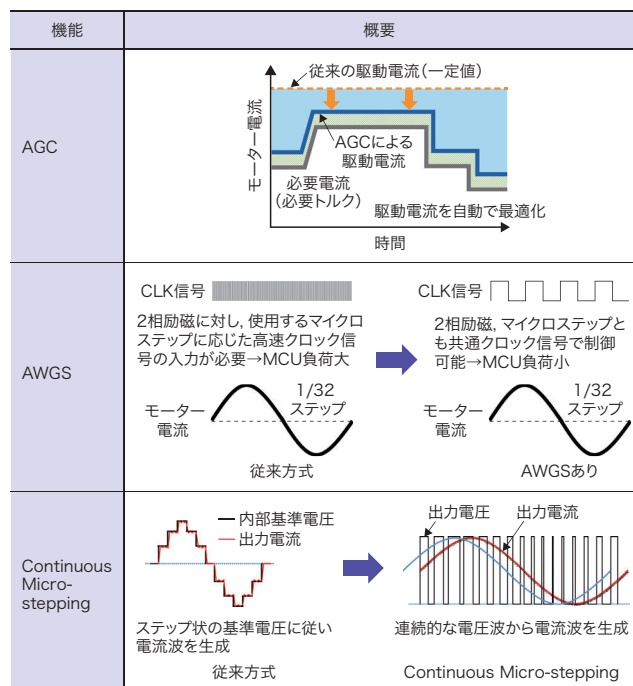
欧州サイバーセキュリティ法規 (EU (European Union) Cyber Resilience Act など) において、機器ライフサイクル全体を包括的にカバーする要求がある。MCU (マイクロコントローラユニット) 応用製品でも、運用中の攻撃対策に加えて、今後、量産や保守でのセキュリティ対策が求められる。特に、デバッガー、フラッシュライターなどサイバー攻撃の脅威源となるツール接続機能について、製品ライフサイクル (量産・組み立て・運用・保守・廃棄) ごとの許可・不許可といった管理が求められている。サプライチェーンの多様化を踏まえ、輸送や検査工程を含む複雑な機器ライフサイクルへの対応も必要となる。

当社は、このような要求に対応可能なライフサイクル管理技術を開発した。MCU 顧客が工程ごとの接続管理を柔軟にカスタマイズできる方式で、公開鍵方式による署名検証で機能許可/機能不許可を管理することが特徴である。これにより、セキュリティを確保するとともに、顧客負担を軽減することも実現可能となる。

今後は、ライフサイクル管理技術を内蔵した MCU の開発を進めていく。

東芝デバイス&ストレージ (株)

■ Advanced Micro-stepping Technologyを搭載した 40 V、2 A定電流ステッピングモータードライバーIC



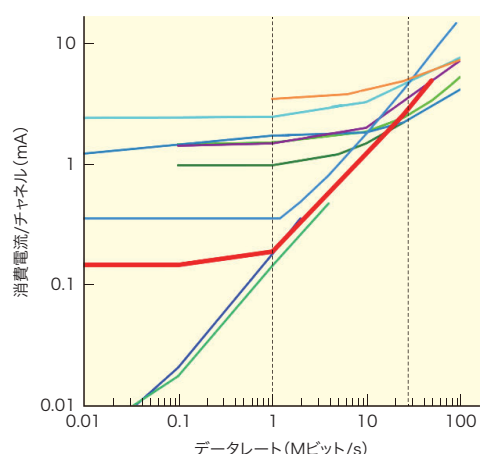
開発したドライバー ICの三つの機能

Three features of new stepping motor driver integrated circuit (IC)

東芝デバイス&ストレージ (株)

■ システムの低消費電力化に貢献するデジタルアイソレーター

- A社品1 (二重, OOK)
- A社品2 (二重, エッジ, リフレッシュ)
- A社品3 (二重, エッジ, リフレッシュ)
- B社品1 (Cap, OOK)
- B社品2 (Cap, エッジ, PWM)
- B社品3 (Cap, エッジ, OOK, リフレッシュ)
- C社品 (Cap, OOK)
- D社品 (Cap, OOK)
- 従来品 高速4チャンネルロジックに転用 (一重, OOK)
- 開発品 小型低消費電力4チャンネルロジック (一重, エッジ, リフレッシュ)



Cap: キャパシタンス構造を採用
エッジ: エッジ伝送方式を採用
一重: 絶縁トランスが一重絶縁構造
PWM: パルス幅変調
OOK: On-Off Keying方式の信号変調を採用
二重: 絶縁トランスが二重絶縁構造
リフレッシュ: リフレッシュパルス生成回路装備

*2025年6月時点。当社調べ。

伝送データレートと消費電流の関係

Comparison of data rate-versus-supply current curves of Toshiba's conventional and new digital isolators and competitor products

東芝デバイス&ストレージ (株)

OA機器、産業機器全般に使用されるステッピングモーターの需要は、継続して伸びている。ステッピングモーターを駆動するドライバー ICとして、民生・産業機器には高効率や低振動・低騒音の駆動が求められている。

新技術であるAdvanced Micro-stepping Technologyとして、Active Gain Control (AGC), Automatic Wave Generation System (AWGS), Continuous Micro-steppingの三つの機能を搭載したTB67S579FTGを製品化した。

AGCで、自動で負荷に応じた電流コントロールを行い、高効率駆動な省エネ動作を実現した。またAWGSで、クロック (CLK) 周波数を変更せずにマイクロステップを行い、MCUなどの負荷を低減した。更に、Continuous Micro-steppingで、従来のマイクロステップと比べ、より正弦波駆動を行える低振動・静音性を実現した。開発したドライバー ICは、2025年9月に量産を開始した。

世界規模でのカーボンニュートラルへの動きにより、省エネ化や、再生可能エネルギー化、デジタル化などで、高効率や脱炭素に結びつける取り組み・動きが加速されている。

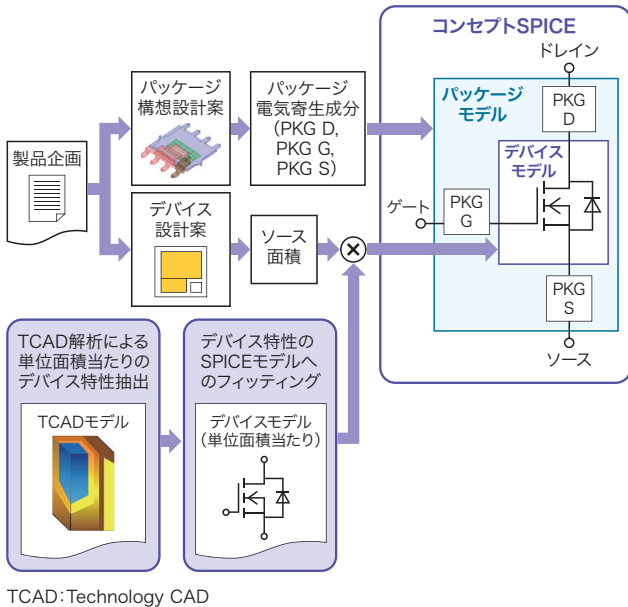
デジタルアイソレーターは、電氣的絶縁が必要な機器で、通信・制御の安定動作を支える重要な役割を担っており、その消費電力低減はカーボンニュートラルの実現に向け、産業や車載機器など広範なシステムで貢献できる。

今回、絶縁信号伝送部に新規回路技術を採用し、低消費電力を実現した小型のデジタルアイソレーターを開発した。伝送データレート1 Mビット/sから最大25 Mビット/sの動作領域において、従来品や市販品とほぼ同等かそれ以下の消費電流を実現した。

今後も、省エネ社会の実現に貢献するデジタルアイソレーターのラインアップ展開や性能向上に向けた開発を進めていく。

関係論文：東芝レビュー、2025、80、5、p.37-41。

■ 試作レス開発を実現する半導体 SPICE モデル生成技術



コンセプト SPICE モデルの生成フロー

Verification of design change impacts on electrical characteristics by integrating Simulation Program with Integrated Circuit Emphasis (SPICE) device and package models

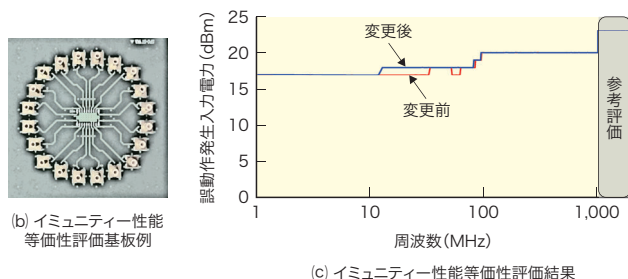
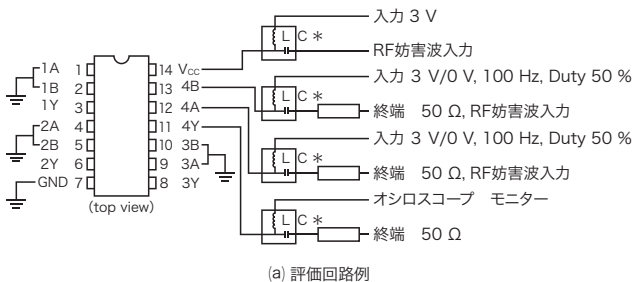
パワーエレクトロニクス分野では、技術の高度化と市場ニーズの多様化により製品開発が複雑化しており、MBDを活用したフロントローディング設計が注目されている。

当社は、構想設計の段階で電気的特性を予測するため、応力依存のキャリア移動度やトンネル効果の電界依存性などを考慮した物理モデルに基づく高精度なデバイス特性の抽出技術と、半導体 SPICE (Simulation Program with Integrated Circuit Emphasis) モデルを生成するための独自のフィッティング技術を開発した。このモデルは、構想設計での初期検討が目的のため、“コンセプト SPICE モデル”と呼んでいる。

このモデルは、既存製品の実測モデルとの比較でも十分な精度が確認されている。これにより、試作前の回路動作検証が可能となり、顧客要求との整合や開発効率の向上が図れる。今後は、温度特性や信頼性も加味し、試作レス開発の実現を目指していく。

東芝デバイス&ストレージ (株)

■ 半導体 EMC 性能の等価性評価法の確立



GND: 接地 L: インダクター C: コンデンサー RF: 高周波
*LC回路はBias-Teeを使用

等価性評価法の適用事例

Practical application of equivalency evaluation methods to semiconductor electromagnetic compatibility (EMC) testing

車載半導体製品における EMC (電磁環境両立性) 性能は、PCN (製造工程変更) 時に車両再認定が必要となるなど、承認プロセスの負担増大が課題であり、特に多品種が対象の場合、評価対象選定や再現性確保で業界全体の標準化が求められていた。そこで、一般社団法人 電子情報技術産業協会 (JEITA) で JEITA 規格 ED-5008A 「半導体 EMC 性能等価性評価法」が策定され、標準手法が定義された。更に、自動車用半導体製品向けには、公益社団法人 自動車技術会 (JSAE) との連携により JASO 規格 D019 「自動車用半導体 EMC 性能等価性試験法」が策定された。

当社は、これらの規格策定において、自社製品の多品種製品対応を実例に、社内 EMC 評価施設で規格準拠の評価を実施して代表選出基準と評価指標の妥当性を検証し、規格の実効性と再現性の向上に寄与した。加えて JEITA, JSAE の委員会での議論に参画し、業界全体の合意形成と規格普及を推進し、部品切り替え時の負担軽減に貢献している。

東芝デバイス&ストレージ (株)