

1,200 V 級 SiC トレンチ MOSFET の 低損失・高信頼性技術

Technologies for Low-Loss, High-Reliability 1 200 V-Class SiC Trench MOSFETs

田中 克久 TANAKA Katsuhisa 楠本 雄司 KUSUMOTO Yuji 鈴木 拓馬 SUZUKI Takuma

カーボンニュートラル社会の実現に向け、低損失な SiC（炭化ケイ素）パワー半導体が注目されている。

東芝デバイス&ストレージ(株)は、セルピッチ縮小による低オン抵抗化を目的に、1,200 V 級 SiC トレンチ MOSFET（金属酸化膜半導体型電界効果トランジスター）を試作した。評価の結果、面積当たりのオン抵抗（特性オン抵抗） $R_{on,A}$ は 25℃で $1.50 \text{ m}\Omega \cdot \text{cm}^2$ と従来の SiC プレーナー MOSFET に比べ 30% 低減し、耐圧 1,500 V 以上及び短絡耐量 2.5 μs を確認した。また、トレンチ形状のラウンド化プロセス適用により、非適用サンプルと比べてゲートリーク電流 I_g を 1/100 以下に改善し、トレンチ開口幅の増加を抑制することでセルピッチを 29% 縮小した。更に、GSI（Gate Switching Instability）現象を抑制する製造プロセス最適化により、しきい値電圧 V_{th} 変動を低減して信頼性の向上を図った。

Concerted efforts are being made to develop low-loss silicon carbide (SiC) power devices to help achieve a carbon-neutral society.

Toshiba Electronic Devices & Storage Corporation has fabricated a prototype 1 200 V-class SiC trench metal-oxide-semiconductor field-effect transistor (MOSFET) to reduce on-resistance through cell-pitch scaling. Experiments have confirmed the prototype's performance including (1) specific on-resistance ($R_{on,A}$) of $1.50 \text{ m}\Omega \cdot \text{cm}^2$ at a temperature of 25°C, which is 30% lower than that of conventional planar SiC MOSFETs, (2) breakdown voltage of more than 1 500V, (3) short-circuit withstand time of 2.5 μs , (4) application of the trench shape rounding process to reduce the gate leakage current (I_g) to less than 1/100 that of samples without the process, reduction of the cell pitch by 29% by suppressing increases in the trench opening width, and (5) suppression of threshold voltage (V_{th}) shifts and improving reliability via an optimized manufacturing process to control gate switching instability (GSI) phenomena.

1. まえがき

カーボンニュートラル社会の実現に向け、電力変換器の損失低減が不可欠である。電力変換器の構成要素の一つであるパワー半導体では、近年、Si（シリコン）よりも高耐圧・低損失化が可能な材料として SiC が注目されている。

また、パワー MOSFET の損失を低減させるには、セル構造の繰り返し寸法（セルピッチ）を縮小し、単位面積あたりの MOSFET セル数を増加させる必要がある。セルピッチ縮小には、従来のプレーナーゲート構造と異なり、基板に溝を形成して、その内部にゲート電極を埋め込むトレンチゲート構造が用いられている。この構造により、MOSFET セル数の増加が可能となる。

一方、パワー半導体は、自動車や産業機器など、あらゆる電気機器で使用され、高性能であると同時に高い信頼性が求められる。トレンチ MOSFET では、トレンチ加工による形状制御が重要であり、ゲート信頼性への影響が大きい。更に、SiC トレンチ MOSFET では、SiC プレーナー MOSFET では見られなかった GSI 現象⁽¹⁾（正負のゲート電圧印加を繰り返し続けることで、 V_{th} が変動する現象）の発生が一般に

知られている。これら信頼性の問題を克服した上で、トレンチ MOSFET の利点である低損失化を実現することが求められている。

東芝デバイス&ストレージ(株)は、SBD（Schottky Barrier Diode）内蔵 SiC プレーナー MOSFET を量産しており、鉄道車両をはじめとする様々な分野での適用を進めている。また、セルピッチ縮小による低オン抵抗化を目的に、新たに SiC トレンチ MOSFET を開発してきた。

ここでは、当社が新たに開発中の 1,200 V 級 SiC トレンチ MOSFET の試作評価結果と、低損失化及び高信頼性化の現状について述べる。

2. 1,200 V 級 SiC トレンチ MOSFET の静特性・動特性

試作したトレンチ MOSFET の断面概略図を、図 1 に示す。オフ時のトレンチ底部での酸化膜の電界緩和を目的として、トレンチ底部に p（p 型半導体）層を形成した構造である⁽²⁾⁻⁽⁴⁾。

トレンチ MOSFET に求められる特性は、低オン抵抗と高耐量の両立であるので、静特性、短絡耐量、及びアバランシェ耐量に関する評価結果を以下で示す。



図1. 試作したSiCトレンチMOSFETの断面概略図

トレンチの底部にp層を形成した構造により、セルピッチ縮小とトレンチ底部の酸化膜に印可される電界の緩和を両立できる。

Cross-sectional structure of prototype SiC trench MOSFET

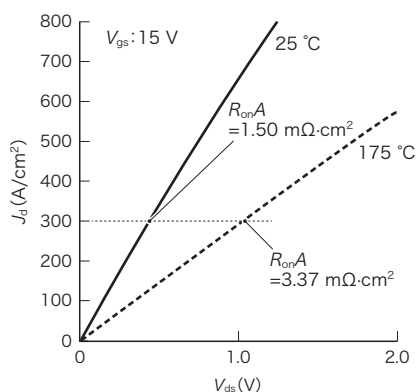


図2. 試作したトレンチMOSFETの出力特性

$R_{on}A$ は、25 °C で $1.50 \text{ m}\Omega \cdot \text{cm}^2$ 、175 °C で $3.37 \text{ m}\Omega \cdot \text{cm}^2$ を実現した。

Drain current density (J_d)-drain-source voltage (V_{ds}) characteristics

2.1 静特性

図2に、試作したトレンチMOSFETの出力特性として、ドレイン-ソース間電圧 V_{ds} に対するドレイン電流密度 J_d の関係を示す。測定温度は25 °C及び175 °Cの2条件とし、ゲート-ソース間電圧 V_{gs} が15 Vでの結果である。 $R_{on}A$ ($=V_{ds}/J_d$) は、25 °Cで $1.50 \text{ m}\Omega \cdot \text{cm}^2$ であり、現行のSiCプレーナ MOSFETと比較して30 %の低減を達成した。また、175 °Cでの $R_{on}A$ は $3.37 \text{ m}\Omega \cdot \text{cm}^2$ を得た。

図3に、 V_{gs} が0 Vでのブロッキング電圧特性として、 V_{ds} に対するドレインリーク電流の関係を示す。 V_{ds} が定格電圧の1,200 V印加時、ドレインリーク電流は、25 °Cで0.1 μA であり、175 °C環境下でも1 μA 以下に抑えることができた。耐圧は V_{ds} 1,500 V以上を達成して、十分な耐圧を確保した。

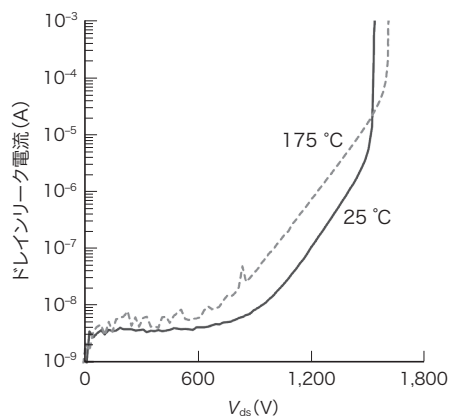
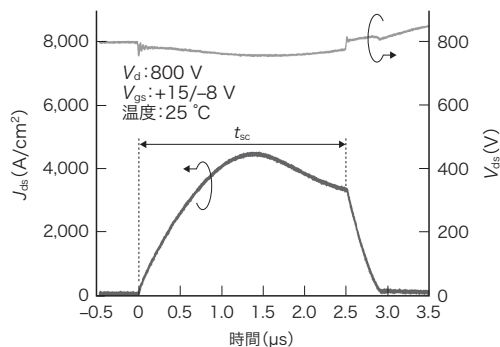


図3. 試作したトレンチMOSFETのブロッキング電圧特性

25 °Cと、175 °Cの両環境で、低いドレインリーク電流を実現した。

Blocking voltage characteristics

図4. 負荷短絡時のデバイス破壊直前での短絡電流密度 J_{ds} の波形

$R_{on}A$ を25 °Cで $1.50 \text{ m}\Omega \cdot \text{cm}^2$ まで低減したデバイスで、 t_{sc} は2.5 μs を確保できた。

Short-circuit current density waveform before device failure

2.2 短絡耐量

図4に、負荷短絡時の、特にデバイス破壊直前での短絡電流密度 J_{ds} の波形を示す。測定条件は、温度が25 °C、電源電圧 V_d が800 V、 V_{gs} のターンオン電圧+15 V、ターンオフ電圧-8 Vとした。短絡時間 t_{sc} は2.5 μs であり、 $R_{on}A$ が $1.50 \text{ m}\Omega \cdot \text{cm}^2$ のデバイスとして、十分に長い時間の短絡に耐えることを確認した。

また、隣接する底部p層の間隔を変化させた場合の $R_{on}A$ と t_{sc} の関係を図5に示す。底部p層の間隔が小さい場合、 $R_{on}A$ が低くなると同時に、 t_{sc} は長くなった。この結果は、底部p層の間隔を小さくした上で $R_{on}A$ を維持する設計とすることで、長い t_{sc} と低い $R_{on}A$ の両立が可能であることを示している。

2.3 アバランシェ耐量

底部p層を形成するトレンチMOSFETでは、底部p層を

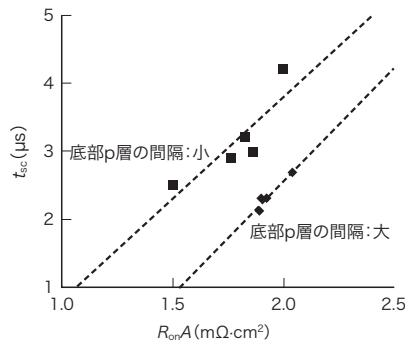
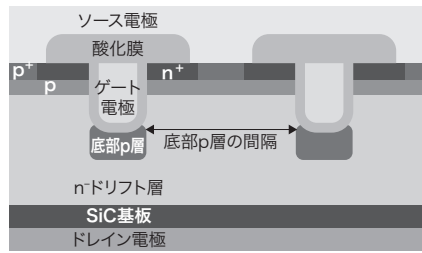


図5. 底層p層の間隔が異なるデバイスでの $R_{on}A$ と t_{sc} の関係

底層p層の間隔を小さくして、デバイス構造を適正化したことで、長い短絡時間を実現できた。

Relationship between short-circuit withstand time (t_{sc}) and $R_{on}A$ of devices with different bottom p-well spacing

浮遊させないため、ソースと接続する必要がある。当社のデバイスでは、図1の紙面奥行き方向にソースと接続した接地構造を形成し、底層p層が浮遊状態になることを防いでいる。

底層p層とソースとの間に存在する接地抵抗 R_{bpg} を変化させた場合のアバランシェ耐量を評価した結果を、図6に示す。TCAD (Technology CAD) シミュレーションにより試算した R_{bpg} に対し、アバランシェ破壊時のピーク電流密度（アバランシェ耐量） J_{AV} の関係である。アバランシェ耐量の評価回路中の負荷の L （インダクタンス）は、20, 50, 100 μH の3種類とした。

R_{bpg} を高くした場合、 L が100 μH の条件では J_{AV} の低下が見られ、アバランシェ耐量の低下を確認した。一方、 R_{bpg} を低減した場合、 J_{AV} はある一定値に到達した。この結果から、 R_{bpg} の低減がアバランシェ耐量の改善に有効であることを明らかにした。

3. ラウンド化プロセス検討による I_g 改善と微細化の実現

SiやSiCのトレンチMOSFETでは、トレンチ表面部や底部の形状が直角に近く角張っている場合、トレンチ表面のゲート電極引き出し部やトレンチ底部で電解集中が起きるた

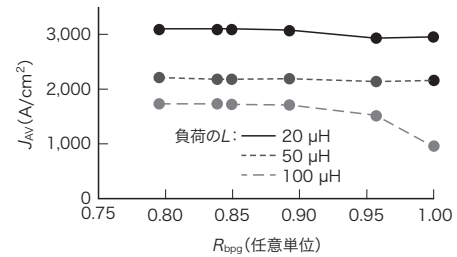


図6. J_{AV} の R_{bpg} への依存性

R_{bpg} を減らすことで、アバランシェ耐量を確保できた。

Avalanche current density (J_{AV}) dependence on resistance between bottom p-well and grounded source (R_{bpg})

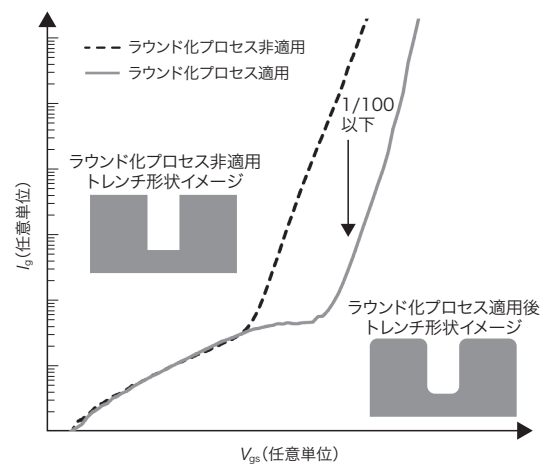


図7. ラウンド化プロセス適用の有無による I_g - V_{gs} 特性の比較

ラウンド化プロセスを適用したことで、同じ V_{gs} 値での I_g を抑制した。

Gate leakage current (I_g)-gate-to-source voltage (V_{gs}) characteristics with and without rounding

め、 I_g の悪化により信頼性を低下させる可能性がある。また、チャネル形成するトレンチ側壁のラフネスが大きい形状は、チャネル部の移動度の低下につながってオン抵抗の増加が懸念される。特に前述の信頼性の改善では、SiやSiCのトレンチMOSFETでも、熱酸化や、アニール、ケミカルドライエッチング(CDE)などの手法により、トレンチ周辺での角部のラウンド化やラフネスの平滑化が報告されている⁽⁵⁾⁻⁽⁷⁾。

そこで、試作したトレンチMOSFETでも、微細化プロセスによるセルピッチ縮小で低オン抵抗化を実現することを踏まえ、トレンチ形状の変動を抑制しながら、角部のラウンド化やトレンチ側壁の平滑化のプロセスを適正化した。図7に、SiC基板上にゲート酸化膜とゲート電極を形成した簡易なトレンチMOS（金属酸化膜半導体）キャパシターでの I_g の測定で、ラウンド化プロセス適用の有無による I_g - V_{gs} 曲線の測定結果の違いを示す。トレンチ加工のRIE（反応性イオ

ンエッチング)後にラウンド化プロセスを実施しないラウンド化プロセス非適用サンプルに比べ、適用サンプルは同じ V_{gs} での I_g が1/100以下であり、 I_g が抑制できることを確認した。

また、ラウンド化プロセス適用に伴うトレンチ開口幅の増量は非適用サンプルに比べて11%程度の増加に抑制されており、従来の当社製プレーナーMOSFET⁽⁸⁾に比べて、セルピッチを29%低減させることに成功した。

4. SiCトレンチMOSFETのゲートの高信頼性化

SiCパワー半導体では、従来のSiでは問題とならなかった、ワイドバンドギャップ材料であるSiC特有の信頼性の問題として、GSI現象がある。

SiCトレンチMOSFETでは、高性能化開発を進めるとともに、GSI現象の理解と対策を進め、その抑制に成功した。

GSI現象のメカニズムは、以下のように説明される。正負のゲート電圧を交互に印加するゲートスイッチングにより、ゲート絶縁膜界面には反転した電子と蓄積した正孔の両キャリアが交互に誘起される。このとき、ゲート絶縁膜界面近傍では、格子欠陥が作るキャリア捕獲準位を介したキャリアの生成・捕獲・放出・再結合(Shockley-Read-Hall再結合)が生じる。ワイドバンドギャップ材料であるSiCでは、Siと比べて相当に大きな再結合エネルギーを放出し得る。このエネルギー放出過程は、大別して二つある。一つはフォトン放出(発光)を伴う輻射(ふくしゃ)再結合、もう一つはフォノン放出(発熱)を伴う非輻射再結合である。非輻射再結合で放出されたフォノンエネルギーの格子への伝達は、フォノンキック(phonon kicks)と呼ばれ、局所的な格子振動が励起されることで、REDRs(Recombination-Enhanced Defect Reactions)と呼ばれる格子欠陥の生成や回復が生じる^{(1), (9)}。REDRsは、キャリア再結合の発生数に依存すると考えられる。

図8に、試作したトレンチMOSFETのGSI試験結果として、ゲートスイッチングのスイッチングサイクル数に対する、 V_{th} の変動量である ΔV_{th} の依存性を、製造プロセス最適化前後で比較して示す。スイッチングサイクル数の増大に応じて ΔV_{th} が増える傾向が分かる。また、トレンチMOSFETの製造プロセスを最適化したことで、 ΔV_{th} を低減できたことが分かる。

図9に、GSI試験結果として、 ΔV_{th} の温度依存性を、製造プロセス最適化前後で比較して示す。製造プロセス最適化前では、GSI現象による ΔV_{th} は低温側で顕著である。これは、低温下のゲートスイッチングでは、格子欠陥の回復に比べて生成が優勢となった結果と考えられる。製造プロセス最適化後では、低温側で ΔV_{th} が低減されたことが分か

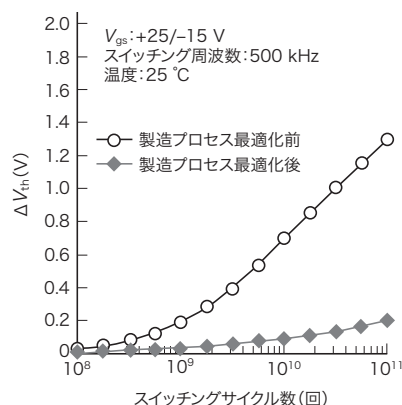


図8. GSI試験での ΔV_{th} のスイッチングサイクル数依存性

スイッチングサイクル数の増大に応じて、 ΔV_{th} は増える傾向が分かる。製造プロセスを最適化したことで、 ΔV_{th} が抑制された。

V_{th} shift (ΔV_{th}) dependence on number of gate switching cycles during GSI tests

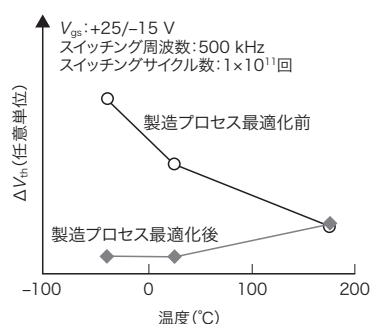


図9. GSI試験での ΔV_{th} の温度依存性

プロセス最適化前は負の温度依存性を持つ ΔV_{th} が観測されるが、最適化後は低温側の ΔV_{th} が抑制されている。

ΔV_{th} temperature dependence during GSI tests

る。これは、当社独自のプロセスにより、MOSチャネル近傍のキャリア捕獲準位密度を低減した結果、ゲートスイッチング時のキャリア再結合によるフォノンキックが大幅に抑制されたことに由来すると考えられる。ここで、製造プロセス最適化後に初めて現れる、高温側で顕著な ΔV_{th} 成分は、フォノンキック由来の V_{th} 変動が低減された結果、外部から与えられた熱フォノンによる、正の活性化エネルギーを持つ欠陥生成挙動を反映していると考えられる⁽⁹⁾。これらから、当社のトレンチMOSFETは、GSI現象の主要成分である負の温度依存性を持つ ΔV_{th} 成分の排除に成功したといえる。

5. あとがき

カーボンニュートラル社会の実現に向けた低損失SiCパワー半導体開発の一環として、1,200V級SiCトレンチ

MOSFETを試作した。ここでは、その評価結果と信頼性向上について述べた。セルピッチ縮小による低オン抵抗化、トレンチ形状の適正化による I_g の低減、更にGSI現象の抑制など、問題解決に向けた多角的なアプローチを実施し、低損失化と高信頼性の両立に一定の成果を得られた。

今後は、更なる製造プロセス最適化や長期信頼性評価を進めるとともに、鉄道車両や産業機器など幅広い分野への適用を目指し、実用化に向けた開発を加速していく。

この成果は、NEDO（国立研究開発法人 新エネルギー・産業技術総合開発機構）の助成事業「グリーンイノベーション基金事業／次世代デジタルインフラの構築」プロジェクト「次世代パワー半導体デバイス製造技術開発」(JPNP21029)の結果、得られたものである。

文 献

- (1) Grasser, T. et al. "A Recombination-Enhanced-Defect-Reaction-Based Model for Gate Switching Instability in SiC MOSFETs". Proc. 2024 IEEE International Reliability Physics Symposium (IRPS). p.3B.1-1-3B.1-7.
- (2) Baliga, B.J. U. S. Patent 5396085. 1995-03-07.
- (3) Tanaka, K. et al. "Impact of bottom p-well grounding resistance on unclamped inductive switching ruggedness of SiC trench MOSFETs". Proc. 2025 37th International Symposium on Power Semiconductor Devices and ICs (ISPSD). Kumamoto, Japan, 2025-06, IEEE Electron Device Society. 2025, p.689-692.
- (4) Kono, H. et al. "Technology Trends of performance improvement in SiC MOSFETs: The Impact of Trench and Super Junction Structure Technology". ICSCRM 2025. <<https://easychair.org/smart-program/ICSCRM2025/2025-09-16.html#session:98523>>, (accessed 2025-10-22).
- (5) Kutsuki, K. et al. Effect of surface roughness of trench sidewalls on electrical properties in 4H-SiC trench MOSFETs. Jpn. J. Appl. Phys. 2018, **57**, 4, 04FR02

- (6) Kojima, T. et al. Reliability Improvement and Optimization of Trench Orientation of 4H-SiC Trench-Gate Oxide. Mater. Sci. Forum. 2014, **778-780**, Pt.1 p.537-540.
- (7) Yamabe, K. ; Imai, K. Nonplanar oxidation and reduction of oxide leakage currents at silicon corners by rounding-off oxidation. IEEE Trans. Electron Devices.1987, **34**, 8, p.1681-1687.
- (8) Asaba, S. et al. "Impact of Reverse Current Spreading on Diode Conduction Reliability Of SBD-Embedded SiC MOSFET with Deep P-Shield Structure". Proc. 2024 36th International Symposium on Power Semiconductor Devices and ICs (ISPSD), Bremen, Germany, 2024-06, p.5-8.
- (9) Weeks, J. D. et al. Theory of recombination-enhanced defect reactions in semiconductors. Phys. Rev. B. 1975, **12**, 8, p.3286-3292.



田中 克久 TANAKA Katsuhisa
東芝デバイス&ストレージ(株)
半導体事業部 先端半導体デバイス開発センター
電気学会・応用物理学会会員
Toshiba Electronic Devices & Storage Corp.



楠本 雄司 KUSUMOTO Yuji
東芝デバイス&ストレージ(株)
半導体事業部 先端半導体デバイス開発センター
Toshiba Electronic Devices & Storage Corp.



鈴木 拓馬 SUZUKI Takuma
東芝デバイス&ストレージ(株)
半導体事業部 先端半導体デバイス開発センター
Toshiba Electronic Devices & Storage Corp.