

U-MOS11-Hプロセスで損失を低減した 100 V 耐圧パワー MOSFET

Low-Loss 100 V Power MOSFET Fabricated with Trench Gate U-MOS11-H Eleventh-Generation Process Contributing to Energy Saving

川井 博文 KAWAI Hirofumi 山本 洋 YAMAMOTO Hiroshi

5G（第5世代移動通信システム）によって社会の利便性は劇的に向上しており、今後もその普及率向上、用途拡大が想定される。それに伴い基地局の増加が見込まれ、それらに用いられるパワーマネジメントシステムや、DC（直流）-DCコンバーター、及びパワー MOSFET（金属酸化膜半導体型電界効果トランジスター）の変換効率向上が求められている。

東芝デバイス&ストレージ(株)は、DC-DCコンバーターの変換効率向上に寄与するSi（シリコン）パワー MOSFETを継続的に提供してきた。今回、トレンチゲート構造の第11世代であるU-MOS11-Hプロセスを採用し、電力の損失に影響する重要な性能指標である $R_{DS(ON)} \cdot Q_{gd}$ （ドレイン-ソース間オン抵抗 $R_{DS(ON)}$ とゲート-ドレイン間電荷量 Q_{gd} の積）を、第10世代のU-MOSX-Hプロセスの採用に対し62%低減した100 V耐圧パワー MOSFETをリリースした。

Construction of fifth-generation (5G) base stations is expected to increase in line with the proliferation and expanded scope of application of 5G mobile communications for greater convenience in society. To meet the needs of this growing network, the conversion efficiency of power management systems, DC-DC converters, and power metal-oxide-semiconductor field-effect transistors (MOSFETs) must be improved to reduce base station power consumption.

Toshiba Electronic Devices & Storage Corporation offers silicon (Si) power MOSFETs that help improve the conversion efficiency of DC-DC converters. We have launched a new environmentally-friendly 100V power MOSFET fabricated with U-MOS11-H process, our latest eleventh-generation process with trench gate structures. It provides a 62% reduction in $R_{DS(ON)} \cdot Q_{gd}$, an important performance index affecting power loss derived from multiplying drain-source on-resistance ($R_{DS(ON)}$) and gate-drain charge (Q_{gd}), compared with our conventional products fabricated with the tenth-generation U-MOSX-H process.

1. まえがき

5Gは、高速大容量、低遅延、及び多数同時接続の特長があり、世界的に3G（第3世代移動通信システム）や4G（第4世代移動通信システム）からの置き換えにより拡大中である。今後も世界的な普及率の向上や、スマートホーム・農業・物流・医療・災害対策などの用途の多様化により更に活用が拡大する見通しである。それに伴い、基地局も増加の一途をたどり、それらに用いられるDC-DCコンバーターの低消費電力化・高変換効率化の要求が高まっている。

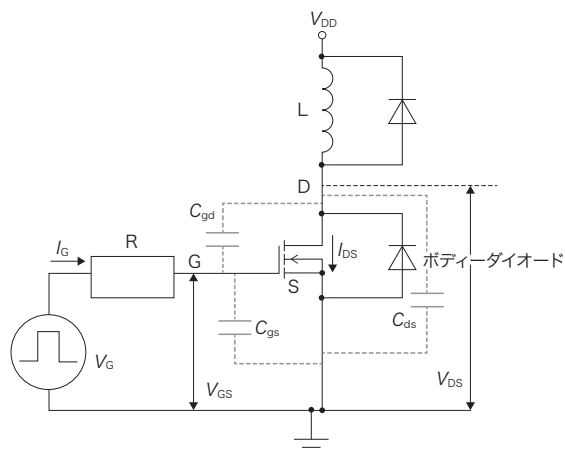
東芝デバイス&ストレージ(株)は、DC-DCコンバーターの変換効率向上に寄与するSiパワー MOSFETを継続的に開発してきた^{(1), (2)}。今回、DC-DCコンバーターに使用されるパワー MOSFETのスイッチング損失低減に重要な性能指標である $R_{DS(ON)} \cdot Q_{gd}$ を、前世代である第10世代の従来品に対して62%低減し、省エネ性を大幅に改善したU-MOS11-Hプロセスの100 V耐圧品を製品化した。また同時に、重要な性能指標である $R_{DS(ON)} \cdot Q_g$ （ $R_{DS(ON)}$ とゲート電荷量 Q_g の積）を42%低減し、 $R_{DS(ON)} \cdot Q_{rr}$ （ $R_{DS(ON)}$ と逆

回復電荷量 Q_{rr} の積）も43%低減した。

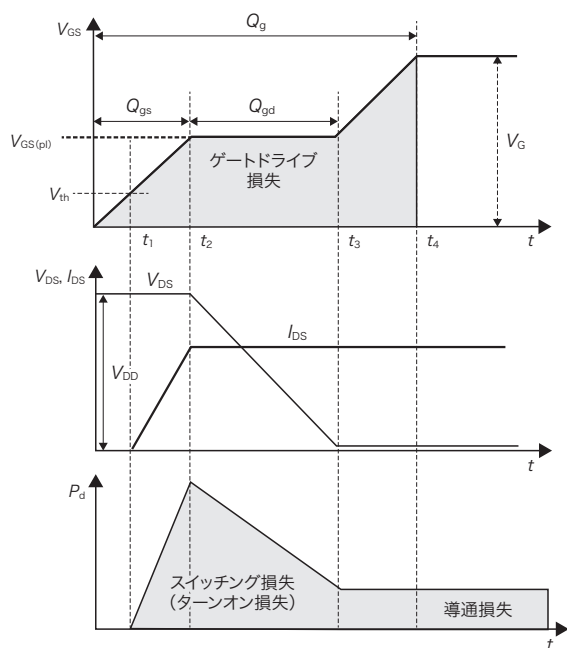
ここでは、まずDC-DCコンバーターの性能向上に向けて低減すべき損失について説明する。続いて、U-MOS11-Hプロセスの100 V耐圧品の概要と製品の主要特性、回路シミュレーションによる効果検証の結果、更にDC-DCコンバーターの代表的な回路での実測による確認結果について述べる。

2. DC-DCコンバーターの損失低減へのアプローチ

パワー MOSFETを用いたDC-DCコンバーターで低減する損失について、まず図1にインダクター負荷回路を例にして示す。図1(a)の回路構成で、図1(b)にターンオン（ゲート駆動）電圧 V_G 印加時からの時間 t に対する変化として、ゲート-ソース間電圧 V_{GS} と、そのときのゲート電流 I_G と t_4 の積で定義されるゲート入力電荷量 Q_g 、ドレイン-ソース間電流 I_{DS} 、ドレイン-ソース間電圧 V_{DS} 、及び損失量 P_d の関係を示す⁽³⁾。パワー MOSFETの導通抵抗による熱損失が、導通損失である。スイッチング時の過渡的な電流（ I_{DS} ）と電圧（ V_{DS} ）の積（IV積）として生じる損失が、スイッチング損



(a) インダクティブ負荷の回路図



(b) 動作時の時間と各損失の関係

V_{DD} :ドレイン接続の電源電圧 L :インダクタ R :抵抗 D :ドレイン
 G :ゲート S :ソース C_{ds} :ドレイン-ソース間寄生容量
 Q_{gs} :ゲートに電圧印加後からミラー期間の手前(t_2)までに C_{gs} を充電する電荷量
 V_{th} :しきい値電圧 $V_{GS(pl)}$:ゲートプラトー電圧

図1. DC-DCコンバーターで低減する損失のインダクティブ負荷回路での例

インダクティブ負荷回路の動作波形を例としてDC-DCコンバーターで低減すべき損失には、ゲートドライブ損失、スイッチング損失、導通損失がある。

Example of reduction target losses in inductive load DC-DC converters

失(図1(b)の例ではターンオン損失)であり、主に I_G でゲート-ドレイン間寄生容量 C_{rss} (図1の例では C_{gd})を充電する Q_{gd} に相関を持つ。また、 I_G でゲート寄生容量(ゲート-ソース間寄生容量 C_{gs} と C_{gd} の和)を充電する損失(図1(b)の V_{GS} での着色部)が、ゲートドライブ損失である。

次に、図2に、DC-DCコンバーターのリカバリー損失の例を示す。パワーMOSFETのボディ(寄生)ダイオードに

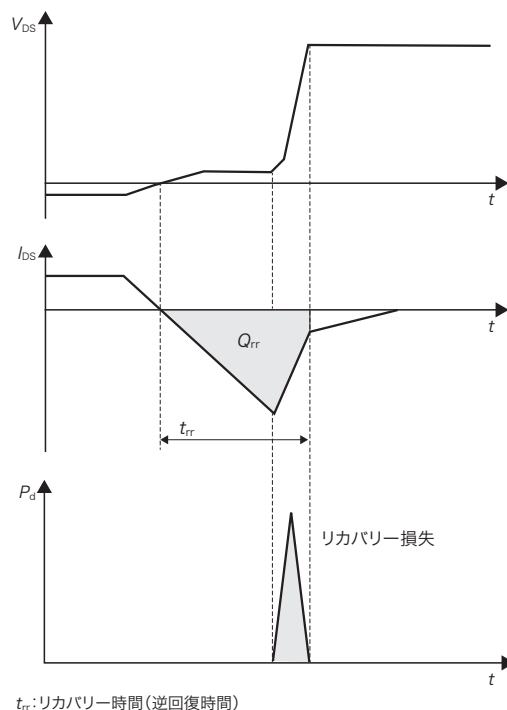


図2. DC-DCコンバーターで低減対象となるリカバリー損失の例

DC-DCコンバーターで低減可能なもう一つの損失として、リカバリー損失がある。

Example of reduction target recovery loss in DC-DC converters

順方向電流が流れている状態から電流が停止する際、少数キャリアの流れによって過渡的なIV積が生じる。これがリカバリー損失である⁽²⁾。

U-MOS11-Hプロセスの100 V耐圧品の開発では、これらの損失をそれぞれ低減し、改善を図った。

3. U-MOS11-H プロセスの100 V 耐圧品開発のポイントと主要特性

図3は、プロセス概要と開発ポイントをU-MOS X-Hプロセスの100 V耐圧品と比較して示す。表1は、U-MOS11-Hプロセスの100 V耐圧品(SOP Advance (N) パッケージ)の主要特性を、同一チップサイズのU-MOS X-Hプロセス品と比較して示す。

トレンチピッチ(a)はU-MOS X-Hプロセスより12%縮小し、これによりチャネルの並列本数を増加させ、 $R_{DS(ON)}$ を8%低減した。

また、ゲート電極の形成方法を改良し、ゲート電極下部の深さ方向のばらつき(ゲート電極下端加工ばらつき)(b)がU-MOS X-Hプロセスと比較して75%低減し、ゲート電極下端のベース端までのオーバーラップ設計マージン(c)を大幅に低減した。これにより、 $C_{gd}(d)$ (表1では C_{rss})を

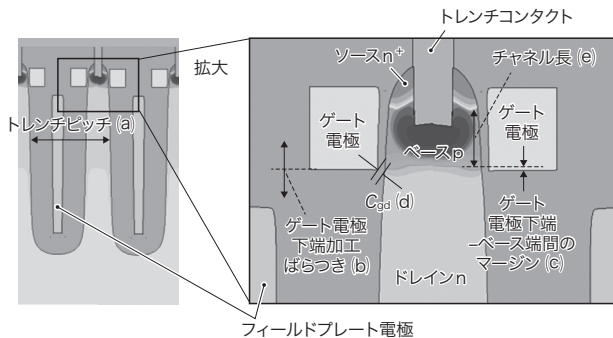
表1. U-MOS11-HとU-MOSX-Hプロセスを採用した100 V耐圧パワー MOSFETの主要特性での典型的な値の比較

Comparison of main electrical characteristics of 100 V power MOSFETs fabricated with U-MOSX-H and U-MOS11-H processes

世 代	代表製品名*	$R_{DS(ON)} (m\Omega)$ $V_G: 10 V,$ $I_{DS}: 50 A$	$C_{rss} (pF)$	$Q_{gd} (nC)$	$Q_g (nC)$	$Q_r (nC)$ (dI_{DS}/dt): 100 A/ μs	$R_{DS(ON)} \cdot Q_{gd}$ ($m\Omega \cdot nC$)	$R_{DS(ON)} \cdot Q_g$ ($m\Omega \cdot nC$)	$R_{DS(ON)} \cdot Q_{rr}$ ($m\Omega \cdot nC$)
U-MOS11-H	TPH2R70AR5 ライフタイム制御あり	2.3	23	9.1	52	55	21	120	127
	改善比	-8 %	-49 %	-59 %	-37 %	-38 %	-62 %	-42 %	-43 %
U-MOSX-H	TPH3R10AQM	2.5	45	22	83	89	55	208	223

*パッケージ仕様は、SOP Advance (N) で同一

開発のポイント	U-MOS11-H	U-MOSX-H
トレンチピッチ(a)の比	0.88	1
チャネル長(e)の比	0.54	1
ゲート電極下端加工ばらつき(b)の比	0.25	1
ライフタイム制御	適用/非適用(選択)	非適用



p:p型半導体 n:n型半導体 nt:不純物濃度が高いn型半導体

*エリア間の濃淡は不純物濃度分布のイメージ

図3. U-MOS11-Hプロセスの100 V耐圧品の概要と開発のポイント

プロセスの100 V耐圧品の開発ポイントは、従来のU-MOSX-Hプロセスに比べ、3項目の短縮・微細化とライフタイム制御の選択的適用である。

Cross-sectional outline and main specifications of 100 V power MOSFETs fabricated with U-MOS11-H process

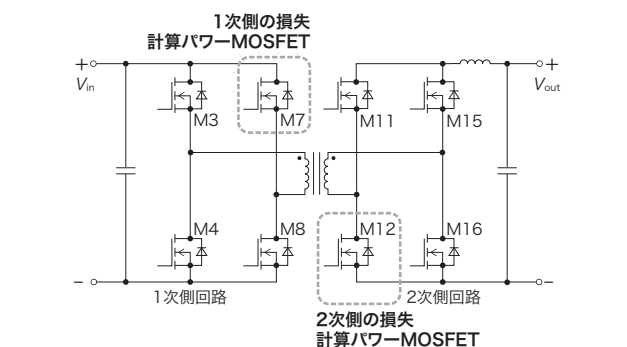
49 %低減した。これらの結果、重要な性能指標 $R_{DS(ON)} \cdot Q_{gd}$ はU-MOSX-Hプロセスに比べて62 %低減した。

更に、チャネル長(e)をU-MOSX-Hプロセスに比べて54 %に縮小し、 Q_g を37 %低減した。そして、ライフタイム制御はオプションで適用/非適用を選択可能とし、制御手法としては開発済みの技術⁽²⁾を横展開した。これらの取り組みにより、 $R_{DS(ON)} \cdot Q_g$ を42 %、 $R_{DS(ON)} \cdot Q_{rr}$ を43 %低減した。

4. 回路シミュレーションによる効果検証

実機評価とは異なり、回路シミュレーションでは理想的な環境で動作するパワー MOSFETの損失分析ができる。そこで、パワー MOSFETの損失低減効果を確認するため、U-MOS11-HプロセスとU-MOSX-Hプロセスの100 V耐圧品の実測特性から、固有の値であるSPICE (Simulation

検証の種類	入力電圧 V_{in}	出力電圧 V_{out}
1次側検証	-54 V	54 V
2次側検証	-28 V	32 V



(a) 1 kW絶縁型フルブリッジDC-DCコンバーターの回路概要図

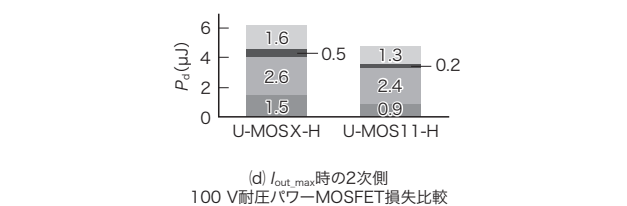
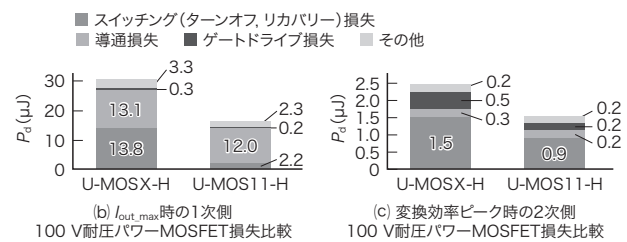
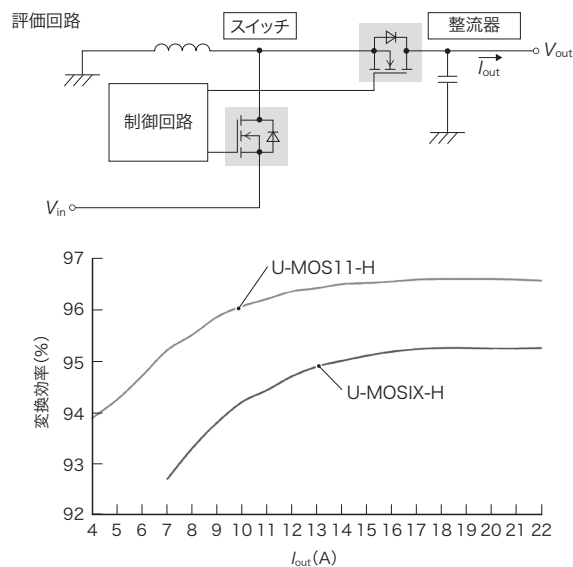


図4. 1 kW DC-DCコンバーター回路での損失シミュレーション結果

1次側はM7、2次側はM12のパワー MOSFETで損失内訳を解析し、U-MOSX-Hプロセスで支配的だった損失とその低減効果を確認した。

1 kW DC-DC converter power loss simulation results

Program with Integrated Circuit Emphasis)パラメータを抽出し、回路シミュレーションソフトウェアのLTspice[®]を用いて損失計算を実施した。図4(a)に、1 kW絶縁型フルブリッジDC-DCコンバーターの回路概要図を示す。1次側パワー MOSFETの損失計算をM7で、2次側パワー MOSFETの損失計算をM12で行った。



V_{in} : -48 V, V_{out} : +14 V, スイッチング周波数: 150 kHz
*U-MOSX-Hはこの回路で未評価のため、U-MOSIX-Hを参考に掲載

図5. バックブーストDC-DCコンバーターでの変換効率の実測値比較

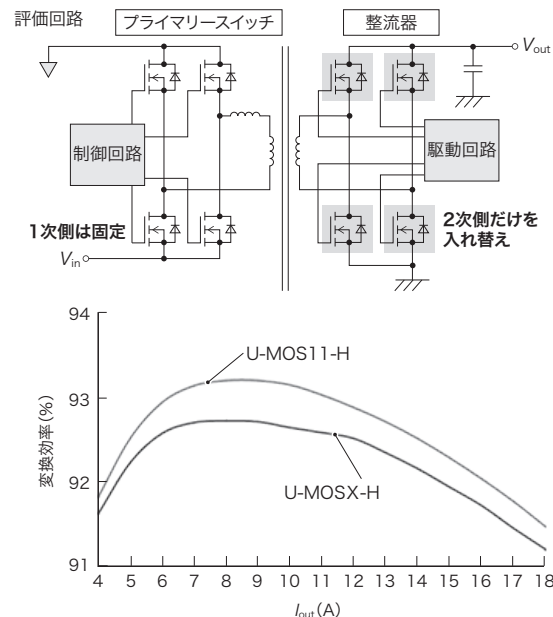
I_{out} が4 ~ 22 Aの範囲で、U-MOS11-HはU-MOSIX-Hより高い変換効率を示し、損失低減を確認した。

Buck-boost DC-DC converter conversion efficiency measurement results using 100 V power MOSFETs fabricated with U-MOSIX-H and U-MOS11-H processes

図4(b)は、出力電流最大(I_{out_max})時の1次側パワーMOSFETの損失比較であり、スイッチング(ターンオフ)損失がU-MOS11-Hプロセスの100 V耐圧品では約1/6に低減されることを確認した。これは、 C_{gd} 、及び Q_{gd} の低減によりスイッチング時の遷移時間が短縮され、ターンオフ損失が低減された効果を示している。図4(c)は、変換効率がピークとなる出力電流(I_{out} (ピーク))時の2次側パワーMOSFETの損失比較である。 I_{out} (ピーク)時の損失はスイッチング(リカバリー)損失が支配的であり、ライフタイム制御による Q_{rr} の低減の寄与により、リカバリー損失が40 %低減されたことを確認した。図4(d)は、 I_{out_max} 時の2次側パワーMOSFET損失の比較である。 I_{out_max} のような高電流領域では導通損失が支配的であり、 $R_{DS(ON)}$ の低減による導通損失の8 %低減が見込みどおり寄与していることを確認した。

5. DC-DCコンバーターの実機での損失低減の確認

回路方式や動作条件によりスイッチングのタイミングが変化し、損失低減の効果も異なるため、代表的な回路としてバックブーストDC-DCコンバーターと1 kW絶縁型フルブリッジDC-DCコンバーターの実機に100 V耐圧パワーMOSFETを用い、変換効率の向上から損失低減の確認を行った。変換効率は、入力電力に対する出力電力の比率と



V_{in} : -32 V, V_{out} : +32 V, スイッチング周波数: 113 kHz

図6. 1 kW絶縁型フルブリッジDC-DCコンバーターでの2次側変換効率の実測値比較

2次側のパワーMOSFETだけを、U-MOS11-HとU-MOSX-Hプロセス品で入れ替え、 I_{out} が4 ~ 18 Aの範囲で実測した結果、U-MOS11-Hはより高い変換効率を示し、損失低減を確認した。

1 kW isolated full-bridge DC-DC converter secondary-side conversion efficiency measurement results using 100 V power MOSFETs fabricated with U-MOSX-H and U-MOS11-H processes

した。

図5は、バックブーストDC-DCコンバーターでのU-MOS 11-Hと第9世代であるU-MOSIX-Hプロセスの変換効率比較結果である。U-MOSIX-Hプロセスに対し、 I_{out} が22 Aの I_{out_max} 時に1.4ポイントの変換効率向上を確認した。これは、セル構造の最適化とライフタイム制御の適用により $R_{DS(ON)}$ と Q_{rr} が改善し、導通損失とリカバリー損失が低減されたためと推測する。一方、図6は、1 kW絶縁型フルブリッジDC-DCコンバーターで、2次側パワーMOSFETだけを入れ替えた場合の変換効率の実測値比較を示す。U-MOSX-Hプロセスに対し、 I_{out} が9 Aの I_{out} (ピーク)時で0.5ポイントの変換効率向上を確認した。

6. あとがき

DC-DCコンバーターの変換効率向上で重要な性能指標である $R_{DS(ON)} \cdot Q_{gd}$ を62 %低減したU-MOS11-Hプロセスを採用した100 V耐圧パワーMOSFETの製品をリリースした。今後は、 $R_{DS(ON)}$ とパッケージのラインアップを順次拡充していく。また、このデバイス構造を80 V耐圧品にも展開し、急拡大するAIサーバー向け電源の高効率化に寄

与していく。これらの取り組みにより、省エネや、カーボンニュートラルの実現に貢献していく。

文 献

- (1) 加賀野井啓介, ほか, 次世代大容量通信用電源向け 低耐圧パワー MOSFET技術, 東芝レビュー, 2020, **75**, 6, p.9-13, <https://www.global.toshiba/content/dam/toshiba/migration/corp/techReviewAssets/tech/review/2020/06/75_06pdf/a03.pdf>, (参照 2025-10-23).
- (2) 加賀野井啓介, ほか, 逆回復特性を大幅に改善した 150 V 及び 650 V 耐圧パワー MOSFET, 東芝レビュー, 2023, **78**, 1, p.6-9, <<https://www.global.toshiba/content/dam/toshiba/jp/technology/corporate/review/2023/01/a03.pdf>>, (参照 2025-10-23).
- (3) 東芝デバイス&ストレージ, MOSFETゲート駆動回路 Application Note, <https://toshiba.semicon-storage.com/info/application_note_ja_20180726_AKX00023.pdf?did=59459>, (参照 2025-10-23).

・ LTspice は, Analog Devices, Inc. のシミュレーション・ソフトウェア及びその登録商標。



川井 博文 KAWAI Hirofumi
東芝デバイス&ストレージ(株)
半導体事業部 先端半導体デバイス開発センター
Toshiba Electronic Devices & Storage Corp.



山本 洋 YAMAMOTO Hiroshi
東芝デバイス&ストレージ(株)
半導体事業部 半導体応用技術センター
Toshiba Electronic Devices & Storage Corp.