

微細化によりオン抵抗を低減した トレンチ型 SiC-MOSFET

SiC Trench-Gate Type MOSFET Delivering Lower On-Resistance through Miniaturization of Cell Structure

木本 真一 KIMOTO Shinichi 飯島 良介 IIJIMA Ryosuke

ゲート電極をSiC（炭化ケイ素）表面の溝に埋め込んだトレンチ型のMOSFET（金属酸化膜半導体型電界効果トランジスタ）は、セル構造の微細化によるオン抵抗の低減に寄与する構造として期待されている。しかし、微細化を進めると、プロセス難度の上昇や、しきい値電圧の低下などが顕著に現れることが問題であった。

東芝は、更なる微細化を可能にする新たなセル構造と、それを実現するための新たなセルフアラインプロセスを開発した。セルピッチを1.5 μmまで縮小し、チャンネル長を0.28 μmまで短縮した結果、耐压650 V級で特性オン抵抗を0.72 mΩcm²に低減できることを確認した。

Silicon carbide (SiC) trench-gate type metal-oxide-semiconductor field-effect transistors (MOSFETs) feature a gate electrode embedded in the trench of SiC surface and are expected to contribute on-resistance reduction via miniaturized cell structures. However, miniaturization progress is hindered by issues such as increasingly difficult manufacturing processes and decreasing device threshold voltage.

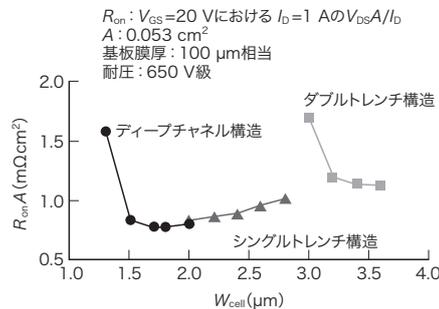
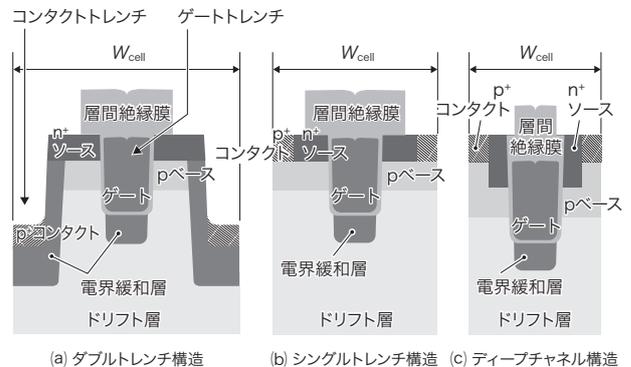
To resolve these issues, Toshiba Corporation has devised a novel cell structure to enable further miniaturization and a self-aligned process necessary for the cell structure formation. Estimations using prototypes with a cell pitch of up to 1.5 μm and channel length of up to 0.28 μm have confirmed that the specific on-resistance ($R_{on}A$) of 650 V-class SiC trench-gate type MOSFETs can be reduced to 0.72 mΩcm².

1. まえがき

脱炭素社会の実現に向けて、電力損失低減の重要性が年々高まっている。電力変換分野のキーデバイスの一つとして、SiCを使用したMOSFETが注目されている。高耐压化と低損失化を両立できるSiC-MOSFETは、徐々に鉄道車両や車載用のインバータへの搭載が進んでいる。

MOSFETの動作時に生じる損失は、大きく分けて導通損失とスイッチング損失があり、導通損失はオン抵抗 R_{on} に比例する。単位面積当たりのオン抵抗（特性オン抵抗） $R_{on}A$ は、そのデバイスがどれだけ低い損失で電流を流せるかを示す重要な指標である。

東芝は、国立研究開発法人 産業技術総合研究所（以下、産総研と略記）のオープンイノベーション共同研究体であるTPEC（Tsukuba Power Electronics Constellations）に参画し、トレンチ型SiC-MOSFETの $R_{on}A$ 低減に関する研究開発を進めてきた。SiC表面に溝を掘ってゲート電極を埋め込んだトレンチ型SiC-MOSFETは、セル構造の繰り返し寸法（セルピッチ） W_{cell} の縮小による $R_{on}A$ 低減に適した構造である。図1に、これまで当社が検討を進めてきた耐压650 V級のトレンチ型SiC-MOSFETのセル構造の変遷を示す。各セル構造には一長一短があるものの、着実な W_{cell} の縮小を実現してきた。



(d) 各セル構造の $R_{on}A$ の W_{cell} 依存性
 V_{GS} :ゲートソース間電圧 I_D :ドレイン電流 V_{DS} :ドレインソース間電圧

図1. 耐压650 V級トレンチ型SiC-MOSFETのセル構造の変遷

電界緩和層の削減や、トレンチ内への層間絶縁膜の埋め込みにより、 W_{cell} を縮小して $R_{on}A$ を低減してきた。

History of cell structures for 650 V-class SiC trench-gate type MOSFETs developed by Toshiba Corporation

ここでは、更なる微細化に成功したディープチャネル構造⁽¹⁾(図1(c))を中心に、その試作概要とデバイスの特性について述べる。

2. ディープチャネル構造の試作

2.1 ディープチャネル構造の設計コンセプト

シングルトレンチ構造⁽²⁾(図1(b))は、ダブルトレンチ構造⁽³⁾(図1(a))からコンタクトトレンチを排除した構造であり、その分の W_{cell} 縮小が可能となっている。しかし、シングルトレンチ構造で W_{cell} 縮小を進めると、 n^+ (不純物濃度が高いn型半導体)ソースに乗り上げる層間絶縁膜幅を確保するための n^+ ソース幅の縮小と、層間絶縁膜開口における露光限界により、 W_{cell} の縮小は2.0 μm 程度までが限界であった。そこで、これらを克服する構造として、ディープチャネル構造(図1(c))を新たに考案した。ディープチャネル構造は、ゲートに接する n^+ ソースとpベースをより深い位置に形成し、層間絶縁膜をトレンチ内に埋め込むことが特徴である。そうすることで、層間絶縁膜の開口幅をトレンチ幅の影響なく広げられるため、ソース電極と接する n^+ ソース幅を十分に確保できる。結果として、 W_{cell} は1.5 μm 程度まで縮小できることを確認した。

2.2 ディープチャネル構造の製造プロセス

図2に、ディープチャネル構造の主要な製造プロセスを示す。(1)650 V級に対応するドリフト層をエピタキシャル成長させ、深い n^+ ソースとpベースをイオン注入で形成する。(2)工程内で追加のエピタキシャル成長を行い、浅い n^+ ソースをイオン注入で形成する。(3)(2)の SiO_2 (二酸化ケイ素)ハードマスクを残したまま、その側壁にサイドウォールを追加し、ゲートトレンチを掘る。これにより、トレンチが浅い n^+ ソースに対してセルフアラインで形成される。(4)トレンチ側

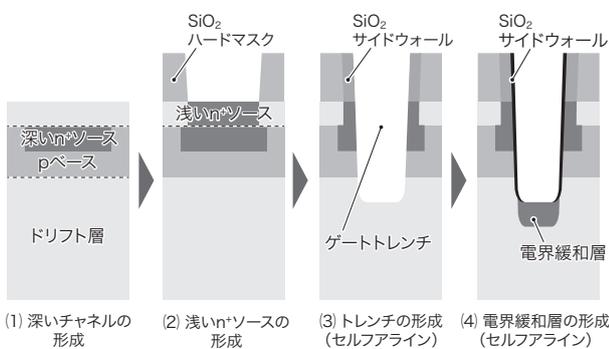


図2. ディープチャネル構造の主要な製造プロセス

W_{cell} が極めて小さいディープチャネル構造は、セルフアラインプロセスの活用で実現できる。

Processes of deep-channel structure formation

壁への意図しないイオン注入を防止するための SiO_2 サイドウォールを追加し、トレンチ底の電界緩和層をイオン注入で形成する。この電界緩和層もまた、浅い n^+ ソースに対してセルフアラインで形成される。その後、 SiO_2 サイドウォール及び SiO_2 ハードマスクを除去し、フォトリソグラフィでトレンチに対するアライメントを行い、 p^+ (不純物濃度が高いp型半導体)コンタクトをイオン注入で形成する。

2.3 ディープチャネル構造の $R_{on}A$

図3(a)は、ディープチャネル構造のドレイン電流密度 J_D とドレイン-ソース間電圧 V_{DS} の関係を示す出力特性である。 W_{cell} が1.6 μm の素子では、 $R_{on}A$ の実測値である $R_{on,meas}A$ が1.22 $\text{m}\Omega\text{cm}^2$ であることを確認した。図3(b)は、同じ W_{cell} 素子の抵抗成分の内訳をシミュレーションで明らかにした結果である。試作した素子は膜厚が約350 μm 分の基板抵抗を含んでいるが、これを100 μm まで研磨した場合の $R_{on}A$ は0.75 $\text{m}\Omega\text{cm}^2$ と見積もることができる。その中でもチャネル抵抗 R_{ch} は全体の35%程度を占めており、 W_{cell} を1.6 μm まで小さくしたディープチャネル構造でも、依然として大きい成分であることが分かった。

3. 短チャネル化の検討

更なる $R_{on}A$ 低減に向けて、主要な抵抗成分である R_{ch} を、チャネル長 L_{ch} の短縮(短チャネル化)によって削減する方法を試みた。2章までに記述したディープチャネル構造は L_{ch} が0.46 μm であったが、 L_{ch} を0.28 μm まで短縮しディープ短チャネル構造を試作した。 L_{ch} を短縮すると、DIBL(ドレイン誘起障壁低下)やパンチスルーなどの短チャネル効果(SCEs)が表れる⁽⁴⁾。これを避けるために、チャネル界面よ

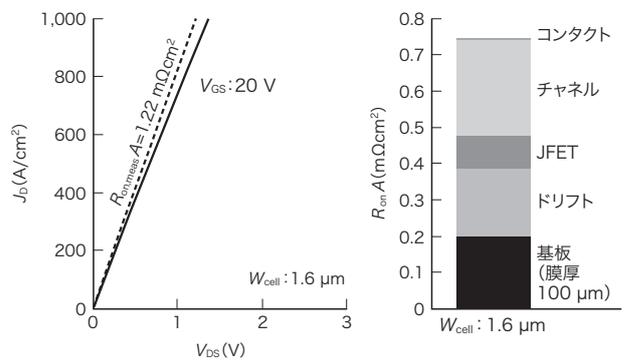


図3. ディープチャネル構造の J_D - V_{DS} 特性と $R_{on}A$ の内訳

ディープチャネル構造で W_{cell} を1.6 μm まで縮小できたが、650 V級では R_{ch} が $R_{on}A$ の中で占める割合が大きい。

Drain current density (J_D)-drain-source voltage (V_{DS}) characteristics and breakdown of $R_{on}A$ for deep-channel structure

り深い位置にpベース濃度より濃い短チャンネル効果抑制構造 (SCEs-SS) を形成する必要がある。

3章では、新たに開発したディープ短チャンネル構造, SCEs-SSの形成プロセスと効果, 及び L_{ch} が $0.46\ \mu\text{m}$ のディープチャンネル構造との特性比較について述べる。

3.1 SCEs-SSの形成プロセスの開発

図4に、ディープ短チャンネル構造の p^+ コンタクト及びSCEs-SSの形成プロセスを示す。なお、このプロセスは図2で述べた(1)から(4)までの工程の続きとして記載している。(5)サイドウォールをウェットエッチングで除去し、SiC表面の浅い n^+ ソースを露出させる。(6)Poly-Si (多結晶シリコン)を堆積し、全面エッチバックによりトレンチ内に埋め込む。(7)Poly-Siに挟まれたハードマスクをウェットエッチングで除去する。(8)Poly-Siをマスク材として、 p^+ コンタクト及びSCEs-SSをイオン注入で形成する。この後のプロセスは、3章のディープチャンネル構造と同じである。このプロセスで、浅い n^+ ソース、トレンチ、電界緩和層、 p^+ コンタクト、及びSCEs-SSを、合わせずれなく形成できる。

3.2 ディープ短チャンネル構造のSCEs-SSの効果

SCEs-SSは、チャンネル界面からどの程度深い位置に形成するかが重要なポイントである。図4のプロセス(5)に示すように、チャンネル界面からハードマスク端(すなわちSCEs-SS端)までの距離 D_{SI} は、ウェットエッチング時間によって制御可能である。

図5に、ディープ短チャンネル構造のドレイン遮断電流特性を示す。 D_{SI} が $250\ \text{nm}$ の場合、ゲート電圧 V_{GS} に依存せずドレイン電流 I_D が急激に立ち上がることが分かる。これは、短チャンネル化によるpベースのパンチスルーが現れているこ

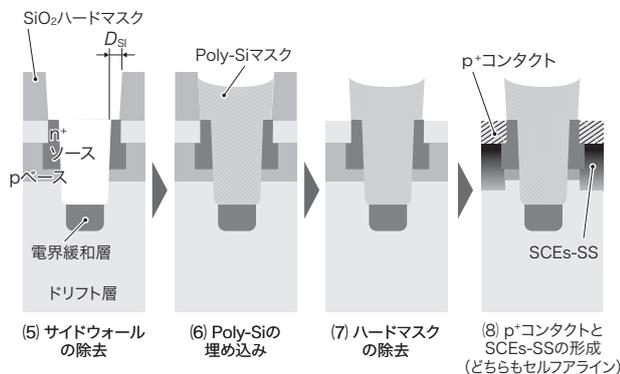


図4. ディープ短チャンネル構造の短チャンネル効果抑制構造の形成プロセス

トレンチの形成で使用したハードマスクをPoly-Siマスクに転写することで、トレンチに対して合わせずれなく短チャンネル効果抑制構造を形成できる。

Processes for formation of deep-short-channel structure to suppress short-channel effects

とを示唆している。一方、 D_{SI} が $150\ \text{nm}$ の場合、リーク電流は非常に小さく抑えられ、耐圧は $782\ \text{V}$ まで上昇する。以下では、 D_{SI} が $150\ \text{nm}$ の場合の結果を記載する。

図6に、ディープチャンネル構造とディープ短チャンネル構造のしきい値電圧 V_{th} の V_{DS} 依存性を示す。DIBLに起因する V_{th} の低下がディープ短チャンネル構造で生じておらず、開発したプロセスで形成したSCEs-SSによって、SCEsを抑制できていることが分かる。

3.3 R_{onA} と t_{sc} のトレードオフ

図7に、ディープチャンネル構造とディープ短チャンネル構造の R_{onA} のJFET (Junction Field Effect Transistor) 幅 W_{JFET} (トレンチ底に形成された電界緩和層間の電流経路の幅) 依存性を示す。 W_{JFET} が $1.0\ \mu\text{m}$ 前後で、 R_{onA} は最小値を示す。 W_{JFET} が $0.7\ \mu\text{m}$ 未満になると R_{onA} は急増してお

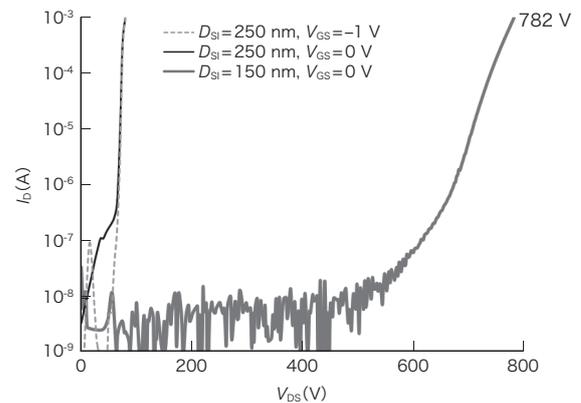


図5. ディープ短チャンネル構造のドレイン遮断電流特性

D_{SI} を $150\ \text{nm}$ に最適化することで、pベースのパンチスルーを抑制し、耐圧を向上させた。

Characteristics of drain cut-off current for deep-short-channel structure

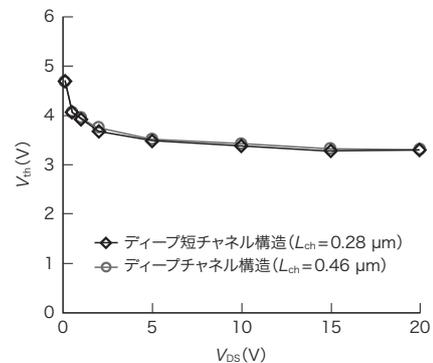


図6. ディープチャンネル構造における V_{th} の V_{DS} 依存性

チャンネル長の異なる2種類のプロットが一致しており、ディープ短チャンネル構造で短チャンネル効果は生じていないことが分かる。

Dependence of threshold voltage (V_{th}) on V_{DS} for deep-channel structure

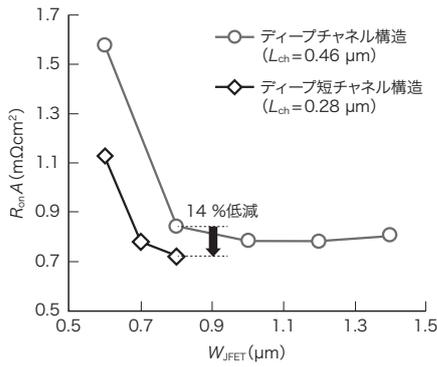


図7. ディープチャンネル構造における $R_{on}A$ の W_{JFET} 依存性

チャンネル長の短縮による特性オン抵抗 $R_{on}A$ の低減を実証した。

Dependence of $R_{on}A$ on junction FET (JFET) width for deep-channel structure

- ◇:ディープ短チャンネル構造 $L_{ch}=0.28 \mu\text{m}$, $W_{JFET}=0.7 \mu\text{m}$
- :ディープチャンネル構造 $L_{ch}=0.46 \mu\text{m}$, $W_{JFET}=1.0 \mu\text{m}$
- :ディープチャンネル構造 $L_{ch}=0.46 \mu\text{m}$, $W_{JFET}=1.4 \mu\text{m}$
- :ディープチャンネル構造(その他の条件)

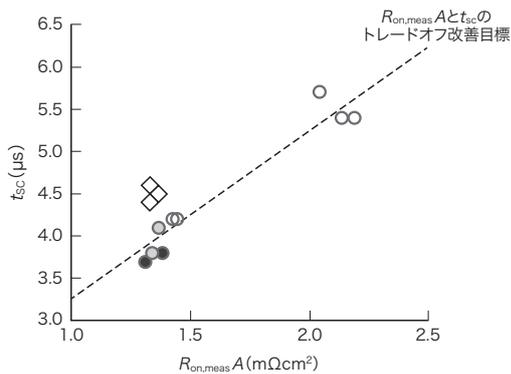


図8. ディープチャンネル構造の $R_{on,meas}A$ と t_{sc} の関係

チャンネル長の短縮によって低減した抵抗分を R_{JFET} として付与することで、 t_{sc} を向上させることができる。

Relationship between short-circuit withstand time (t_{sc}) and $R_{on}A$ for deep-channel structure

り、JFETの狭窄(きょうさく)によるJFET抵抗 R_{JFET} の増大を表している。 W_{JFET} が $0.8 \mu\text{m}$ (W_{cell} が $1.5 \mu\text{m}$)の場合、ディープ短チャンネル構造の $R_{on}A$ は $0.72 \text{ m}\Omega\text{cm}^2$ であり、ディープチャンネル構造に比べて $R_{on}A$ を14%低減できることを確認した。 L_{ch} の短縮によって、 R_{ch} が低減したことが示された。

図8に、 $R_{on,meas}A$ と短絡耐量 t_{sc} の関係を示す。特に、 $R_{on,meas}A$ が $1.35 \text{ m}\Omega\text{cm}^2$ 前後(基板膜厚 $100 \mu\text{m}$ に換算すると $0.79 \text{ m}\Omega\text{cm}^2$ 前後)のプロットに注目すると、 W_{JFET} が $0.7 \mu\text{m}$ のディープ短チャンネル構造は、 W_{JFET} が $1.0 \mu\text{m}$ 及び $1.4 \mu\text{m}$ のディープチャンネル構造に対して、それぞれ15%及び20%の t_{sc} 上昇を実証した。これは、 L_{ch} の短縮

によって R_{ch} を減らし、 W_{JFET} の縮小によって R_{JFET} を増やす(すなわち R_{ch}/R_{JFET} の比率を小さくする)ことによって、 $R_{on}A$ としては同等でありながら、 t_{sc} を改善できることを示唆している。

4. あとがき

SiC-MOSFETの導通損失の低減に向けて、セルフアラインプロセスを活用して、セル構造の更なる微細化と短チャンネル化を行った。短チャンネル効果をSCEs-SSで抑制し、 $R_{on}A$ の低減と t_{sc} の向上を実証した。

今後は、市場への普及に向けた開発を進め、電力損失の低減に寄与していく。

謝辞

この開発は、産総研が主導するTPECの事業として行われた。多大なご助言及びご協力を頂きました産総研 先進パワーエレクトロニクス研究センター 原田信介副研究センター長及びパワーデバイスチームに、深く感謝いたします。

文献

- (1) Kimoto, S. et al. "Demonstration of SiC Trench Gate MOSFETs with Narrow Cell Pitch Using Source Self-Aligned Process". Proceedings of 19th International Conference on Silicon Carbide and Related Materials (ICSCRM 2022). Davos, Switzerland, 2022-09. Trans Tech Publications, 2023, p.63-68.
- (2) Tan, J. et al. High-Voltage Accumulation-Layer UMOSFET's in 4H-SiC. IEEE Electron Device Letters. 1998, 19, 12, p.487-489.
- (3) Nakamura, T. et al. "High Performance SiC Trench Devices with Ultra-low Ron". Proceedings of 2011 International Electron Devices Meeting (IEDM 2011). Washington, DC, USA., 2011-12. IEEE, 2012, 6131619.
- (4) Noborio, M. et al. Experimental and Theoretical Investigations on Short-Channel Effects in 4H-SiC MOSFETs. IEEE Transactions on Electron Devices. 2005, 52, 9, p.1954-1962.



木本 真一 KIMOTO Shinichi
研究開発センター 先端デバイス研究所
電子デバイスラボラトリー
Electron Devices Lab.



飯島 良介 IIJIMA Ryosuke, Ph.D.
研究開発センター 先端デバイス研究所
電子デバイスラボラトリー
博士(工学)
Electron Devices Lab.