

次世代パワー半導体の小型・高効率・高信頼化に貢献するスマートゲートドライバー IC

Smart Gate Driver IC for Next-Generation Power Semiconductors Delivering Miniaturization, High Efficiency, and High Reliability

川井 秀介 KAWAI Shusuke 宮崎 耕太郎 MIYAZAKI Koutaro 上野 武司 UENO Takeshi

次世代パワー半導体の高性能化に伴う高速動作により、電力変換器の小型・高効率化が期待されているが、高速動作によりノイズが発生するため十分な高効率化が達成できていない。また、ノイズ発生により高信頼化が困難であった。

東芝は、電力変換器の小型・高効率・高信頼化を目的として、半導体その状態に合わせて駆動できるアクティブゲートドライブ(AGD: Active Gate Driving)技術により次世代パワー半導体の低損失・低ノイズ動作を実現した。更に、この技術を搭載したデジタルAGD回路と過電流保護回路パラメータの自動設定が可能なデジタル過電流保護回路を1チップに集積した、スマートゲートドライバー ICを開発し、27%のスイッチング損失削減、2.35 μ sでの過電流時遮断を達成した。

Next-generation power semiconductors capable of performing high-speed switching thanks to performance improvements are driving demand for power converters which offer miniaturization capabilities and high efficiency. However, noise generated by high-speed switching operations poses a serious obstacle to developing sufficiently efficient and reliable power converters.

To rectify this situation, Toshiba Corporation has developed a digital active gate driving (AGD) circuit that can perform low-loss, high-speed operations by controlling power semiconductors in accordance with changing conditions. Furthermore, we have developed a smart gate driver integrated circuit (IC) combining the digital AGD circuit with a digital overcurrent protection circuit capable of automatically adjusting its parameters in a single package. Experiments on a prototype chip have verified that switching loss is reduced by 27% and shutdown time is 2.35 μ s when overcurrent is applied.

1. まえがき

来るカーボンニュートラル社会の実現に向けて、今後電動機器は、社会にますます浸透していく。電動機器には、電力の種類や量を変換する電力変換器が搭載されており、電力変換器は、パワー半導体と駆動回路で構成されている。パワー半導体は、導通と非導通を繰り返すスイッチングにより、電力の変換を行っており、より高速にスイッチングが可能なSiC(炭化ケイ素)やGaN(窒化ガリウム)などの材料を用いた次世代パワー半導体を用いれば、パワー半導体の損失は低減し、従来のSi(シリコン)-IGBT(絶縁ゲート型バイポーラトランジスタ)を用いた場合に比べて電力変換器の小型化、高効率化(低損失化)が期待されている。

しかし、高速にスイッチングを行うとノイズが発生し、ノイズ対策のためスイッチング速度を低下させると、結果として効率が犠牲になってしまい、十分な機器の高効率化が達成できない。更に、ノイズにより機器が誤動作するため、機器の高信頼化が困難になってきている。

このような損失低減とノイズ抑制のトレードオフを解決する技術として、パワー半導体のゲート電圧・電流を動的に制御するAGD技術がある。特に、デジタルAGD技術では波形出

力を任意で調整できるが、複数の波形メモリーを1チップに集積し低コスト化した例はこれまで見られていない。また、従来技術による高信頼化のための過電流保護は、素子パラメータが外付け素子で構成され、調整が煩雑であった。

東芝は、小型・高効率かつ高信頼な電力変換器を実現するための、デジタルAGD回路と、デジタル過電流保護回路を集積した、スマートゲートドライバー ICを開発した^{(1), (2)}。このスマートゲートドライバー ICは、複数の波形を1チップに記憶しており、パワー半導体の負荷電流などの状態が異なる場合でも、状態にあった波形でパワー半導体を駆動することで、ノイズと損失のトレードオフを打破し、低ノイズかつ高効率なスイッチングを実現できる。また、デジタル過電流保護回路技術により、従来必要であった過電流保護回路パラメータの選定を自動化し、高速かつ誤検知のない保護が可能となり、開発したICを用いることで、電力変換器の高効率化と高信頼化を同時に達成できる。

ここでは、まず開発したデジタルAGD技術とデジタル過電流保護回路技術の概要について述べた後、これらの技術を搭載したスマートゲートドライバー ICの高効率・低ノイズ動作と高速過電流保護の検証結果について述べる。

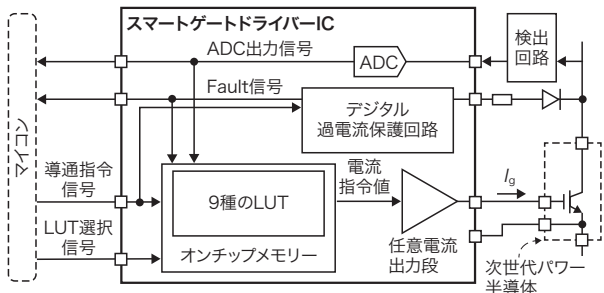


図1. スマートゲートドライバー ICのブロック図

マイコンからのLUT選択信号やADCから取得したパワー半導体の電流・温度などを示す信号に基づきオンチップメモリーから出力された電流指令値に従って、ゲート電流をパワー半導体に出力して駆動するとともに、過電流保護を行う。

Block diagram of smart gate driver IC

2. スマートゲートドライバー ICに搭載した技術

2.1 デジタルAGD技術の概要と特長

2.1.1 デジタルAGD回路

図1に、開発したスマートゲートドライバー ICのブロック図を示す。オンチップメモリー、任意電流出力段、デジタル過電流保護回路、汎用アナログデジタル変換器 (ADC: Analog to Digital Converter) が搭載されている。オンチップメモリーは約3.5 kビットの容量を持ち、9種類のAGD用ゲート電流波形を格納したルックアップテーブル (LUT: Look Up Table) を保存できる。ADCは500 Kサンプル/sの速度で動作し12ビットの分解能を持つ。ADCはパワー半導体の温度や電圧などの状態を検知するために用いる。オンチップメモリーは、パワー半導体の導通又は非導通状態を指示する導通指令信号の立ち上がり若しくは立ち下がリエッジに応じて、マイコンからのLUT選択信号、若しくはADCから取得したパワー半導体の電流や温度などを示す信号に基づいて9種類のLUTの中から一つを選択し、任意電流出力段に電流指令値を出力する。任意電流出力段は、オンチップメモリーから受け取った指令値を基にゲート電流をパワー半導体のゲート端子に出力する。このような動作によって、パワー半導体の状態に合わせて、任意のゲート電流 (I_g) を出力できる。

2.1.2 AGD回路が出力する I_g 波形の最適化手法

図2にAGD回路が出力する I_g 波形 (以下、AGD波形と略記) の生成方法について示す。図2(a)に示す波形テンプレートのように、最初は I_g を大きくし、時間 T_p 後に一旦 I_g を低下させた後、再度上昇させるAGD波形にすると、ノイズに相関があるドレイン電流 (I_{ds}) のサージ (Surge Current: I_{surge}) を低減しつつ損失も低減できることが既に明らか

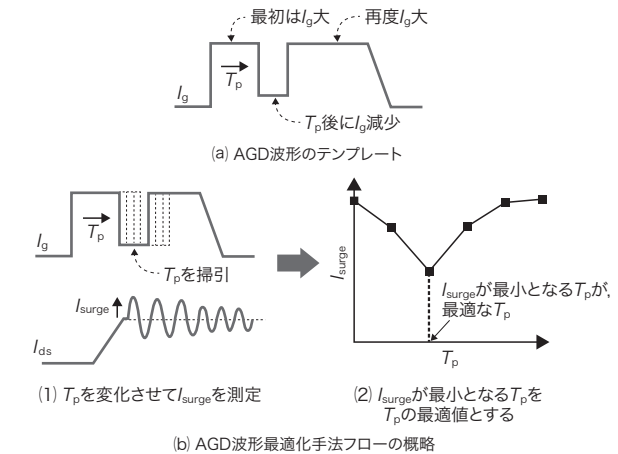


図2. AGD波形のテンプレート及び最適化手法

I_g を印加してから T_p 後に一旦 I_g を低下させた後再度上昇させるAGD波形を適用し、 I_{surge} が最小となる値に T_p を調整することで、パワー半導体を最適に駆動できる。

Processes to optimize AGD waveform using template

になっている⁽²⁾。 T_p の最適値は、パワー半導体の電流値や電源電圧値によって異なる。最適な T_p を求めるフローを図2(b)に示す。 T_p を最大値から減少させていくと、図2(b)のグラフに示すように、 I_{surge} は減少し、特定の T_p で最小値を取った後、再び上昇に転じる。この I_{surge} の値が最小となる時間が T_p の最適値である。このようなフローを用いることで、様々な条件で最適な T_p を求められる。

2.2 デジタル過電流保護回路技術の概要と特長

2.2.1 デジタル過電流保護回路

図3に、デジタル過電流保護回路のブロック図を示す。パルスフィルター、ブランキングフィルター、比較器、及び閾 (しきい) 値調整用デジタルアナログ変換器 (DAC: Digital to Analog Converter) から構成されている。保護は、過電流が発生した場合に上昇する保護検出力端子の電圧 (V_{DESAT}) を比較器で検出した際に行い、閾値はDACで調整できる。ブランキングフィルターは、導通指令信号の立ち上がりから過電流保護検知開始までの時間 (t_{BLANK}) を設定できる。パルスフィルターは、ほかのパワー半導体からのパルス状のノイズを除去する。 t_{BLANK} と比較器の閾値 (V_{th}) の設定はデジタル値で自動設定でき、従来行われていた外付け部品の調整が不要となる。

2.2.2 保護回路パラメーターの自動設定方法

図4に、デジタル過電流保護回路のパラメーター t_{BLANK} と V_{th} を自動調整するフローを示す。図4(a)は、 t_{BLANK} と V_{th} の設定値を調整する際に発生し得る二つの誤判定要因を示している。 V_{ds} はパワーデバイスのドレイン-ソース間電圧、Fault信号は過電流を検知した結果を示す過電流検出信号

である。Fault信号は2値信号で、過電流の検出時にその値 (Fault) はHighの値を取る。誤判定要因の一つである t_{BLANK} の不足は V_{ds} の低下中に Fault 信号の誤判定結果として現れ、もう一つの要因の V_{th} の不足は V_{ds} が低下し再上昇した後に Fault 信号の誤判定結果として現れる。これらの誤判定を回避するために、図4(b)に示すフローによりパラメー

ター t_{BLANK} 及び V_{th} を自動調整する。まず、 t_{BLANK} と V_{th} を最小に設定し、スイッチング試験を行うと、図4(b)の①に示すように、全区間で Fault 信号が High となる。次に、 V_{th} を増大させて試験を行うと、図4(b)の②に示すように、 t_{BLANK} 起因の誤判定結果だけが残る。続いて、 t_{BLANK} を増大していくと、図4(b)の③に示すように、誤判定発生確率を低減できる。

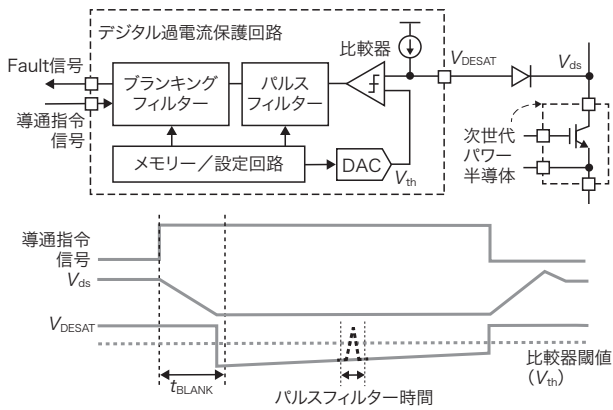


図3. デジタル過電流保護回路のブロック図と過電流判定動作
過電流判定に必要な構成要素のパラメーターをデジタル値で設定できる。
Block diagram of digital overcurrent protection circuit and method to determine overcurrent

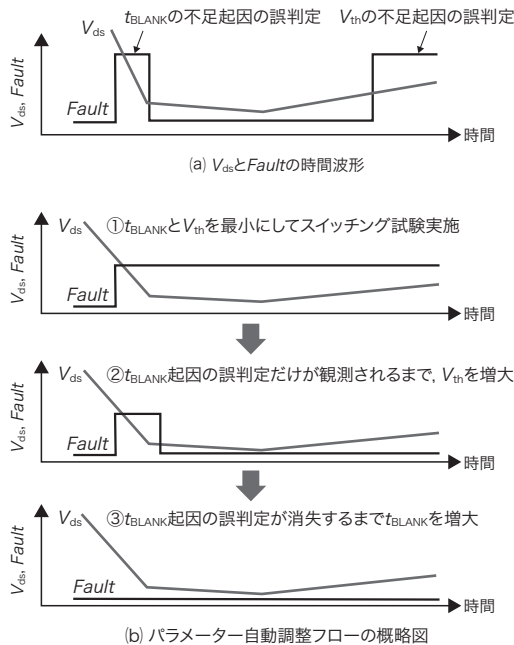


図4. 過電流発生の誤判定要因及び誤判定を回避するパラメーター自動調整フロー
構成要素の各パラメーターは、それらを変化させた際の Fault 信号の変化に基づいて、過電流発生の誤判定確率が低い値に自動設定できる。
Flow of processes to automatically adjust parameters of overcurrent protection circuit for preventing malfunctions

3. スマートゲートドライバー IC の動作検証

3.1 高効率・低ノイズ動作の検証結果

デジタル AGD 技術を適用して開発したスマートゲートドライバー IC の有効性を検証した結果について述べる。測定には、定格電流 31 A、定格電圧 1,200 V の SiC-MOSFET (金属酸化膜半導体型電界効果トランジスタ) を用いた。図5は I_g の駆動力指令値と I_{ds} の時間波形を示す。 I_g の駆動力指令値は、0 から 63 まで指定できる。指令値を 43 の一定値で駆動した従来方式の波形とは異なり、開発した方式では、駆動力 63 で駆動した後一定時間後駆動力を 2 まで落とし、その後再度駆動力を 63 に変化させる。AGD 波形は、図3のフローにより生成した。 I_{ds} の時間波形が示すように、 I_{surge} は 10.1 A から 7.2 A まで 27% 低減した。

図6には、電源電圧 400 V、負荷電流 12 A、及び電源電圧 600 V、負荷電流 10 A の 2 種類の条件での I_{surge} とス

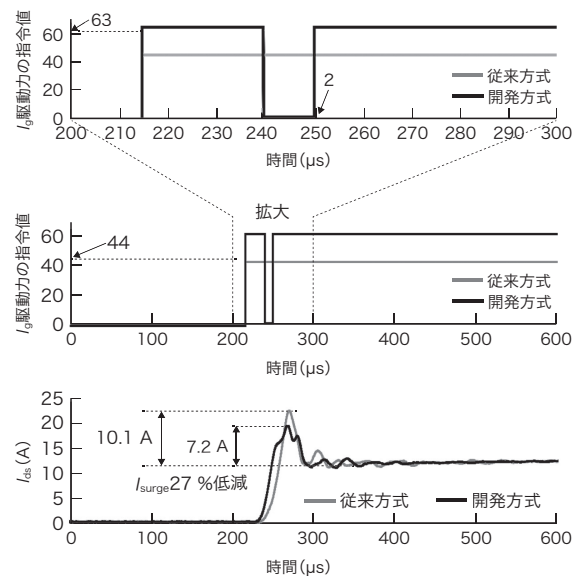


図5. 従来方式及び開発方式で生成した AGD 波形によるパワー半導体駆動時の I_d の時間波形の比較
開発方式により、 I_{surge} を 27% 低減した。
Comparison of drain current (I_d) waveforms using AGD waveforms generated by conventional and new circuits to control power semiconductors

スイッチング損失の測定結果を示す。開発した方式と従来方式で駆動を行った場合の測定結果を示している。図5に示した例と同様、開発したAGD波形生成フローを用いることによって、これらの負荷電流・電源電圧の条件でも、最適波形を求めることに成功し、スイッチング損失と I_{surge} を最大でそれぞれ24%、27%低減することに成功した。 I_{surge} を20%以上低減することで I_{surge} 起因のノイズを2 dBから4 dB低減する効果が期待できる⁽³⁾。

3.2 高速過電流保護の検証結果

図7には、開発した過電流保護方式の検証結果を示す。測定には、1,200 V耐圧、180 A定格のSiC-MOSFETを用いた。図4で示した方式でパラメーターを決定し、ハイサイド素子を意図的にショートさせた状態でローサイド素子を駆動し、ローサイド素子の V_{ds} 、 I_{ds} 、ゲート-ソース間電圧(V_{gs})、

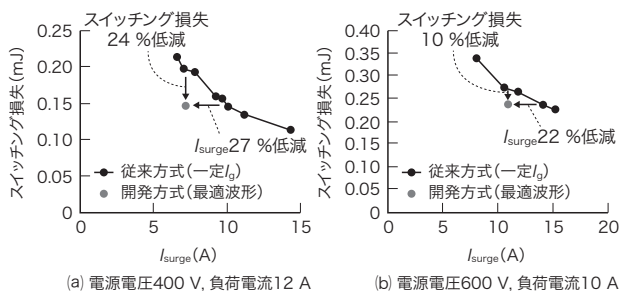
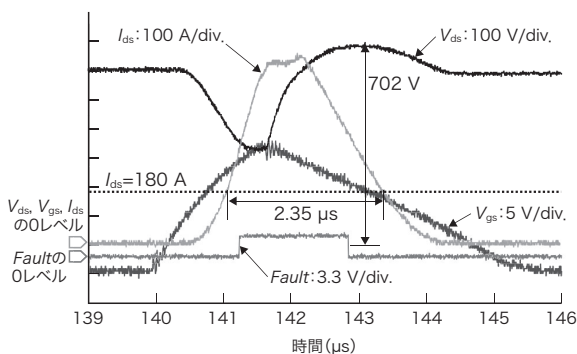


図6. 開発したデジタルAGD回路による I_{surge} とスイッチング損失の低減効果

いずれの電圧・電流条件でも I_{surge} とスイッチング損失が同時に低減できており、トレードオフを打破している。

Results of surge current (I_{surge}) and switching loss reductions achieved by digital AGD circuit



div.: division

図7. 開発したデジタル過電流保護回路による過電流判定時の過渡応答波形

過電流判定後2.35 μs 以内の遮断に成功している。

Transient response waveforms using overcurrent protection circuit at time of overcurrent detection

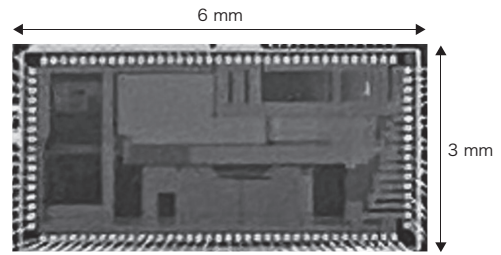


図8. スマートゲートドライバー ICの試作品

デジタル AGD 回路とデジタル過電流保護回路を1チップに集積した。

Prototype smart gate driver IC

Fault信号を測定した。図7が示すように、2.35 μs でパワー半導体の保護と遮断が完了し、次世代パワー半導体に求められる μs オーダーでの保護を達成した。

図8に、開発したスマートゲートドライバー ICのチップ写真を示す。チップは0.13 μm HV (High-Voltage) プロセスを用いて試作され、寸法は3 mm \times 6 mmである。

4. あとがき

電力変換器の効率を向上させるAGD回路と、高信頼化を達成する短絡保護回路を開発し、1チップに集積したスマートゲートドライバー ICを開発した。また、考案したフローによりAGD波形を最適化し、1,200 V耐圧、31 A定格の素子のスイッチング損失とサージ電流をそれぞれ24%、27%低減した。更に、保護回路のパラメーターを調整フローにより設定し、1,200 V耐圧、定格180 Aの素子に対して、短絡保護時間2.35 μs を達成した。このICに搭載された損失低減、高速遮断技術は、次世代パワー半導体を用いた電力変換器の小型・高効率・高信頼化に貢献する。

文献

- (1) Kawai, S. et al. "A Digital Gate Driver IC with Active Gate Waveform Calibration Technique Achieving Switching Loss Reduction by 24% and DESAT Turn-off Arbitrary Waveform Memory for Overcurrent Protection Targeting 1200V SiC MOSFETs". IEEE Energy Conversion Congress & Exposition (ECCE), Nashville, TN, 2023-12, IEEE, 2023, p.5414-5418.
- (2) Miyazaki, K. et al. "A Digital Gate Driver IC with a Digitally Adjustable DESAT and Parameter Adjustment Method for False Detection Prevention and Short-Circuit Protection of 1200V 180A SiC Module". IEEE Applied Power Electronics Conference and Exposition (APEC), Long Beach, CA, 2024-02, IEEE, 2024, p.1130-1134.
- (3) 安住壮紀, ほか. "ゲート駆動波形の適正化によるPFC回路の電源効率-放射EMIのトレードオフ評価". 令和5年電気学会全国大会. 名古屋, 2023-03, 電気学会, 2023, 4-074.



川井 秀介 KAWAI Shusuke, Ph.D.
研究開発センター 情報通信プラットフォーム研究所
ワイヤレスシステムラボラトリー
博士(工学) IEEE 会員
Wireless System Lab.



宮崎 耕太郎 MIYAZAKI Koutaro, Ph.D.
研究開発センター 情報通信プラットフォーム研究所
ワイヤレスシステムラボラトリー
博士(工学) IEEE・電気学会会員
Wireless System Lab.



上野 武司 UENO Takeshi
研究開発センター 情報通信プラットフォーム研究所
ワイヤレスシステムラボラトリー
Wireless System Lab.