

5G インフラシェアリングを支える TDD タイミング検出技術

TDD Timing Detection Technology Supporting 5G Infrastructure Sharing Systems

杉本 雅彦 SUGIMOTO Masahiko 正木 克実 MASAKI Katsumi 飯田 康隆 IIDA Yasutaka

5G（第5世代移動通信システム）において、複数の携帯電話事業者で分散アンテナシステム（DAS：Distributed Antenna System）を共同利用するインフラシェアリングは、TDD（Time Division Duplex）タイミングを携帯電話事業者ごとに検出する必要があるが、装置の構成を簡易化するために、TDD タイミング検出回路の小規模化が求められている。

東芝インフラシステムズ（株）は、データ復調におけるシンボル同期の高精度化と、データ判定における位相回転への耐性を向上することで、クロック再生や、伝送路推定、波形等化などの演算量の多い処理を用いることなく、5G 無線信号から同期信号ブロックを復調して、TDD タイミングを検出する技術を開発した。また、この技術を、処理遅延の短縮化や演算回路の時間多重化などの独自アーキテクチャーで回路実装することで、回路規模の増加を抑制した。

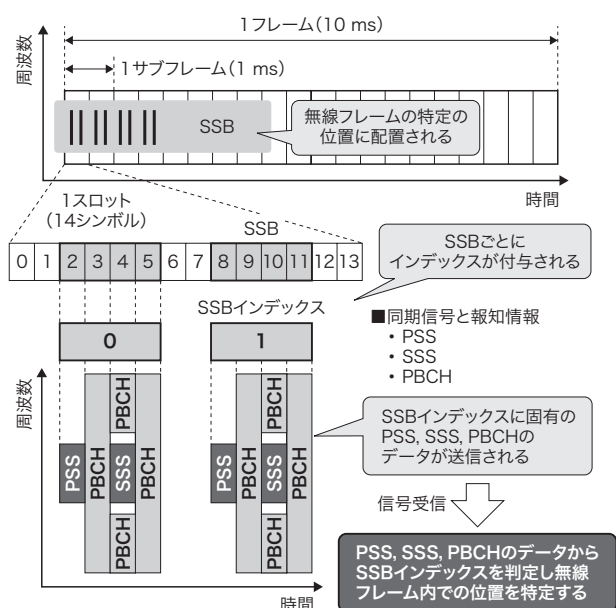
Infrastructure sharing systems for fifth-generation mobile communication system (5G) networks, in which multiple mobile network operators share the same distributed antenna system (DAS) equipment, are necessary to comply with new requirements to detect time division duplex (TDD) timing by each operator. In line with this, demand is growing to reduce the size of the TDD timing detection circuit to simplify DAS equipment configuration.

Toshiba Infrastructure Systems & Solutions Corporation has developed technology to detect TDD timing by demodulating synchronization signal blocks in 5G radio signals without the need for complicated processes resulting in increased computational amounts, such as clock recovery, channel estimation, and waveform equalization circuits, through improvements of both symbol synchronization accuracy in demodulation and phase rotation tolerance in data detection. We have succeeded in suppressing the size of the TDD timing detection circuit by implementing this technology together with our proprietary architectures such as shortening the processing delay time and processing circuit time multiplexing.

1. まえがき

分散アンテナシステム（DAS：Distributed Antenna System）は、信号の内容を解析せずに、そのままの形で分配することで装置の構成を簡易にできる特長を持っている。4G（第4世代移動通信システム）方式は、特定時間に存在する信号の電力を検知することで、上り通信と下り通信を時間的に切り替えるTDDタイミングを検出していた。一方、5G方式は、規格¹⁾が変更され、従来とは異なる検出手法が必要である。更に、複数の携帯電話事業者でDAS装置を共同利用するインフラシェアリングでは、携帯電話事業者ごとにTDDタイミングを検出する必要があり、装置の構成を簡易にするために、TDDタイミング検出回路の小規模化が求められている。

そこで、東芝インフラシステムズ（株）は、演算量の多い処理を用いることなく、同期信号（SS：Synchronization Signal）や物理報知チャネル（PBCH：Physical Broadcasting Channel）から成る同期信号ブロック（SSB：SS/PBCH block）を5G無線信号から復調してTDDタイミングを検出



する技術と、独自のアーキテクチャーで回路規模を抑制する実装手法を開発した。ここでは、これらについて述べる。

2. 無線フレームでの同期信号ブロックの配置

図1の上段は、5G無線フレームの例を示している。1フレームは10msで、1msのサブフレーム10個で構成される。5Gは、複数のサブキャリア周波数間隔に対応しており、これに伴うシンボル長の違いを、1サブフレーム当たりのスロット数で吸収する仕組みとなっている。図1は、サブキャリア周波数間隔が30kHzの場合を示しており、1サブフレームが2スロットになり、1スロットが14シンボルで構成される。

図1の下段は、SSBの配置パターンの例を示している。SSBは、4シンボルで構成され、主同期信号(PSS: Primary Synchronization Signal)と副同期信号(SSS: Secondary Synchronization Signal)の二つのSSとPBCHから成る。PBCH信号の中には、PBCH信号を復号するための参照信号であるDMRS(DeModulation of Reference Signal) for PBCH信号が埋め込まれている。また、各SSBにはSSBインデックス(我が国の運用では0から7)が付与され、各SSBインデックスに固有のPSS, SSS, PBCH(DMRS)のデータが送信される。したがって、受信側でSSBインデックスが検出できれば、そのSSBがフレーム内のどの位置に配置されたかを特定できる。更に、TDDタイミングがフレーム内のどこにあるかが既知であれば、受信SSBの位置からの相対関係で、次の切り替えタイミングまでの時間を推定できる。

3. SSBによるTDDタイミング検出の課題

受信側でSSBインデックスを検出するには、(1)無線信号からSSBの4シンボル分のデータ特定、(2)特定したデータ

からシンボルごとにフーリエ変換、(3)フーリエ変換後の各データを判定、といった三つの処理が必要である。

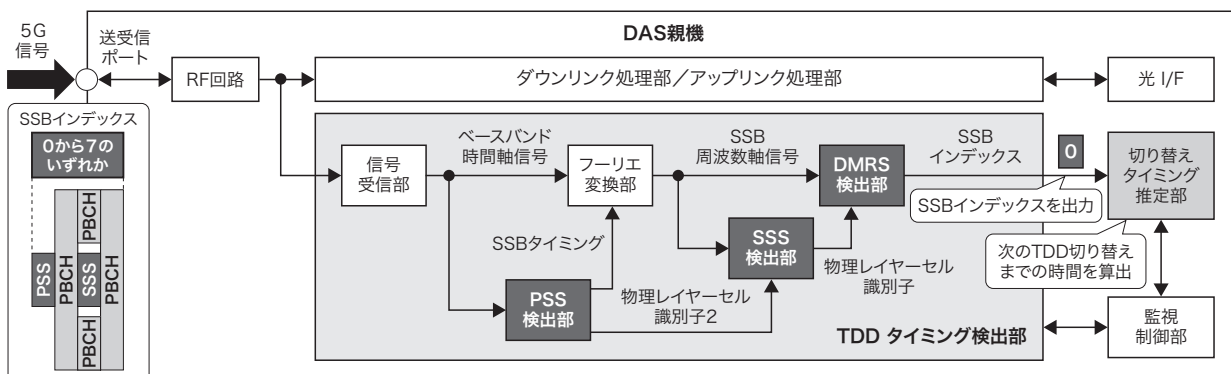
(1)は“シンボル同期”と呼ばれ、この精度が不足すると(2)のフーリエ変換後のIQ(In-phase/Quadrature)複素データに位相回転が生じる。そして、位相回転が生じた状態で(3)のデータを判定すると、本来とは異なる値で認識する“判定誤り”が増加し、性能劣化に直結する。この性能劣化を回避するには、データ判定より前に位相回転を補正する必要がある。

しかし、位相回転を補正するには、動作クロックを精密に調整するクロック再生や、伝搬路特性の影響を軽減するようにデータを補正する伝送路推定、波形等化などの信号処理が別途必要である。これらの信号処理に掛かる演算量は多いため、TDD切り替えの時間制約を満たしながら、追加対策処理を実現するには、回路実装にコストが掛かる。したがって、クロック再生や伝送路推定・波形等化を用いることなく、5G無線信号からSSBを検出・復調しSSBインデックスを算出することが課題である。

4. TDDタイミング検出手法

4.1 全体概要

図2はDAS親機の構成を示しており、TDDタイミング検出部でSSBを検出・復調し、SSBインデックスを算出する。TDDタイミング検出部は、SSBを含んだ5G信号を受信し、信号受信部でベースバンド時間軸信号を生成し、PSS検出部とフーリエ変換部へ出力する。PSS検出部は、SSBの先頭に配置されたPSSを検出し、検出されたタイミングをSSBタイミングとしてフーリエ変換部へ出力する。また、検出されたPSS信号が、複数ある符号化系列のどれに該当するか



RF:高周波 I/F:インターフェース

図2. DAS親機の構成

TDDタイミング検出部でSSBを検出・復調し、SSBインデックスを算出する。

DAS master unit configuration

を判別し、物理レイヤーセル識別子2としてSSS検出部に出力する。フーリエ変換部は、入力されたSSBタイミングに基づいて、ベースバンド時間軸信号からSSBを切り出し、フーリエ変換によってSSB周波数軸信号に変換し、SSS検出部とDMRS検出部に出力する。SSS検出部は、SSB周波数軸信号からSSS信号を抽出し、抽出されたSSS信号が複数ある符号化系列のどれに該当するかを判別し、物理レイヤーセル識別子としてDMRS検出部に出力する。DMRS検出部は、SSB周波数軸信号からDMRS信号を抽出し、抽出されたDMRS信号が、複数ある符号化系列のどれに該当するかを判別し、その符号化系列に対応するSSBインデックスを切り替えタイミング推定部に出力する。切り替えタイミング推定部は、入力されたSSBインデックスからSSBが配置されたフレーム内の位置を特定し、SSBとTDDタイミングとの相対関係から、次の切り替えタイミングまでの時間を推定する。

4.2 シンボル同期

図3の左側のブロック図は、TDDタイミング検出でシンボル同期を担うPSS検出部を示している。PSS検出部は、受信したベースバンド時間軸信号と、既知で3種類あるPSS符号化系列との相関演算を行う。そして、相関値が最も大きくなるタイミングをPSSの境界を示すSSBタイミングとして出力するとともに、3種類の符号化系列のどれに該当するか

を物理レイヤーセル識別子2として出力する。3章で述べたように、シンボル同期には高い精度が要求されるため、回路実装では、相関演算から最大値検出までの処理遅延を短縮することで、シンボル同期の時間分解精度を高めている。また、相関演算回路を時間多重することで、回路規模の増加を抑制している。

4.3 周波数領域での信号処理

図3の右側のブロック図は、フーリエ変換によって周波数軸信号に変換されたSSBを処理するSSS検出部を示している。SSS検出部では、SSBの中からSSS信号を抽出し、各SSS信号に対してデータを判定してSSS受信コードを生成する。次に、PSS相関が最大となる物理レイヤーセル識別子2から336本のSSS参照コードを生成する。そして、SSS受信コードとSSS参照コードの類似度を算出し、類似度が最大となるコード番号を物理レイヤーセル識別子として出力する。回路実装では、PSS検出部と同様に、演算回路の時間多重化によって回路規模の増加を抑制している。

4.4 データ判定

SSS信号に対してデータを判定する方法としては、変調方式がBPSK (Binary Phase Shift Keying) であるため、I軸データの正負符号で判定する硬判定が一般的である。一方、シンボル同期が理想ではなく、IQ複素データに位相回転が生じている状況で硬判定を実施すると判定誤りが多

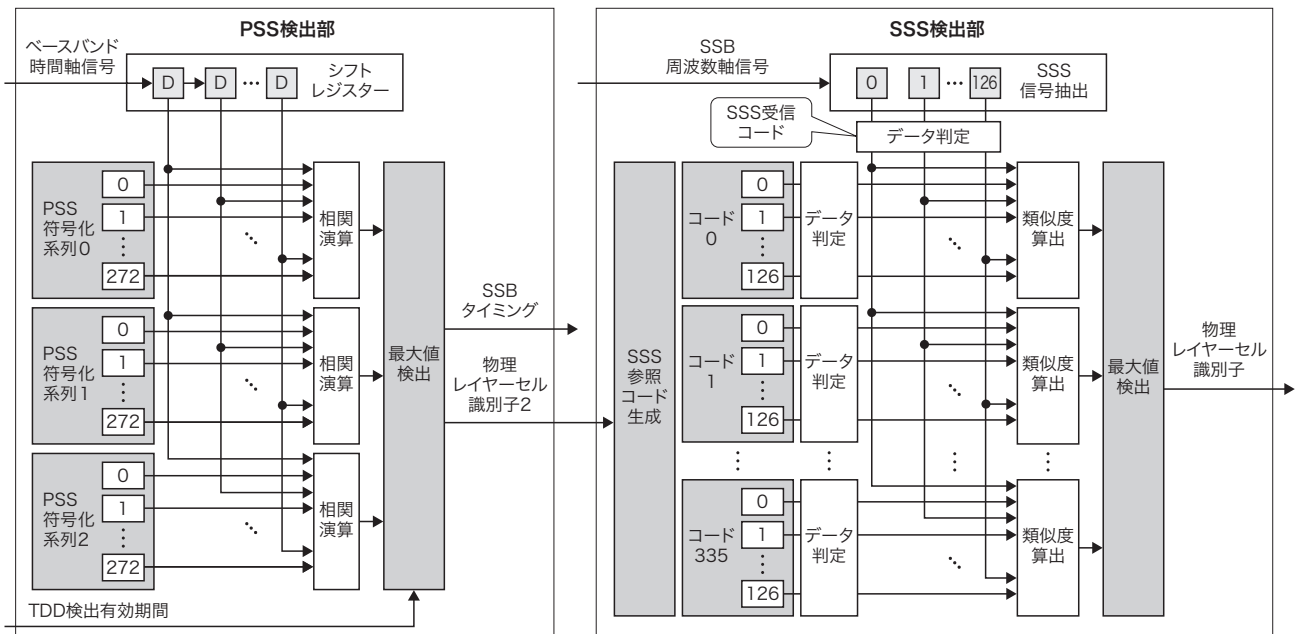


図3. PSS検出部とSSS検出部の回路ブロック図

処理遅延を短縮することで時間分解精度を高めるとともに、演算回路を時間多重化することで、回路規模の増加を抑制している。

Block diagram of primary synchronization signal (PSS) and secondary synchronization signal (SSS) detection units

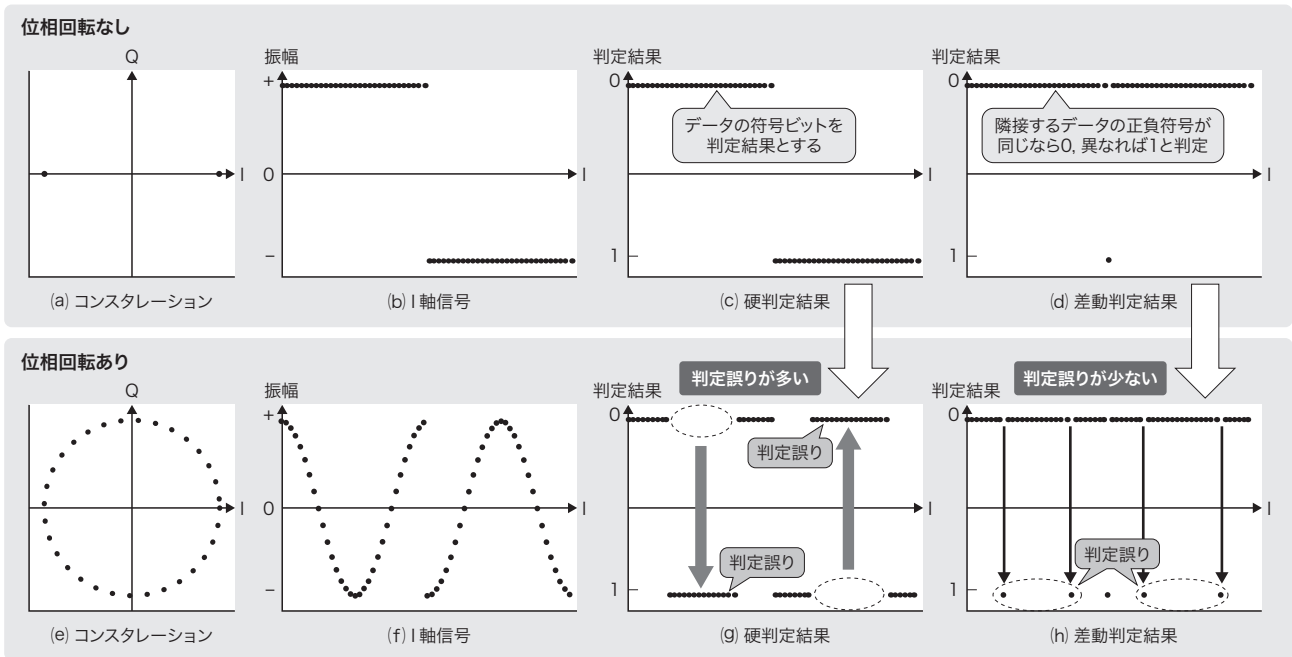


図4. 硬判定と差動判定での判定誤りの違い

差動判定は、硬判定よりも判定誤りが少なく、位相回転に対する耐性が高い。

Differences in judgment errors obtained by hard decision and differential decision with and without phase rotation

くなる。そこで、この対策として、SSS検出部は、隣接するデータの符号が同じなら0、異なれば1と判定する差動判定を導入し、位相回転への耐性を向上させている。

図4は、SSS信号に対する硬判定と差動判定の違いを示している。上段は位相回転なし、下段は位相回転ありの場合で、(a)、(e)はコンスタレーションを、(b)、(f)はI軸信号を示している。位相回転がない場合、データは(a)、(b)のようにI軸上の正負2点で収束する。位相回転がある場合、データは(e)、(f)のようにI軸上で正弦波のように変動する。この状況で硬判定を実施すると、(c)の判定結果に対して(g)では判定誤りが多くなる。一方、差動判定を実施すると、(d)の判定結果に対して(h)では一部で判定を誤るものの、誤りの数は硬判定より少なく、位相回転への耐性が向上している。

ここで、SSS検出部の後段にあるDMRS検出部は、DMRS信号の変調方式がQPSK (Quadrature Phase Shift Keying) である点がSSS検出部と異なるが、差動判定の導入を含めて、動作原理はSSS検出部と同様である。

5. あとがき

DAS装置を共同利用するインフラシェアリングにおいてTDDタイミング検出回路を小規模化するために、クロック再生や、伝送路推定、波形等化などを用いずに、SSBを復調

してTDDタイミングを検出する手法を開発した。また、一連の信号処理では、処理遅延の短縮化や回路の時間多重化などの独自アーキテクチャーで回路実装することで、回路規模の増加を抑制した。今後は、開発した手法をベースに、各周波数帯に対応したDAS製品の開発を進めていく。

文献

- (1) ETSI TS 138 211 V17.4.0: 2023. 5G; NR; Physical channels and modulation (3GPP TS 38.211 version 17.4.0 Release 17).



杉本 雅彦 SUGIMOTO Masahiko
東芝インフラシステムズ(株) インフラシステム技術開発センター
システム制御・ネットワーク開発部
Toshiba Infrastructure Systems & Solutions Corp.



正木 克実 MASAKI Katsumi
東芝インフラシステムズ(株) インフラシステム技術開発センター
システム制御・ネットワーク開発部
Toshiba Infrastructure Systems & Solutions Corp.



飯田 康隆 IIDA Yasutaka
東芝インフラシステムズ(株) インフラシステム技術開発センター
システム制御・ネットワーク開発部
電気学会会員
Toshiba Infrastructure Systems & Solutions Corp.