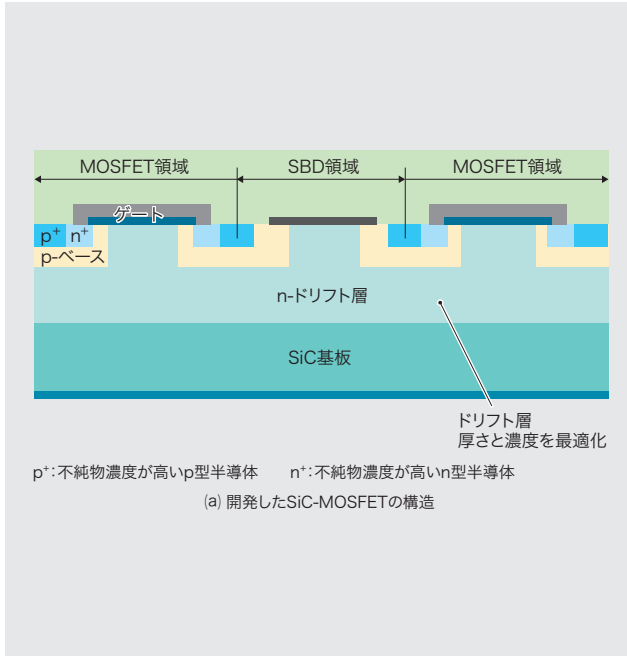
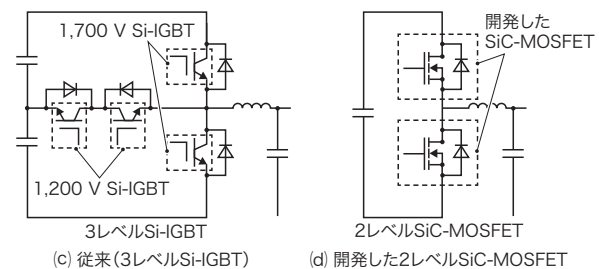
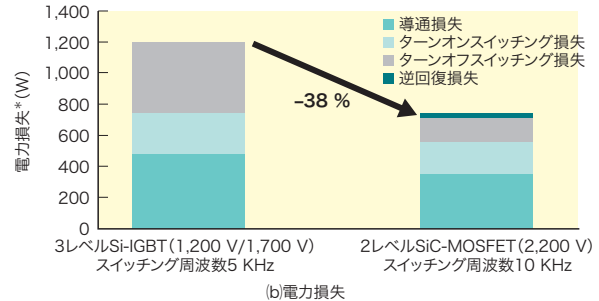


電力変換装置の小型・省エネ化を実現する 2,200 V SiC-MOSFET



開発した2,200 V SiC-MOSFETのデバイス構造
Cross-sectional view of new 2,200 V silicon carbide (SiC) MOSFET



*2023年3月時点で公表されている特性データに基づき、当社が推計

従来素子と開発素子のインバーター損失比較

Comparison of power dissipation of inverters composed of conventional and new devices

太陽光発電用電力変換装置の小型・省エネ化を可能にする、2,200 V耐圧クラスのSiC（炭化ケイ素）パワーモジュールを開発した。

近年、太陽光発電応用において、入力電圧の1,500 Vへの引き上げが検討されている。従来は、Si（シリコン）-IGBT（絶縁ゲート型バイポーラトランジスタ）を用いた3レベルインバーター回路が用いられているが、高耐圧・低損失素子による2レベル回路化が可能になれば、電力変換装置の小型・省エネ化が実現できる。

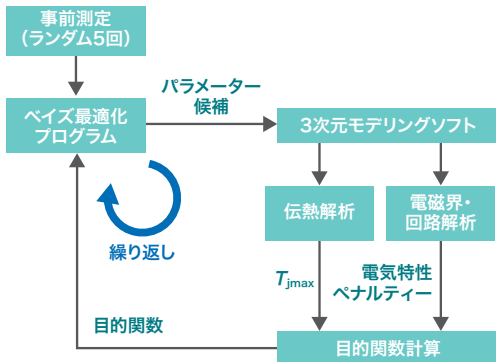
そこで、1,700 Vクラスの第3世代SiCパワー MOSFET（金属酸化膜半導体型電界効果トランジスタ）をベースに2,200 Vに対応した素子を開発した。SiC-MOSFETの信頼性課題である逆方向通電時の素子劣化を抑制するため、SBD（ショットキーバリアダイオード）内蔵構造を踏襲し、ドリフト層設計を最適化することで、トレードオフ関係を維持した上で高耐圧化を実現した。

電力変換装置の長期信頼性を担保する上で要求される中性子線耐量に関しても、加速試験によってその向上を確認している。

今回開発した素子と低インダクタンス標準パッケージを組み合わせた2,200 V、250 AクラスのSiCモジュールでは、同等耐圧のSiモジュール（Si-IGBT + Si-FRD（ファストリカバリーダイオード））と比較して、スイッチング損失を大幅に低減できた。この結果を基に、SiCモジュールをインバーター回路に適用した際の効果を見積もると、スイッチング周波数をSi-IGBTの2倍にしても、消費電力は38%低くなることが分かった。高スイッチング周波数化や低消費電力化により、フィルター回路の受動素子、ヒートシンクなどの冷却部品の小型・軽量化が可能である。

東芝デバイス&ストレージ(株)

パワーモジュールの低ノイズ・低熱抵抗化を実現した ベイズ最適化技術



ベイズ最適化の実行フロー
Bayesian optimization flowchart

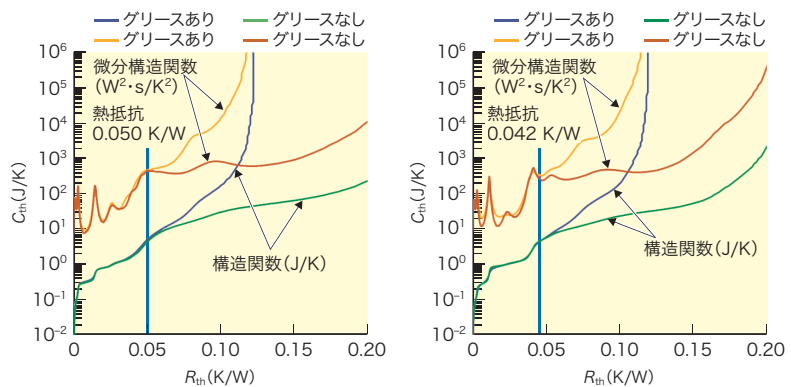


試作したモジュールの外観
Sample module appearance

項目	T_{jmax} (°C)			電気特性ペナルティ	目的関数
	両アーム	上アーム	下アーム		
初期デザイン	125.1	80.8	78.9	0.546	3.54
最適デザイン	123.9	80.4	78.7	0.033	3.01

最適化前後の特性比較

Comparison of thermal and electrical characteristics before and after optimization



測定した構造関数
Measured structure functions

SiCパワーデバイスは、従来のSiデバイスよりも大容量で高速動作が可能であることから、ハイパワー用途を中心にSiデバイスからの置き換えが進んでいる。それに伴い、パッケージの低熱抵抗化及び高速動作に対応した低ノイズ化への要求が高まっている。当社は、2020年にSiC-MOSFETを業界標準2in1パッケージに搭載したSiCモジュールを開発したが、今回、更なる特性向上を目指し、次世代パワーモジュールの設計にベイズ最適化を導入した。ベイズ最適化では、パッケージの設計寸法をパラメーターとしたシミュレーションを繰り返し実行し、理想的な特性となる設計パラメーターを探索する。具体的には、最適化したいモジュールで、選択した複数の評価指標を一つの目的関数として表現し、これを最小化する形で最適化を行う。モジュールの放熱性を高めるため、一定の発熱下での定常伝熱シミュレーションによって求めたSiCチップの最高温度 T_{jmax} を最小化の対象とする。2in1タイプのモジュールであるため、上アーム、下アームのそれぞれを発熱させた場合と、上下アーム両方を発熱させた場合の和を目的関数の一つの項として定義した。また、電気的特性が悪化することを防ぐため、主端子間インダクタンス、寄生抵抗、モジュール内電流バランス、スイッチング損失も目的関数に含め、規格値、目標値が設定されている指標に関しては、一定の基準により目的関数にペナルティを加算した。

ベイズ最適化及び各種シミュレーションの自動化プログラムを作成し、自動で最適化を行えるようにした。プログラムを実行して最適化を行った結果、最適化前と比較して T_{jmax} が低下し、電気特性のペナルティが少ないデザインの探索に成功した。

最適設計パラメーターを用いたモジュールを試作し、構造関数の測定から熱抵抗を算出すると、0.042 K/Wであり、従来デザインのパッケージの0.050 K/Wに対し約16%低減した。今後も、ベイズ最適化によって更なるパワーモジュールの特性向上を目指していく。

東芝デバイス&ストレージ(株)

600 V 耐圧の低消費電力パワー MOSFET DTMOSVIシリーズ



DTMOSVI 600V
製品外形
(TOLLパッケージ)

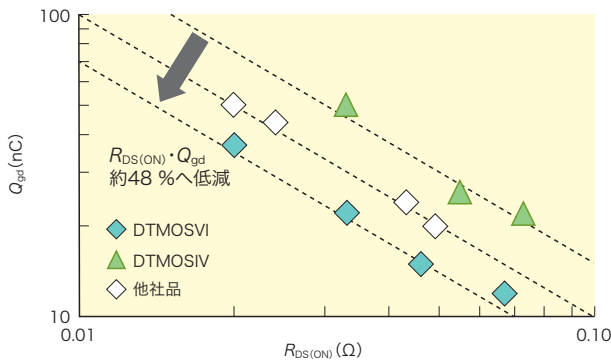
項目	従来製品 DTMOSIV	開発品 DTMOSVI
V_{DSS} (V)	600	600
$R_{ON} \cdot A^*$ (%)	100	84
$R_{DS(ON)} \cdot Q_{gd}^*$ (%)	100	48

TOLL : TO (Transistor Outline) -Leadless

V_{DSS} : ドレイン-ソース間耐圧 $R_{ON} \cdot A$: 単位面積当たりの $R_{DS(ON)}$
*相対値

開発品と従来製品の性能指標比較

Comparison of figure-of-merit between existing DTMOSIV series and new 600 V DTMOSVI series super-junction power MOSFETs (SJ-MOS)



性能指標パラメーターのトレードオフ比較

Comparison of figure-of-merit tradeoff among SJ-MOS products

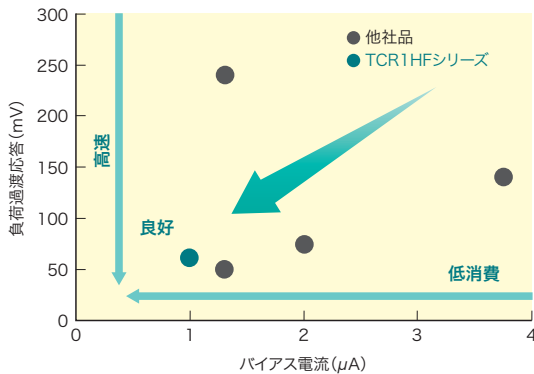
東芝デバイス&ストレージ (株)

カーボンニュートラルに代表される省エネ化活動が不可欠な中、データセンターや、サーバー、通信基地局などの産業機器向け電源では、低消費電力化が進められ、電力変換効率を向上させるために、高効率化に寄与する低損失なパワー半導体が求められている。これに対応するため、スーパージャンクション (SJ) 構造の最新世代プロセスを採用したnチャネルパワー MOSFET DTMOSVIシリーズの600 V耐圧品を開発した。

開発品は、ゲート構造の変更によるスイッチング動作の高速化及びSJ構造の最適化によるドレイン-ソース間オン抵抗 ($R_{DS(ON)}$) の低減を行った。これにより、高速動作による低スイッチング損失特性とオン抵抗低減を両立し、従来製品に対して、電源効率の指標となる性能指標 $R_{DS(ON)} \cdot Q_{gd}$ ($R_{DS(ON)}$ とゲートドレイン間電荷量 Q_{gd} の積) を約48%に低減させた。

今後は、製品オン抵抗やパッケージのバリエーション展開などを行い、更なる消費電力低減で、持続可能な社会の構築に貢献していく。

産業向け低消費電流リニアレギュレーター IC TCR1HFシリーズ



0 mA から 10 mA の負荷過渡応答と消費電流の関係

Bias current-vs-load transient characteristics of TCR1HF series linear regulator ICs at 0 mA to 10 mA

バッテリーで駆動する産業向け機器の広がり背景に、ほとんどの期間は最低限の消費電流で動作し、システムが動作する間だけ大電流で動作することで長時間のバッテリー駆動ができるシステムの需要が増加している。

システムの電源を供給するリニアレギュレーターには、低消費電流特性とともに、負荷発生時には瞬時に大電流を供給できる高い応答性が求められている。

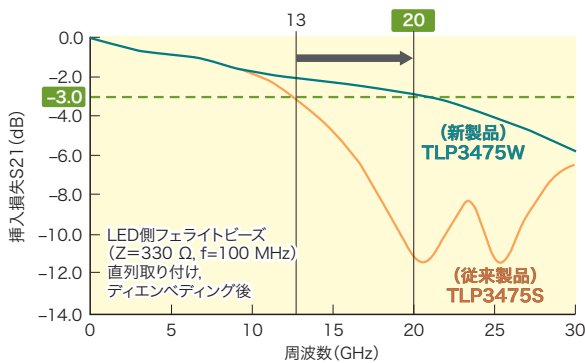
TCR1HFシリーズは、新しく開発した高耐圧の内部参照電流回路を採用することで、標準 $1 \mu A$ という業界最小クラス^(注)の消費電流に抑えた。また、出力電圧の変動を感知できる極低消費回路を搭載することで、負荷が変動したとき直ちに電流を供給できる高い応答性を確保した。

これらの技術により、低消費動作による長寿命化と高速応答による安定動作という相反する課題の両立を実現した。また、開発した製品は、4~36 Vまでの広い入力電圧範囲に対応しており、多くの産業向けバッテリー駆動システムの発展に貢献できる。

(注) 2023年5月現在、当社調べ。

東芝デバイス&ストレージ (株)

■ 高周波特性を向上した半導体テスター向け小型フォトリレー



S21:高周波電子回路の特性を表すSパラメーターで表された挿入損失
Z:インピーダンス f:周波数

挿入損失特性

Comparison of insertion loss characteristics of new TLP3475W and conventional TLP3475S photorelays

半導体テスターでは、被測定デバイスの高機能化・高速化に伴い、テスト信号の切り替えに使用されるフォトリレーにも、優れた高周波特性や高速動作が求められる。今回、パッケージ設計の最適化により、高周波特性に影響する寄生容量・インダクタンス低減を実現したフォトリレー TLP3475Wを開発した。

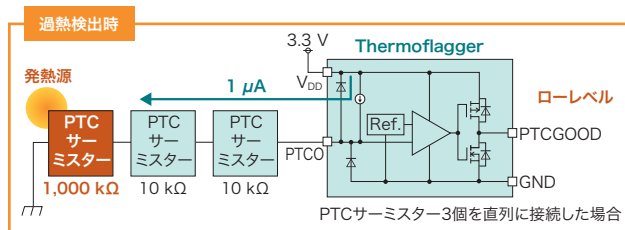
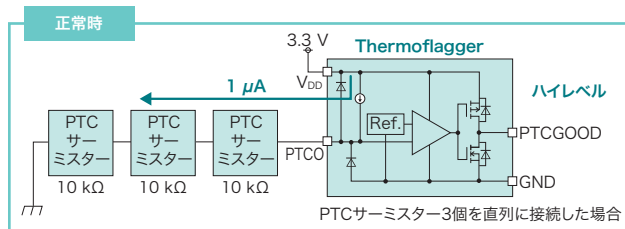
開発した製品では、通過特性（信号電力減衰比が-3 dBとなる周波数）の標準値を、従来製品の13 GHzから約1.5倍の20 GHzに向上させた。更に、信号切り替え時間に影響するターンオン時間も従来製品からの半減化を実現した。また、製品パッケージは、当社の従来パッケージS-VSON4Tに対して厚さを40%削減して0.8 mm（標準）を実現した業界最小サイズ^(注)のWSON4を採用した。

今後も、半導体テスターの高機能化や、被測定デバイスの測定効率向上に寄与できるフォトリレー製品の開発を進めていく。

(注) 2024年1月現在、フォトリレー製品として、当社調べ。

東芝デバイス&ストレージ(株)

■ 過熱監視IC Thermoflagger TCTH0シリーズ



V_{DD}:電源端子 Ref.:基準電圧回路 GND:グラウンド端子

Thermoflaggerの動作例

Example of Thermoflagger operation

近年、電子機器に対する安全性確保は重要な課題となっており、電子機器内に搭載されている各種半導体や電子部品で発生する熱の監視ソリューションが必要とされている。

そこで、PTC (Positive Temperature Coefficient) サーミスターと組み合わせ、複数箇所の異常過熱を検知できる、高精度の電流源とコンパレータを内蔵したIC Thermoflaggerを開発した。高温環境下で抵抗値が高くなる特性を持つPTCサーミスターを図のように接続し、定電流出力端子 PTCOから高精度電流を印加し、過熱異常によるインピーダンスの変化を検出することで、フラグ信号出力端子 PTCGOODから異常状態を出力できる。PTCサーミスターは、目的の温度特性に合った任意のものを選択でき、その配置や個数は、使用環境を考慮して自由に決定できる。このように、Thermoflagger一つで、複数箇所の異常発熱をPTCサーミスターにより監視可能で、多様な機器の安全・低コスト化に貢献できる。

東芝デバイス&ストレージ(株)