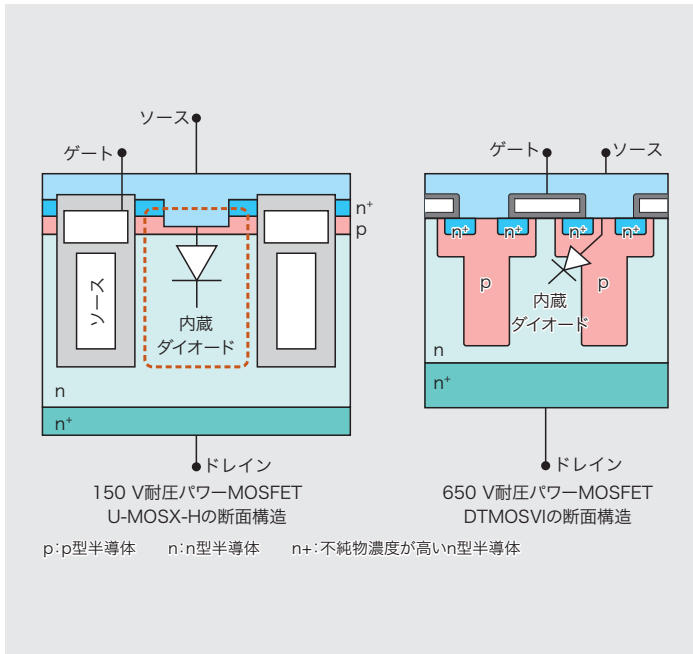


# 逆回復特性を向上させるパワー MOSFET 技術



パワー MOSFET の内蔵ダイオード  
Intrinsic body diodes in 150 V and 650 V power MOSFETs

### U-MOSX-H

項目	$t_{rr}$	$Q_{rr}$
ライフタイム制御プロセスあり	40 ns	34 nC
ライフタイム制御プロセスなし	72 ns	130 nC
低減率	44 %	74 %

測定条件 電流変化率：-100 A/ $\mu$ s

### DTMOSVI

項目	$t_{rr}$	$Q_{rr}$
ライフタイム制御プロセスあり	115 ns	0.6 nC
ライフタイム制御プロセスなし	330 ns	5.1 nC
低減率	65 %	88 %

測定条件 電流変化率：-100 A/ $\mu$ s

従来プロセス品との逆回復時間 ( $t_{rr}$ ) 及び逆回復電荷量 ( $Q_{rr}$ ) の比較  
Comparison of reverse recovery time ( $t_{rr}$ ), and reverse recovery charge ( $Q_{rr}$ ) of power MOSFETs with conventional and newly developed processes

5G (第5世代移動通信システム) 基地局では、データ通信量及び記憶容量がともに拡大し続けており、それに伴い増加している機器の消費電力の削減が重要な課題となっている。その対策として、電源の高効率化が必要であり、使用されるパワーデバイスの電力損失の低減が求められている。

従来のパワーデバイスの製品開発は、オン抵抗やゲート電荷量の低減が主眼であったが、これらが十分に改善された現在では、電力損失全体に占めるスイッチング動作時の逆回復損失の割合が大きくなっており、更なる損失低減には、逆回復特性の改善が必要である。

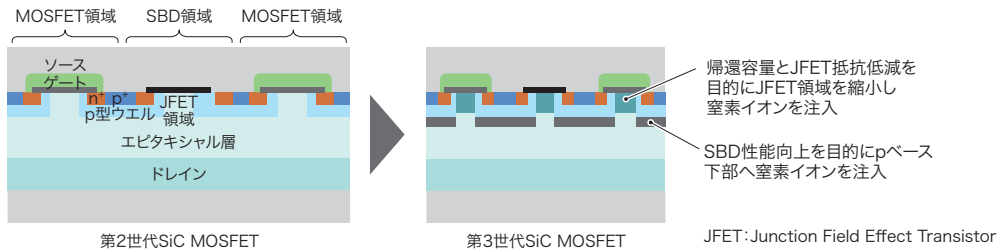
そこで、既存のパワー MOSFET (金属酸化膜半導体電界効果トランジスター) である 150 V 耐圧 U-MOSX-H、及び 650 V 耐圧 DTMOSVI の 2 製品から、逆回復特性を改善した製品を新たに開発し、HSD (High-Speed-Diode) シリーズとしてリリースした。

スイッチング動作時の逆回復損失を低減するには、MOSFET の内蔵ダイオード周辺に蓄積したキャリアが再結合し消滅するのに要する逆回復時間 ( $t_{rr}$ ) を短縮して、それにより逆回復電荷量 ( $Q_{rr}$ ) を低減することが有効である。そこで、既存製品の構造に、正孔が電子と再結合して消滅する確率を高めるライフタイム制御プロセスを追加して最適化することで、逆回復特性の改善を図った。この結果、U-MOSX-H 製品では、 $t_{rr}$  が 44 %、 $Q_{rr}$  が 74 % 低減し、DTMOSVI 製品では同様に  $t_{rr}$  が 65 %、 $Q_{rr}$  が 88 % それぞれ低減した。また、これらの改善は、オン抵抗及びゲート電荷量の両特性を維持したまま達成できた。

今後も、更なる消費電力の低減要求に応えるため、この技術の適用をほかのパワーデバイス製品にも拡大させることにより、省エネ社会の実現に貢献していく。

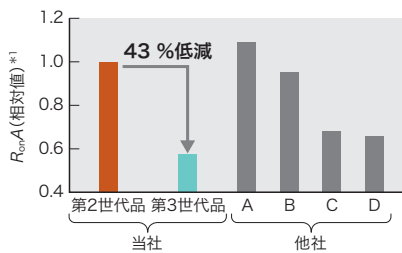
東芝デバイス&ストレージ(株)

# 低損失性と高信頼性を両立させた 第3世代のSBD内蔵型SiC MOSFET



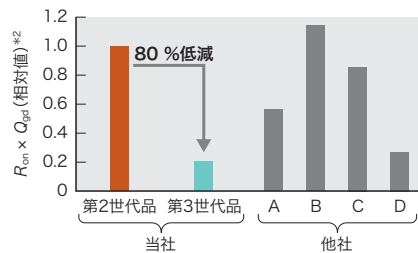
## 第2世代及び第3世代SBD内蔵型SiC MOSFETの構造

Cross-sectional structures of second- and third-generation Schottky barrier diode (SBD)-embedded silicon carbide (SiC) MOSFETs



\*1 当社第2世代品の $R_{on}A$ を1として規格化

1.2 kV耐圧第2世代及び第3世代SBD内蔵型SiC MOSFETにおける $R_{on}A$   
Comparison of specific on-resistance ( $R_{on}A$ ) of 1.2 kV-class second- and third-generation SBD-embedded SiC MOSFETs when  $R_{on}A$  of second-generation SiC MOSFET is 1



\*2 当社第2世代品の $R_{on} \times Q_{gd}$ を1として規格化

1.2 kV耐圧第2世代及び第3世代SBD内蔵型SiC MOSFETにおける $R_{on} \times Q_{gd}$   
Comparison of on-resistance ( $R_{on}$ )  $\times$  gate-drain capacitance ( $Q_{gd}$ ) of 1.2 kV-class second- and third-generation SBD-embedded SiC MOSFETs when  $R_{on} \times Q_{gd}$  of second-generation SiC MOSFET is 1

パワー半導体の性能向上は、電気機器の省エネ化やカーボンニュートラルの実現に不可欠である。SiC（炭化ケイ素）は、従来のSi（シリコン）に代わってパワー半導体の性能を向上させる新たな材料として注目を集めている。一方、SiCはデバイスの信頼性に関わる問題が幾つか知られている。その一つが、SiC MOSFETの内部に存在するpnダイオードに通電すると、通電エネルギーによってSiCウエハーに内在する結晶欠陥が拡張し特性が劣化する点である。

当社はこの問題を解決するために、SBD（ショットキーバリアダイオード）を内蔵させた第2世代のSiC MOSFETを製品化し、リリースしている。SBDに電流を流すことで、pnダイオードの動作を抑制し、通電による欠陥拡張を抑制できる。しかしSBDを内蔵することでMOSFETとして機能する領域が減少し、パワー MOSFETの重要なFOM（Figure Of Merit）である $R_{on}A$ （単位面積当たりのオン抵抗）や $R_{on} \times Q_{gd}$ （オン抵抗とゲート-ドレイン間電荷量との積）が増大するため、導通損失やスイッチング損失が大きくなってしまふことが、新たな問題となった。

そこで今回、第2世代同様SBD内蔵型SiC MOSFETの構造を採用した上で、更にイオン注入プロファイルの最適化によってSBD領域の面積を削減することにより、特性と信頼性の両立を実現した第3世代のSiC MOSFETを製品化し、リリースした。当社の第2世代と比較して、第3世代のSiC MOSFETでは $R_{on}A$ は43%、 $R_{on} \times Q_{gd}$ は80%低減しており、他社と比較しても低い値となっている。

# SiCの普遍的点欠陥熱拡散モデル

$$\frac{dV_c}{dt} = \nabla \left( \sum_z \left( D_{vcz} \cdot \nabla(V_c^z) + \frac{q}{kT} \cdot D_{vcz} \cdot Z \cdot V_c^z \cdot \nabla(\Psi) \right) \right) + G - R \quad (1)$$

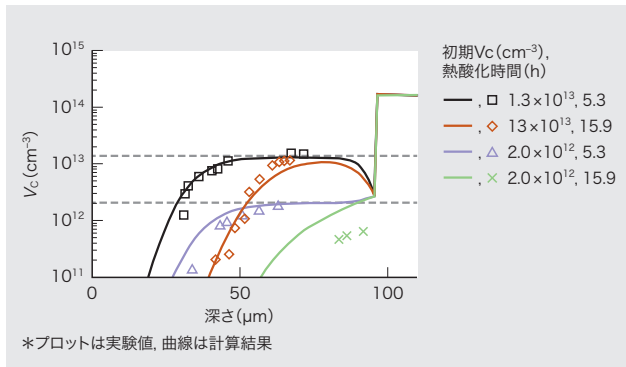
$$\frac{dC_i}{dt} = \nabla \left( \sum_z \left( D_{ciz} \cdot \nabla(C_i^z) + \frac{q}{kT} \cdot D_{ciz} \cdot Z \cdot C_i^z \cdot \nabla(\Psi) \right) \right) + G - R - Trapping \quad (2)$$

$$Trapping = 4\pi \cdot r_{cap,trap} \cdot C_{Trap} \cdot D_{Ci} \cdot (C_i - C_{i,eq}) \quad (3)$$

$V_c$ : 炭素空孔の密度  $C_i$ : 格子間炭素の密度  $z$ : 荷電状態指示数  $D$ : 拡散係数  $\Psi$ : 電位  $q$ : 素電荷量  $k$ : ボルツマン定数  $T$ : 絶対温度  
 $G$ : 生成率  $R$ : 再結合率  $r_{cap,trap}$ : 基板中の欠陥によるCiの捕獲半径  $C_{Trap}$ : 基板中のトラップ密度  $t$ : 時間  $C_{i,eq}$ : 平衡状態における $C_i$ の値

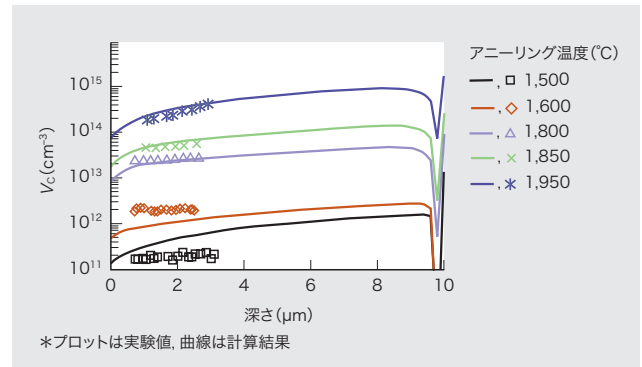
## 今回開発したモデル

Calculation formulas for newly developed simulation model



1,300 °C熱酸化後のSiC中VC分布

Comparison of measured and simulated distributions of carbon vacancies (VC) in SiC after thermal oxidation at 1 300°C



高温アニーリング後のSiC中のVC分布

Comparison of measured and simulated distributions of VC in SiC after high-temperature annealing at different annealing temperatures

地球温暖化抑制のためのカーボンニュートラル実現は世界的な課題である。SiCはパワー半導体として優れた特性を持つため、電力変換器の効率向上に寄与することが期待されている。新しい半導体素子構造の開発においては、TCAD (Technology CAD) のようなシミュレーターの活用が必須であるが、SiCは比較的新しく物理モデルが十分には整備されていない。SiCでは、素子の電気特性に影響する点欠陥として炭素空孔 (VC) が安定的に存在していることが知られている。

そこで、VCの分布をデバイスシミュレーションで考慮して計算精度を向上させるために、熱酸化及び活性化アニーリング時のVC・格子間炭素 (Ci) の生成・拡散・再結合過程のモデルをプロセスシミュレーター Sentaurus™ Processに組み込むことを試みた。

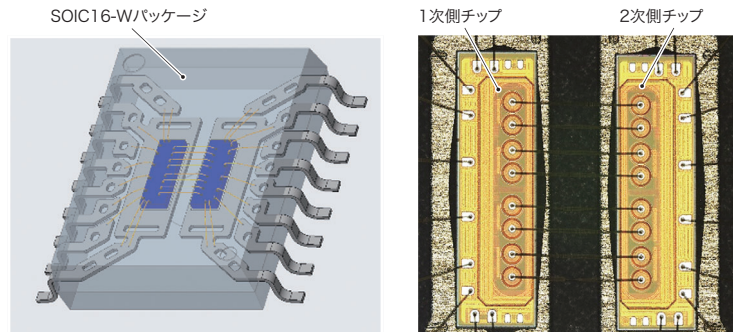
先行研究として、①熱酸化時 (1,150~1,400 °C) のモデルと、②超高温活性化アニーリング時 (~1,950 °C) のモデルが提案されているが、より対応温度範囲の広い②のモデルを用いて①のモデルが参照している実験結果を再現できないことから、これらのモデルには普遍性がないといえる。

一方、SiC基板中には、多くの種類の欠陥が多数存在することが知られている。今回、この基板中の欠陥がエピタキシャル層から拡散してきたCiを捕獲、又は過剰なCiを放出するものと仮定して、Ciの拡散方程式に *Trapping* (基板中の付加的なトラップ率) の項を追加したモデルを開発した。

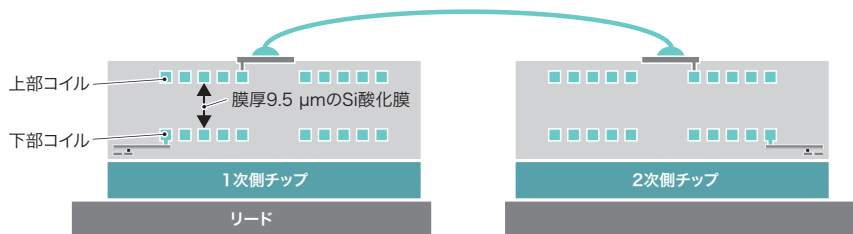
パラメーターを最適化した結果、①、②のモデルをいずれも精度良く再現しており、開発したモデルの普遍性が確認できた。今後は、イオン注入による点欠陥生成のモデルを整備し、点欠陥分布を考慮した統合計算環境を構築する。

東芝デバイス&ストレージ (株)

# カーボンニュートラルの実現に貢献する 高ノイズ耐性のデジタルアイソレーター



(a) デジタルアイソレーターの斜視図とICチップ



(b) 絶縁トランスの断面構造

テストサンプルの基本構造  
Basic structure of prototype digital isolator

カーボンニュートラルの実現に向けて、温室効果ガス低減の取り組みが世界的に加速しており、それに有効な電気自動車や再生可能エネルギー応用機器の普及が進められている。

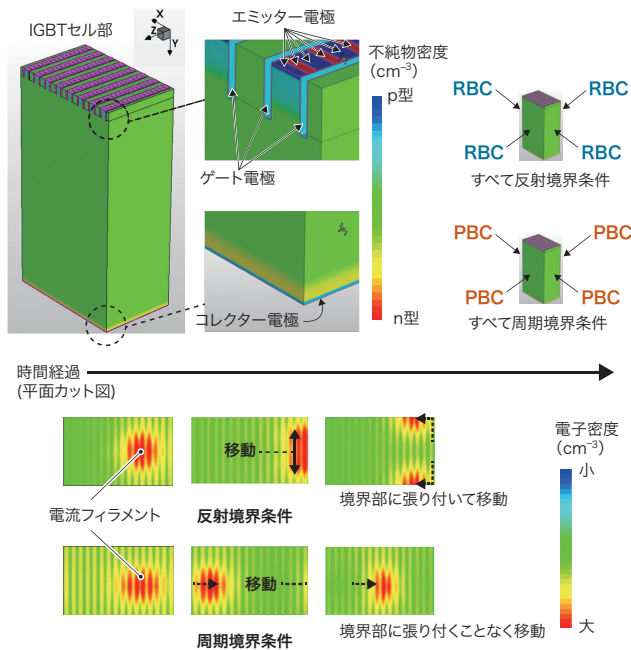
これらのシステムでは、異電位ブロック間の信号通信やノイズ伝搬抑制の目的で、アイソレーター製品が多数用いられている。アイソレーターには、入力側・出力側の接地電位間に過渡的な電圧変動が発生した際にも、信号通信に影響を及ぼさないこと（ノイズ耐性）が重要特性の一つとして求められる。

今回、当社は、このノイズ耐性の指標であるCMTI (Common Mode Transient Immunity) が高く、高レベルの絶縁規格を満たす、信頼性の高いデジタルアイソレーターを開発した。

絶縁性能に関しては、絶縁トランスのコイル間の絶縁膜にCMOS (相補型金属酸化膜半導体) プロセスで用いられている高品質なSi酸化膜を膜厚9.5 μmで厚く形成し、かつ二つの絶縁トランスをカスケード接続した2重絶縁構造を用いることで5,000 V<sub>rms</sub>、60 sの絶縁定格を実現した。

絶縁トランスをカスケード接続すると、通常は信号減衰が大きくなる問題が発生するが、高周波増幅回路で信号増幅して全波整流及び包絡線検波することで、消費電流を抑えながら安定した動作を実現した。

## ■ デバイス信頼性設計のための超大規模3次元シミュレーション技術



IGBTの超大規模3次元構造と境界条件下における電流フィラメントの挙動

Current filament behavior in insulated gate bipolar transistor (IGBT) with ultralarge-scale three-dimensional structure under different boundary conditions

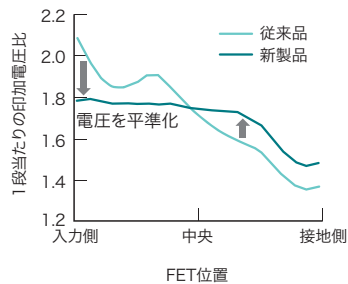
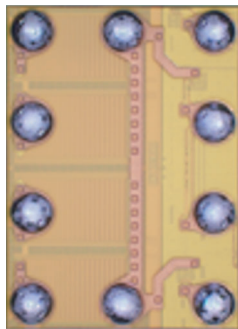
近年、デバイスの開発では、開発期間の短縮とデバイス内部の物理的動作の解析のためにシミュレーションが活用されている。なかでもIGBT（絶縁ゲート型バイポーラトランジスタ）デバイスは強い3次元性を持っており、3次元でのシミュレーションが求められている。特に、信頼性設計で重要な要素技術の一つが、電流フィラメントの挙動を把握するためのシミュレーションである。電流フィラメントは、通常は均一に流れる電流が局部的に集中して流れる現象で、電流密度が高く大きなジュール熱を生成するため、デバイスを破壊する危険性がある。

今回、超大規模の3次元構造モデルを用いて、IGBTセル内における電流フィラメントの移動についてのシミュレーションを正確に行うために、必要となるデバイス側面の境界条件を検討した。反射境界条件（RBC）では時間経過とともに電流フィラメントが境界部に張り付く不自然な結果となったが、周期境界条件（PBC）では自然な動きとなり、妥当な結果が得られた。周期境界条件では、一般には計算が収束しにくい、行列解法の設定を工夫することで収束性を改善した。

東芝デバイス&ストレージ(株)

デバイス&ストレージ  
半導体

## ■ 最新TarfSOI™ プロセスを採用したアンテナチューニング用高耐圧RFスイッチIC



TCWA0406Gのチップと各FETに掛かる入力電圧

Chip of newly developed TCWA0406G radio-frequency (RF) switch integrated circuit (IC) for mobile devices and input voltage applied to each FET in TCWA0406G

5Gスマートフォンなどのモバイル機器では、通信高速化に対応してアンテナの選択度を高めるため、アンテナチューニングスイッチを給電点からより離して設置する。この影響でスイッチに掛かる電圧が上昇し、80Vの高耐圧が要求されるようになった。しかし、高周波スイッチIC用SOI（Silicon-on-Insulator）プロセス技術TarfSOI™（Toshiba Advanced Radio Frequency SOI）の従来プロセスTaRF9のMOSFETは、高い電圧が掛かるとボディリーク（ $I_b$ ）が増加し耐圧が低下していた。そこで、耐圧特性を向上させた最新世代プロセスTaRF12を開発し、高耐圧RF（Radio Frequency）スイッチICの新製品を上市した。

新プロセスでは、ゲート長と不純物プロファイルの最適化により、 $I_b$ を大幅に減少させ耐圧を向上させた。また、多段に接続しスイッチを構成するFETは入力側に高電圧が掛かる問題があったが、電磁界解析によるデバイス上の配線長の最適化でこれを平準化し、耐圧を改善した。新製品TCWA0406Gでは、プロセス、回路の改善で主要特性のオン抵抗、オフ容量を下げ、90V以上の高耐圧を実現した。今後、プロセスを更に改良し、1.2Vの低電源電圧動作製品の開発を進める。

東芝デバイス&ストレージ(株)

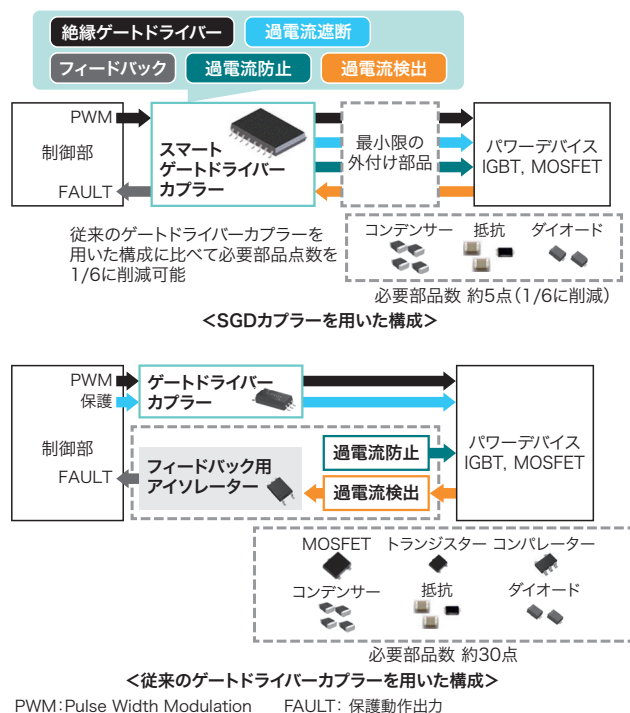
項目	要求仕様	従来品	新製品
製品名	-	TCWA0403	TCWA0406G
プロセス	-	TaRF9	TaRF12
耐圧 (V)	80	84.5	91.7
$R_{on}$ ( $\Omega$ )	2.1	2.37	2.16
$C_{off}$ (fF)	130	178	132

f: フェムト ( $10^{-15}$ )  $R_{on}$ : オン抵抗  $C_{off}$ : オフ容量

従来プロセスを用いた製品との主な特性の比較

Comparison of main characteristics of TCWA0406G and product using conventional silicon-on-insulator (SOI) process

## ■ パワーデバイスの駆動・保護動作設計を容易にするスマートゲートドライバーカプラー



SGDカプラーを用いたパワーデバイス駆動及び保護回路ブロック図  
 Block diagrams of power device drive and protection circuits using smart gate driver coupler

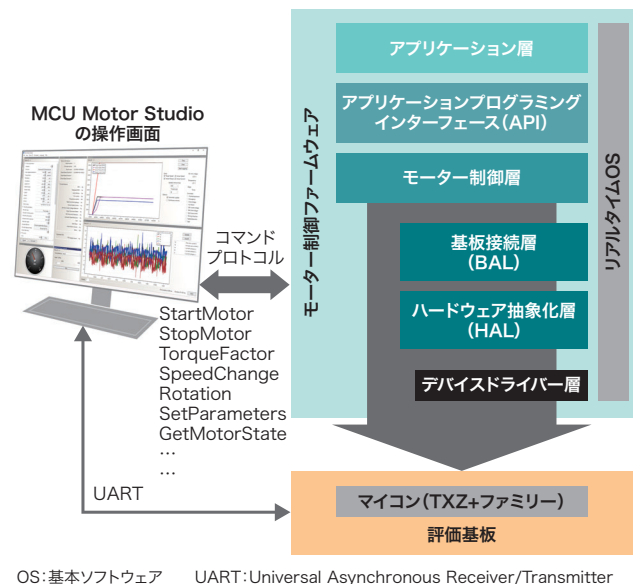
東芝デバイス&ストレージ(株)

地球規模の課題である気候変動問題の解決に向けて、カーボンニュートラル実現への取り組みが進んでいる。電力の供給を制御するパワーデバイスは、そのキーデバイスとして注目されており、パワーデバイスの駆動をつかさどるゲートドライバーの重要性も高まっている。

このゲートドライバーに絶縁機能とパワーデバイスの保護機能を付与したスマートゲートドライバー (SGD) カプラーを使用することで、ファクトリーオートメーション機器や、再生可能エネルギー機器において、パワーデバイスの駆動及び保護を容易に実現でき、SGDカプラーを使用しない場合と比較して、同じ機能を実現するのに必要な部品点数を1/6に削減できる。

今回、保護からの復帰を自動で実行するSGDカプラー TLP5222を商品化した。これにより復帰に対する制御が不要となり、設計容易性が更に向上する。また、従来製品のTLP5212やTLP5214Aなどと合わせて、顧客の使用環境や設計思想に応じた最適な製品の提案が可能となる。

## ■ モーター制御システム開発を加速するMCU Motor Studio



MCU Motor Studioの構成  
 Configuration of MCU Motor Studio motor control system development environment

モーター制御MCU (Micro Controller Unit) 向け開発環境 MCU Motor Studioを2022年5月にリリースした。MCU Motor Studioは、モーター制御PCツールとモーター制御ファームウェアから構成されており、PC(パソコン)と評価ボードをUSB (Universal Serial Bus) ケーブルでつなぐだけで、シンプルな開発・試作環境を構築でき、モーター制御システムの開発を加速できる。

ベクトル制御では、制御パラメーターを調整しながらモーターの動作を確認することが必要になるが、モーター制御PCツールは、視覚的に分かりやすいユーザーインターフェースを採用しており、内部状態をモニターしながら、制御パラメーターの設定ができる。これにより、ソフトウェアに触れることなく制御パラメーターを調整しながらモーターを動作させることが可能となった。従来は、製品個別に最適化されたモーター制御ファームウェアを提供していたが、MCU Motor Studioではファームウェアの拡張が容易な構造にすることで、広く当社製品や各種評価ボードをサポートできるようになった。今後、アップデートでの更なる機能拡張も計画している。

東芝デバイス&ストレージ(株)