

Siパワー MOSFET の設計を効率化する オン抵抗予測技術

Technique for Prediction of On-Resistance in Si Power MOSFETs to Improve Design Efficiency

伊藤 和幸 ITO Kazuyuki 菊地 拓雄 KIKUCHI Takuo 織田 達広 ODA Tatsuhiko 西口 俊史 NISHIGUCHI Toshifumi

東芝グループは、トレンチ型Si（シリコン）パワー MOSFET（金属酸化膜半導体型電界効果トランジスタ）のオン抵抗（ R_{on} ）予測技術を開発した。測定されたウエハーの反りから、マルチスケール応力解析を用いてデバイス構成膜の応力を推定し、 R_{on} を算出する。

この手法を試作デバイスに適用し、トレンチに隣接するSiの応力を10%以内、 R_{on} を3%以内の誤差で予測できることを確認した。また、製造工程ごとの応力分布の推移を調べ、応力の制御が重要な製造工程を明らかにした。この技術により、デバイス開発の後戻り防止が可能になり、設計効率を向上できる。

The Toshiba Group has developed a simulation technique to predict on-resistance (R_{on}) in trench type silicon (Si) power metal-oxide-semiconductor field-effect transistors (MOSFETs), based on the results of estimation of the membrane stresses inside the device obtained using the measured wafer warpage values and multiscale stress analysis.

We have applied this technique to a prototype device, and confirmed that it can predict the stress distribution of the Si substrate adjacent to the trench with a margin of error of within 10% and the R_{on} with a margin of error of within 3%. Furthermore, we have also calculated the stress distribution in each manufacturing process and clarified the processes in which stress control is important so as to realize a design with the appropriate R_{on} . This technique is expected to reduce backtracking in device development, leading to improvements in design efficiency.

1. まえがき

Siパワーデバイスは、電力変換や制御に用いられる半導体デバイスであり、家電製品や、自動車、鉄道車両などの様々なシステムで用いられている。その代表的なデバイスにはIGBT（絶縁ゲート型バイポーラトランジスタ）やMOSFET（金属酸化膜半導体型電界効果トランジスタ）などが挙げられ、特に自動車などの電動化に伴ってMOSFETの需要が拡大している⁽¹⁾。

MOSFETは、電気エネルギーを無駄なく変換して消費電力を抑えることが重要である。そのためには、デバイスを動作（オン）させたときのドレイン-ソース間の抵抗値 R_{on} を低減させる必要がある。これを実現するため、近年ではプレーナー型からトレンチ型⁽²⁾の構造への転換が行われている（図1）。このデバイス構造では、FP（フィールドプレート）でソース-ドレイン間の電界を抑えて基板のキャリア濃度を上げることで、 R_{on} の低減を実現する。一方、トレンチ内に埋め込まれる酸化膜及び導電性ポリSiの応力により、FPに隣接するSiのメサ領域などにひずみが発生し、ピエゾ抵抗効果で R_{on} が変化する⁽³⁾。このため、トレンチ型デバイスの R_{on} を正確に予測するには、デバイス内部の応力分布の定量化が必要である。

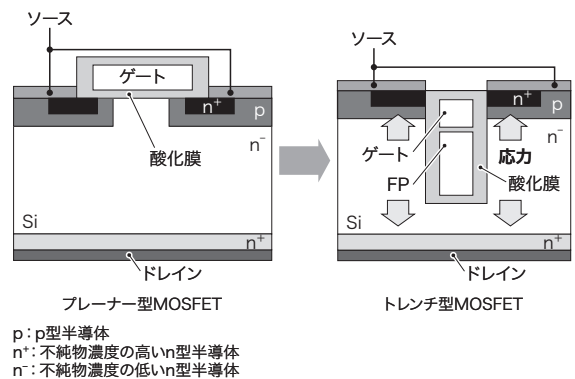


図1. プレーナー型MOSFETとトレンチ型MOSFETのデバイス構造
 R_{on} を低減するため、近年ではトレンチ型MOSFETが主流となっている。
Device structures of planar and trench MOSFETs

応力の定量化手法としては、ラマン分光法やEBSD (Electron Backscatter Diffraction Pattern) 法を用いた分析や、有限要素法を用いた応力シミュレーションなどが挙げられる。しかし、分析には実サンプルの作製が必要であるため、デバイス設計にフィードバックするまでに時間を要する。一方、シミュレーションは実サンプルを作製しなくても応力分布を予測できるが、解析結果の精度検証が難しい。

そこで東芝グループは、マルチスケール応力解析⁽⁴⁾を用い

て、デバイス内部の応力分布を定量化し、 R_{on} を予測する技術を開発した。ここでは、この技術の概要、試作したトレンチ型MOSFETのデバイス内部の応力分布と R_{on} を予測した結果、及び R_{on} に与える影響が大きい製造工程の調査について述べる。

2. マルチスケール応力解析を用いた R_{on} 予測技術

2.1 ウエハー反りを基にしたデバイス構成膜の応力推定

トレンチ型MOSFETは、トレンチ内に酸化膜とポリSiなどの異種材料を積層して埋め込んだ構造であるため、各膜の線膨張係数の差から応力が発生し、ウエハー反りが生じる。また、**図2**に示すように、製造工程中に新たに追加される膜や熱処理による応力変化などの影響で、工程終了ごとにウエハー反りの大きさが推移する。そのため、全ての製造工程でウエハー反りの変化を定量的に把握して逆算することで、デバイス構成膜の応力を推定できる。

2.2 ウエハー反り解析の計算負荷低減

マルチスケール応力解析を用いたウエハー反り解析の概要を、**図3**に示す。デバイスの微細構造を考慮したウエ

ハー反り解析では、一般的に、小規模な構造モデルを、そのままウエハーサイズに大規模化するため、メッシュ数 n が 10^{14} を超え、計算負荷が非常に大きくなる。

そこで、現実的な時間での解析を行うため、均質化法⁽⁵⁾を用いた。均質化法では、複数材料からなる構造を等価な材料物性値を持つ単一の複合材料として扱うことで、構造モデルを簡略化する。具体的には、解析対象に対して力を加えた場合の変形量の応答を解析し、その応答が同等となる複合材料物性値を算出してモデル化する。これにより、ウエハー全体のメッシュ数をおよそ $1/10^7$ に削減できるため、計算負荷を軽減し、精度を損なわずに計算時間を大幅に短縮できる。

均質化後の複合材料物性値を求めるために、有限要素法解析ツールを用いてデバイスの形状モデルを作成した(**図4**)。デバイスの応力は、デバイスを構成する膜の応力 σ を解析ツールに入力して求めた。 σ は、それぞれのデバイス構成膜を単膜でSiウエハー上に形成したときに生じる反りから、次に示すStoneyの式⁽⁶⁾を用いて算出した。

$$\sigma = E_s \cdot t_s^2 / \{6(1 - \nu_s) r \cdot t_r\} \quad (1)$$

$$1/r = 1/r_2 - 1/r_1 \quad (2)$$

E_s : Siのヤング率, t_s : ウエハーの厚さ, ν_s : Siのポアソン比

t_r : 単膜の厚さ, r : 曲率半径の変化量

r_1 : 単膜形成前のウエハーの曲率半径

r_2 : 単膜形成後のウエハーの曲率半径

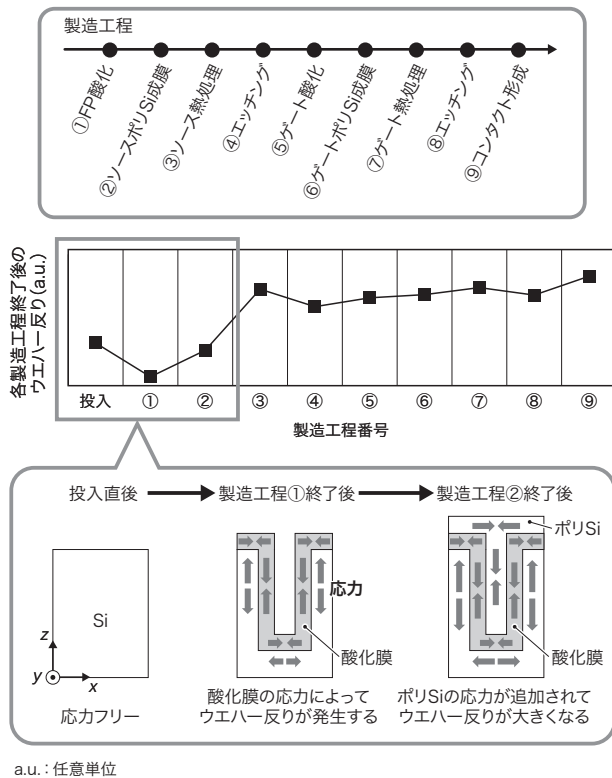


図2. 製造工程ごとのウエハー反りの推移とデバイス構造の変化

ウエハーの反りは、デバイス構造を反映して異方向が生じることがある。異方向性がある場合、各方向のウエハー反りに見合う応力を推定する必要がある。

Changes in wafer warpage reflecting device structure in each manufacturing process

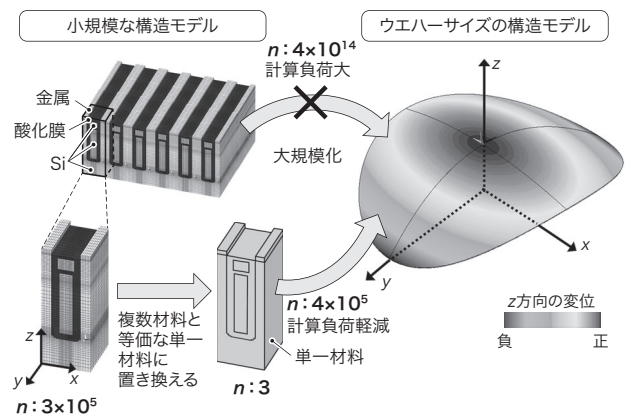


図3. マルチスケール応力解析を用いたウエハー反り解析の概要

マルチスケール応力解析を用いることで、微細なデバイス構造を考慮したウエハースケールの大規模解析を可能とした。また、均質化法を用いることで、計算負荷を大幅に軽減した。

Overview of wafer warpage prediction using multiscale stress analysis

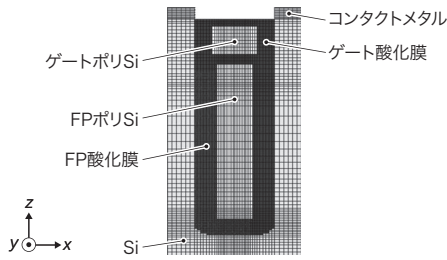


図4. 均質化解析に用いたデバイスの形状モデル

物性値の異なる複数の材料を組み合わせたトレンチ構造のモデルを有限要素法で作成し、均質化後の複合材料物性値を求めた。

Device structure model used for homogenization analysis

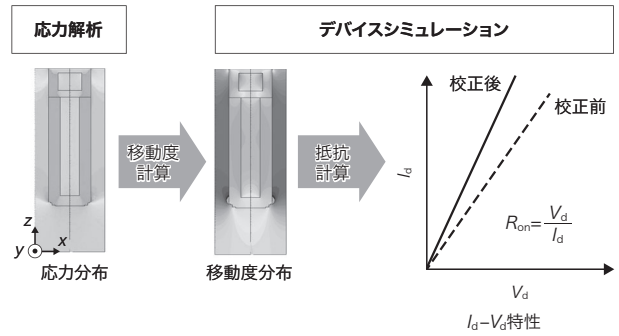


図6. デバイスの応力分布を反映したRon予測の概要

応力解析とデバイスシミュレーションを組み合わせて、Ronを計算した。

Prediction of Ron reflecting stress distribution inside device

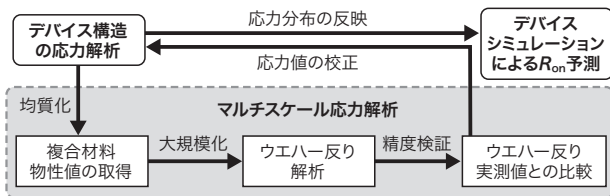


図5. デバイス構造の応力解析からRon予測までのフロー

デバイス構造の応力解析結果を基に、マルチスケール応力解析でウエハーの反りを求め、実測値と比較することで応力値を校正する。校正後の応力分布から、デバイスシミュレーションでRonを予測する。

Flow of processes from analysis of stresses inside device to prediction of Ron

2.3 応力分布とRonの解析手法

図5に、デバイス構造の応力解析から、マルチスケール応力解析を用いたウエハー反り解析、Ron予測までの解析フローを示す。まず、設計値を反映したデバイス構造のモデルを作成し、実験で取得した膜応力を用いてその構造が持つ応力を算出する。続いて、マルチスケール応力解析⁽⁴⁾を用いたウエハー反りの計算値と実測値を比較し、実測値と計算値に差異がある場合はウエハー反りが一致するように、膜応力を校正する。その後、校正した応力値を用いてデバイス内部の応力分布を算出し、その結果をデバイスシミュレーションに反映してRonを計算する。

Ronは、図6に示すように校正した膜応力を用いて算出した応力分布をデバイスシミュレーションに反映し、応力影響による抵抗変化を考慮してデバイス動作時のドレイン電流Id-ドレイン電圧Vd特性の傾きから算出する。応力影響による抵抗変化は、ピエゾ抵抗と移動度の関係式⁽⁷⁾から求める。

3. Ron予測技術の評価

3.1 デバイス構造の応力解析

図2の製造工程①終了後を例として、FP酸化膜形成工

表1. FP酸化膜形成工程後の応力と複合材料物性値

Stress and physical property values of composite materials after field plate (FP) oxidation

製造工程①終了後	x方向	y方向	z方向
応力 (MPa)	-13	-110	0
ポアソン比	0.08	0.09	0.26
ヤング率 (GPa)	29	95	91
せん断弾性係数 (GPa)	9	13	36

程後の応力と複合材料物性値の算出結果を表1に示す。応力値は正を引っ張り、負を圧縮とする。x方向のヤング率がy、z方向よりも小さく算出されており、トレンチが埋められていないことと矛盾のない結果が得られた。

3.2 ウエハー反り解析

図7に、ウエハー反りの解析モデルを示す。トレンチ型MOSFETは数mm角のチップ内に数μmピッチでデバイスが並んだ構造を持つ(図7(a))。ここでは簡略化のため、ウエハー全体に占める割合が数%以下のダイシングライン領域などを省略し、ウエハー全面にデバイス構造が形成されていると仮定した(図7(b))。また、ウエハー裏面に形成される積層膜の影響を考慮した。

図8に、ウエハー反り解析結果と測定結果の比較を示す。図8(a)のように、デバイス内のトレンチ直交方向をx方向、トレンチ方向をy方向、ウエハーの厚み方向をz方向とした。ウエハー反りは、xとy方向それぞれに対して、ウエハー裏面の中心とエッジの2点間におけるz方向の変位量から算出し、反りが無い状態を基準にして、上に凸を正、下に凸を負とした。図8(b)、(c)に示すように、x方向とy方向ともに、測定したウエハー反りをよく再現できることを確認した。

3.3 応力分布の推定

図9にデバイス内部の応力分布の推定結果と測定結果を

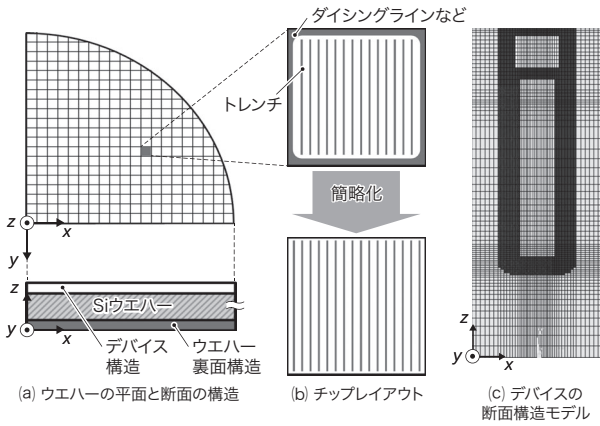


図7. ウエハー反りの解析モデル

ダイシングラインなどウエハー全体に占める割合が少ないものは省略して、解析モデルを簡略化した。

Wafer warpage analysis model

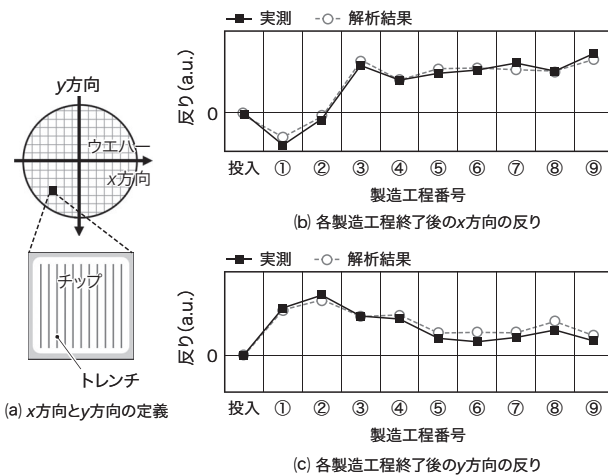


図8. 製造工程ごとのウエハー反りの測定結果と解析結果の比較

マルチスケール応力解析を用いることで、 $x \cdot y$ 方向ともに測定結果をよく再現した。

Comparison of measured and simulated values of wafer warpage in each manufacturing process

示す。ここでは、電流経路となるSiにおける、 R_{on} に影響を与える z 方向の応力分布を比較した。

応力の測定には、デバイス完成後のウエハーを切断した試料を対象に、ラマン分光法⁽⁸⁾を用いて、Siの厚み方向の応力を取得した。応力測定を行った試料は切断によって応力が解放されて切断前後で応力分布が変わるため、それに合わせてシミュレーションでも切断面に対して垂直方向の応力を解放し切断を再現した。

その結果、トレンチに隣接するSiの応力分布の推定結果と測定結果の誤差は10%以下となり、デバイス内部の応力

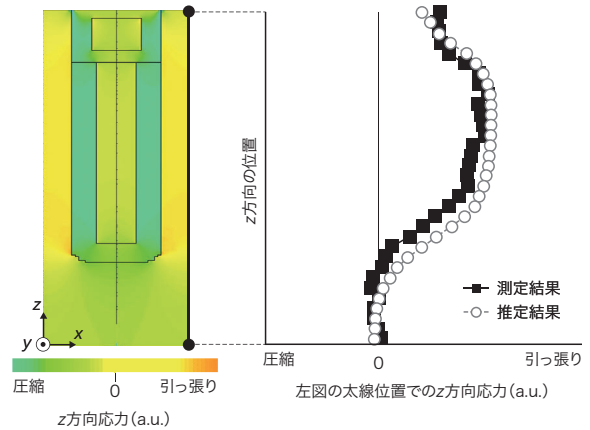


図9. デバイス内部の応力分布の測定結果と推定結果の比較

ウエハー反りを基に推定した応力分布は、ラマン分光法による測定結果と同等となった。

Comparison of measured and simulated values of stress distribution inside device

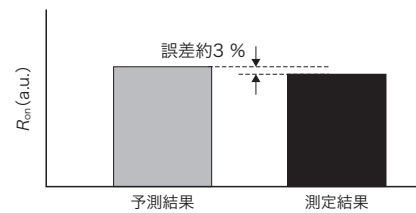


図10. R_{on} 測定結果と予測結果の比較

開発した予測技術を用いることで、 R_{on} を高精度に予測できた。

Comparison of measured and simulated values of R_{on}

を高精度に推定できることを確認した。

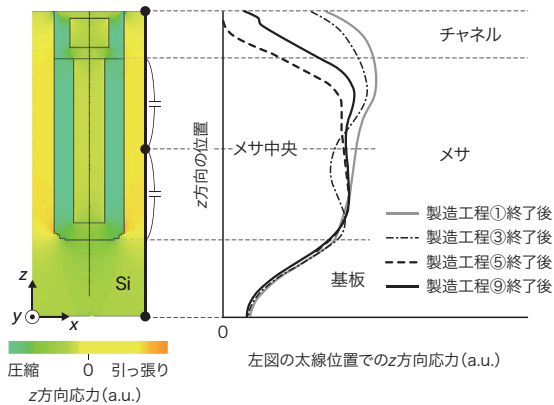
3.4 R_{on} 予測

図10に R_{on} 予測結果と測定結果を示す。開発した R_{on} 予測技術による予測結果と測定結果との誤差は約3%であり、高い予測精度を確認した。

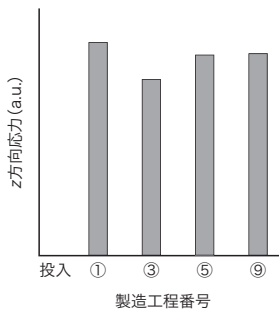
4. 製造工程ごとの応力への影響度の調査

R_{on} に与える影響が大きい製造工程を明確にするため、 R_{on} 予測技術を用いて、製造工程終了ごとの応力分布の推移を調査した。図11(a)にSi内部の z 方向の応力分布、図11(b)にメサ領域の中央における応力の推移を示す。

図11(a)から、Siのメサ領域の応力変化はチャンネル領域と比較して小さいことが分かる。また、図11(b)で、製造工程⑤と製造工程⑨終了後の応力に差がないため、最終的な応力は製造工程⑤で決まることが分かる。また、製造工程①で生じた応力は一旦製造工程③で減少するが、製造工程③終了後の応力は工程⑤終了後の約90%に相当するため、



(a) 各製造工程終了後の応力分布の推移



(b) 各製造工程終了後のメサ中央の応力の推移

図 11. 製造工程ごとの応力分布の推移

R_{on} を低減するためには、最初の製造工程である①のFP酸化工程の応力制御が重要であることが分かった。

Changes in stress distribution in each manufacturing process

製造工程⑤・製造工程⑨終了後の応力の大部分は製造工程①で発生していると考えられる。これらから、 R_{on} の設計には、製造工程①で形成されるFP酸化膜の応力制御が重要であることが分かった。

5. あとがき

トレンチ型MOSFETを対象に、マルチスケール応力解析を活用したシミュレーションにより、高精度に R_{on} を予測する技術を開発した。今回確立した応力解析モデルを他製品に展開することで、試作なしでデバイスやプロセス設計が可能になり、設計・開発効率の向上が期待できる。今後、ますます重要となるこの技術の適用拡大を、推進していく。

文献

- (1) 安井 功. 「当面はSiパワー半導体に注力」, 東芝のEV戦略, 日経 xTECH. <https://xtech.nikkei.com/atcl/nxt/column/18/00001/02030/>, (参照 2022-09-01).
- (2) Kobayashi, K. et al. "100 V class multiple stepped oxide field plate trench MOSFET (MSO-FP-MOSFET) aimed to ultimate structure realization". 2015 IEEE 27th International Symposium on Power Semiconductor Devices & IC's (ISPSD). Hong Kong, 2015-05, IEEE. 2015, p.141-144.
- (3) Uchida, K. Stress Engineering for High-Performance MOSFETs. Journal of the Vacuum Society of Japan. 2008, **51**, 5, p.301-305.
- (4) 伊藤和幸, ほか. “マルチスケール応力解析手法を用いたSiトレンチMOSFETのウエハ反り予測”. 第81回応用物理学学会秋季学術講演会予稿集 (CD-ROM). オンライン, 2020-09 応用物理学会. 2020, 11p-Z04-8.
- (5) 高野直樹. 均質化法による新しい数値シミュレーション. 日本複合材料学会誌. 2001, **27**, 1, p.4-11.
- (6) Hoffman, R. W. The mechanical properties of Thin Condensed Films. Physics of Thin Films. 1966, **3**, p.211-273.
- (7) Matsuda, K. et al. Nonlinear piezoresistance effects in silicon. J. Appl. Phys. 1993, **73**, 4, p.1838-1847.
- (8) Cerdeira, F. et al. Stress-Induced Shifts of First-Order Raman Frequencies of Diamond- and Zinc-Blende-Type Semiconductors. Physical Review. B. Solid State. 1972, **5**, 2, p.580-593.



伊藤 和幸 ITO Kazuyuki, D.Eng.
 生産技術センター 製造プロセス・検査技術領域
 材料・デバイスプロセス技術研究部
 博士(工学) 応用物理学会会員
 Material & Device Process Technology Research Dept.



菊地 拓雄 KIKUCHI Takuo
 生産技術センター 製造プロセス・検査技術領域
 材料・デバイスプロセス技術研究部
 応用物理学会会員
 Material & Device Process Technology Research Dept.



織田 達広 ODA Tatsuhiro
 生産技術センター 製造プロセス・検査技術領域
 材料・デバイスプロセス技術研究部
 Material & Device Process Technology Research Dept.



西口 俊史 NISHIGUCHI Toshifumi
 東芝デバイス&ストレージ(株)
 半導体事業部 先端半導体デバイス開発センター
 Toshiba Electronic Devices & Storage Corp.