

機械学習を用いたSiパワー MOSFETの自動設計技術

Design Automation System for Si Power MOSFETs Using Machine Learning

雁木 比呂 GANGI Hiro 田口 安則 TAGUCHI Yasunori 井口 智明 INOKUCHI Tomoaki

低耐压シリコン(Si)パワー MOSFET (金属酸化膜半導体型電界効果トランジスタ)は、情報通信用電源やモーター駆動装置などの高効率化にとって欠かせない半導体となっている。品種は多様化の一途をたどり、開発効率の向上が求められている。

東芝は、機械学習を用いてパラメーターの最適化が効率的にできる自動設計技術を開発した。これにより、設計に要する実働時間を人手による場合に比べて90%以上削減できた。更に、最適化できるパラメーターの数が従来の3倍以上になったことで、オン抵抗 R_{onA} (導通時の電気抵抗)を41%低減できる新構造を設計できた。

Low-voltage silicon (Si) power metal-oxide-semiconductor field-effect transistors (MOSFETs) are a key type of semiconductor realizing highly efficient operation of electric power converters and motor drivers. Accompanying the ongoing expansion of the lineup of these products in response to market demand in recent years, it has become necessary to improve the efficiency of design processes in order to reduce the considerable time and effort required for optimizing the design parameters of such a wide variety of products.

Toshiba Corporation has developed a design automation system for low-voltage Si power MOSFETs that is capable of efficiently optimizing design parameters by means of machine learning. From the results of experiments using this system, we have confirmed that it can reduce the actual working hours required for the design of low-voltage Si power MOSFETs by more than 90% compared with conventional manual design methods. Furthermore, as the newly developed system can optimize more than triple the number of design parameters compared with the conventional methods, we have been able to design a new device structure that has 41% lower on-resistance than conventional structures.

1. まえがき

持続可能な社会の実現に向けて、電気機器の省エネ化が求められており、電力変換に用いられるパワー半導体デバイスの、継続的な特性改善が進められている。耐压 V_B が200~300V以下の低耐压Siパワー MOSFETは、5G (第5世代移動通信システム)の通信基地局のアンプ用電源や、データセンターのサーバー用電源、自動車のパワーステアリング駆動装置など非常に幅広く用いられている重要なパワー半導体である。多様なユーザーニーズに応えるために、低耐压Siパワー MOSFETには、定格電圧(耐压)や定格電流の異なる製品の、豊富なラインアップが求められている。このような多品種化に対応するために、MOSFETの開発効率の向上が課題となっている。

東芝は、パワー半導体の設計工程の効率を向上させるための技術として、機械学習を応用した自動設計技術を開発した⁽¹⁾。ここでは、開発した自動設計技術の特徴とともに、自動設計によって性能を最大限に引き出すことに成功した新構造のMOSFETについて述べる。

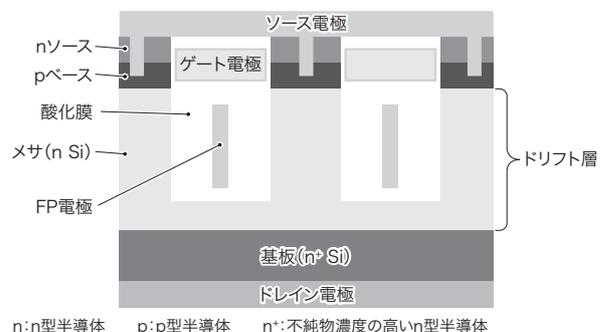


図1. 最新世代のU-MOSシリーズの断面模式図

ドレインからソースへと縦に電流を流すU-MOSシリーズでは、電流経路にあるドリフト層の抵抗を下げる 것이重要である。

Cross-sectional structure of latest-generation U-MOS series Si power MOSFET

2. 低耐压 Si パワー MOSFET のデバイス構造と設計の現状

パワー MOSFETでは、 V_B と R_{onA} がトレードオフの関係にあり、このトレードオフを改善するために、現在までに様々なデバイス構造が提案されてきた。図1は、当社の最

新世代の低耐圧Siトレンチパワー MOSFET (U-MOSシリーズ)の断面図を示す⁽²⁾。最新世代のU-MOSシリーズでは、 V_B と $R_{on}A$ のトレードオフを改善させるために、ドリフト層にトレンチ型のフィールドプレート(FP)構造が適用されており、高い V_B と低い導通損失を両立させている。

パワー MOSFETの設計では、デバイスシミュレーターを用いて、電気特性の目標仕様を満たすように設計者がパワー MOSFETの構造パラメーターを最適化していく。製品の多品種化とともに、構造パラメーターの最適化工程に多くの時間が必要となってくる。現在、市販のデバイスシミュレーターに自動最適化機能が備わっているが、適用可能な条件が限定される場合がある。

3. 機械学習を用いた自動設計システムの開発

近年、少ない評価回数で効率良くパラメーターを最適化できる機械学習のアルゴリズムとして、ベイズ最適化が注目されている。設計パラメーターを表すベクトルを x として、その x での特性の良さを表す指標値(最小化すべき目的関数値)を $f(x)$ とする。典型的なベイズ最適化では、過去のシミュレーションで得られた履歴データを使って、設計パラメーター空間中の任意の x に対する目的関数値 $f(x)$ を推定する。この際、ガウス過程回帰を使うため、 $f(x)$ の不確かさ σ の情報も得られる。推定した $f(x)$ と σ を基に、各 x での $f(x)$ の改善期待値 $\alpha(x)$ を予測し、 $\alpha(x)$ が最大となる x を求めることで、次にシミュレーションする設計パラメーターが自動的に決められる。

パワー MOSFETの設計にベイズ最適化を適用する場合、例えば、 V_B と $R_{on}A$ と正規化線形関数^(注1)(ReLU)を用いて、最小化すべき目的関数を、式(1)のとおり定める。

$$f(x) = R_{on}A + 10 \text{ReLU}(110 - V_B) \quad (1)$$

すると、 V_B が目標値(110V)以上という制約の下で、 $R_{on}A$ が最も小さくなる素子構造を探索できる。しかし、トレンチFP構造のパワー MOSFETは設計パラメーターの数が多く、探索空間も広いいため、典型的なベイズ最適化では、1,000回のシミュレーションを経ても適切な設計パラメーターを求められない場合がある。

そこで、一度に変化させる設計パラメーターを少数に絞ることで探索空間を低次元に限定する、“低次元探索ベイズ最適化”を搭載した自動設計システムを開発した。図2は、開発した自動設計システムのフローチャートを示す。このシステムは、限定した空間内で履歴データを蓄積するため、そ

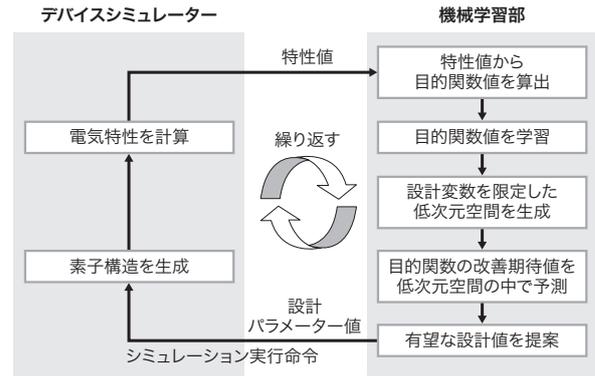


図2. 自動設計システムのフローチャート

低次元探索ベイズ最適化に基づいた設計値でのシミュレーションを繰り返すことにより、最適な設計パラメーターを探索する。

Flowchart of simulation in design automation system

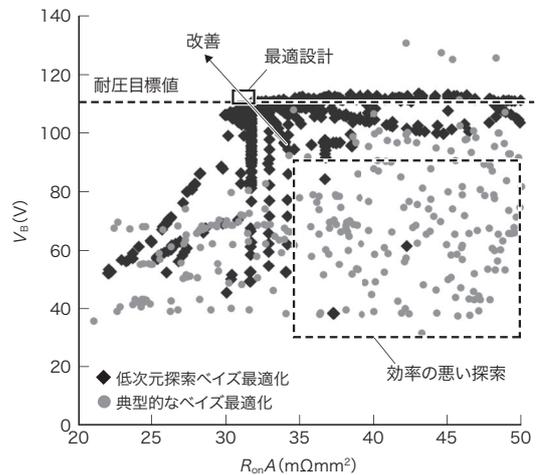


図3. 低次元探索ベイズ最適化による設計パラメーターの探索履歴

$R_{on}A$ が低く、かつ V_B が110V以上の設計領域の近くを、効率良く探索できるようになった。

Search history of design parameters using combination of low-dimensional search and Bayesian optimization

の空間での予測精度が高いという特徴がある。また、探索空間が狭いため、 $\alpha(x)$ の最大値も見つけやすくなる。これらの効果により、設計パラメーターの数が多い場合、典型的なベイズ最適化よりも探索効率の向上が期待できる。

図3は、低次元探索ベイズ最適化を搭載した自動設計システムを用いて、8個の設計パラメーターを持つトレンチFP構造のパワー MOSFETの最適パラメーターを探索した結果を示す。低次元探索ベイズ最適化を用いることで、 V_B が低くて $R_{on}A$ が高い設計値を探索する頻度が、典型的なベイズ最適化に比べて減っており、1,000回以内のシミュレーションで最適値に収束させることができた。

(注1) 入力が正の場合は恒等写像を、ゼロ以下の場合はゼロを出力する関数。

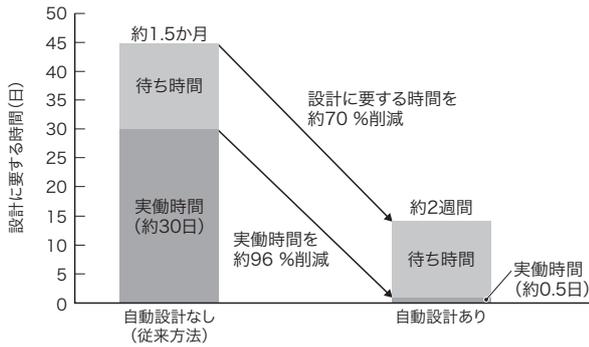


図4. 人手と自動設計システムによる6種類のデバイス構造最適化に要する時間の比較

自動設計に必要な実働時間は、初期設定作業の0.5日だけであり、人手による場合の約96%を削減できることが分かった。

Comparison of time required by manual design process and design automation system to optimize six types of device structures

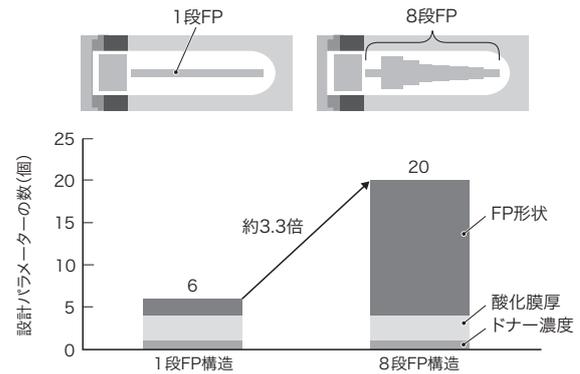


図5. 1段FP構造 (従来) と8段FP構造 (新規) の断面図と設計パラメーター数の比較

8段FP構造の各段の幅と高さを細かく調整しようとする、パラメーター数が従来の3倍以上に増える。

Comparison of cross-sectional outline and number of design parameters of conventional one-step and newly developed eight-step field-plate (FP) structures

4. 設計時間の短縮効果

開発した自動設計システムによる、設計時間の短縮効果を検討した。基本構造の異なる6種類のデバイス構造の、 $R_{on}A$ の最適化工程において、自動設計システムを用いた場合と用いない場合 (従来方法) での設計に要する時間を比較した。

図4は、それぞれの設計時間の比較を示す。デバイスシミュレーターや自動設計システムが稼働していて設計者が作業しなくてよい時間や、夜間や休日などで作業できない時間を“待ち時間”と定義し、シミュレーション条件の検討や自動設計システムの初期設定といった作業を設計者が行う時間を“実働時間”と定義した。従来方法の設計時間は、1回のシミュレーションに要する時間を5分、設計者が特性値を集計してシミュレーション条件を吟味するのに要する時間を1時間と仮定して見積もった。

従来方法で設計した場合、6種類の構造をそれぞれ最適化するために、約1.5か月もの時間を要する。設計時間の約67%は実働時間であり、人がデータを解析して次のシミュレーション条件を決めるまでの判断に多大な時間を要している。

一方、自動設計では、シミュレーション条件を決める判断を自動化することで高速化が実現され、実働時間は従来方法に比べて約96%削減できた。その結果、設計に要する時間は約2週間に大幅に短縮され、約70%の削減効果が得られた。

5. 自動設計システムによる8段FP構造の最適化

開発した自動設計システムを用いることで、従来方法では

最適化が困難な、設計パラメーター数が多く複雑なデバイス構造の最適設計が期待できる。

図5は、従来の1段FP構造と新規に検討した8段FP構造の、断面図と設計パラメーター数の比較を示す。8段FP構造の設計パラメーター数は20個であり、1段FP構造に比べて約3.3倍に増加している。

1段FP構造では、メサ領域のドナー濃度を高めて $R_{on}A$ を下げようとする、代償としてFPの端で電界が過度に強まり、 V_B が低下する。一方、8段FP構造では、FPの端の電界がFPの段差の角へと分散される性質を利用することで、平坦性の高い電界分布を実現できる。その結果、ドナー濃度を高めても V_B が低下しにくくなるため、 $R_{on}A$ を低減できる。へこみのない平坦な電界分布に近づくほど $R_{on}A$ が減ると推定されるが、従来の設計方法では20個もの設計パラメーターを調整して理想的な電界分布を実現することは、ほぼ不可能であった。

図6は、開発した自動設計システムを用いて構造を最適化した8段FP構造とその電界分布を示す。比較のため、自動設計システムで最適化した1段FP構造の電界分布も示す。図から、最適化した8段FP構造は、張り出した段差部と、緩やかな段差領域を併せ持つことが分かった。また、8段FP構造は1段FP構造に比べて、電界の平坦性が大きく改善した。

自動設計システムを用いて最適化した8段FP構造は、設計前には予想していなかった特徴を持つことが分かった。それは、図6に示すようにゲートに近いFP部分の幅を細くして、電界を部分的にへこませている点である。電界がへこ

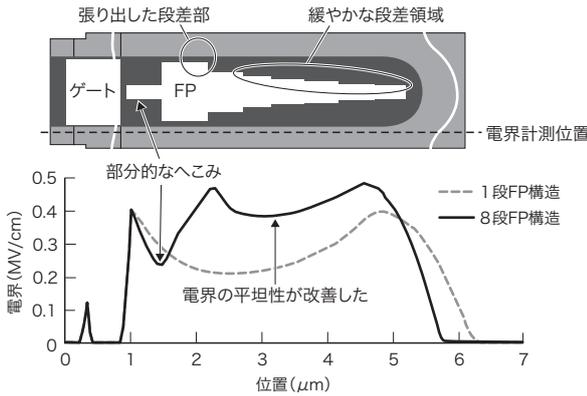


図6. 最適化した8段FP構造とその電界分布

へこみがない電界分布ではなく、ゲート近くの電界を部分的にへこませる設計が優れていることが判明した。

Optimized eight-step FP structure and its electric field distribution

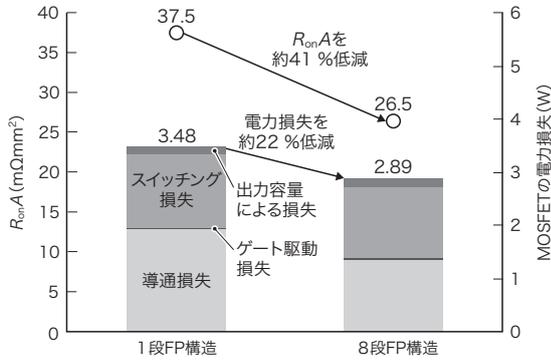


図7. 最適化した1段FP構造と8段FP構造の $R_{on}A$ と電力損失の比較

8段FP構造は、1段FP構造に比べて $R_{on}A$ を約41%、電力損失を約22%低減できることが分かった。

Comparison of on-resistance and power loss of optimized one-step and eight-step FP structures

むことで V_B は低下するが、その代わりにゲート周辺に蓄積する電子濃度が増え、 $R_{on}A$ を低減する効果があることが分かった。最適化の過程で、FPの端部の幅を太くするとゲートの働きが弱まる効果を、自動設計システムが学習したことで、図6の最適構造が導き出された。このように、パラメータをきめ細かく最適化する自動設計では、設計前には想定していない現象を見だし、デバイスの性能を最大限に引き出すことが期待できる。

図7は、最適化した8段FP構造と1段FP構造の $R_{on}A$ と、チョッパ回路に応用した際の電力損失を示す。電界の平坦性に優れる8段FP構造は、1段FP構造に比べてドナー濃度を高められるため、 $R_{on}A$ を約41%低減できることが分かった。更に、このデバイスを降圧チョッパ回路に用いて直流48Vを直流12Vに変換する動作をシミュレーショ

ンした結果、導通損失が小さくなったことで、電力損失を約22%減らせる見込みが得られた(100kHz動作、35A出力時)。

6. あとがき

豊富なラインアップが求められる低耐圧SiパワーMOSFETの開発効率を向上させるために、機械学習を応用した自動設計技術を開発した。開発した自動設計技術を用いることで、設計パラメータの最適化工程を90%以上削減できることを示した。また、従来の構造よりも設計パラメータ数が3倍以上の複雑な構造の最適化も可能であり、更に、設計前には想定できないような原理に基づいた、構造の最適化が期待できる。

今後は、この自動設計技術を活用して、低耐圧SiパワーMOSFET製品の低損失化と多品種化を推進し、電気機器の省エネ化に貢献していく。

文献

- (1) Gangi H. et al. "Design Optimization of Multiple Stepped Oxide Field Plate Trench MOSFETs with Machine Learning for Ultralow On-resistance." 33rd International Symposium on Power Semiconductor Devices and ICs (ISPSD), Nagoya, 2021-05. IEEE, 2021, p.151-154.
- (2) 西脇達也, ほか. ディスクリート半導体技術の最新動向と展望. 東芝レビュー. 2020, 75, 6, p.2-8. <https://www.global.toshiba/content/dam/toshiba/migration/corp/techReviewAssets/tech/review/2020/06/75_06pdf/a02.pdf>, (参照 2022-06-24).



雁木 比呂 GANGI Hiro

研究開発センター 先端デバイス研究所 電子デバイスラボラトリー
電気学会会員
Electron Devices Lab.



田口 安則 TAGUCHI Yasunori

研究開発センター 知能化システム研究所
アナリティクス AI ラボラトリー
電子情報通信学会・日本保全学会会員
Analytics AI Lab.



井口 智明 INOKUCHI Tomoaki, D.Eng.

研究開発センター 先端デバイス研究所 電子デバイスラボラトリー
博士(工学)
応用物理学会会員
Electron Devices Lab.