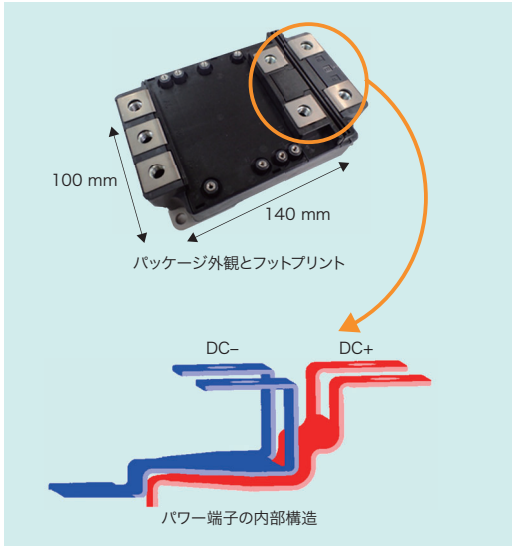


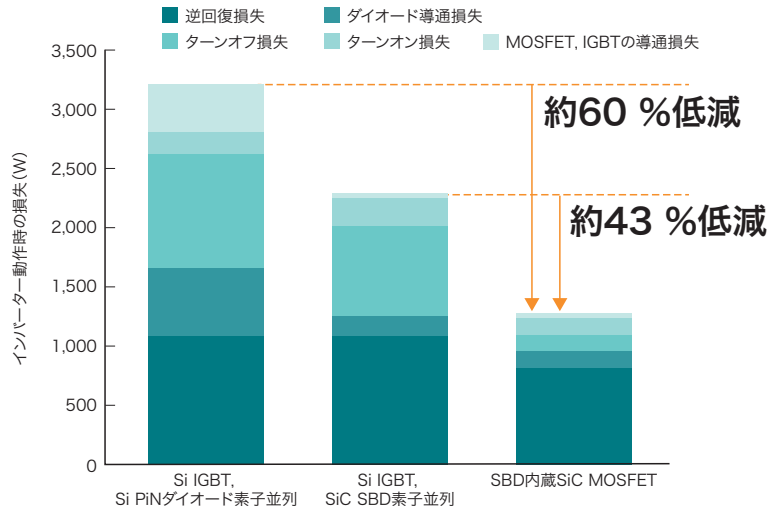
高信頼性と小型化を実現したSiCパワーモジュール



DC：直流

iXPLVパッケージと内部の電極構造

iXPLV package for silicon carbide metal-oxide-semiconductor field-effect transistors (SiC MOSFETs) and internal structure of electrodes



条件

ドレインソース間電圧: 1,500 V

スイッチング周波数: 1 kHz

PiN: p-intrinsic-n

ドレイン電流: 1,024 A

ジャンクション温度: 150 °C

負荷力率: 0.85

開発したSiCパワーモジュールと従来のSiパワーモジュールのインバーター動作時の損失比較

Comparison of power dissipation in conventional Si insulated gate bipolar transistor (IGBT) and newly developed SiC MOSFET modules during inverter operation

電力変換装置の小型・軽量・省エネ化を可能にする、高信頼性と小型化を両立したSiC（炭化ケイ素）パワーモジュールを開発した。

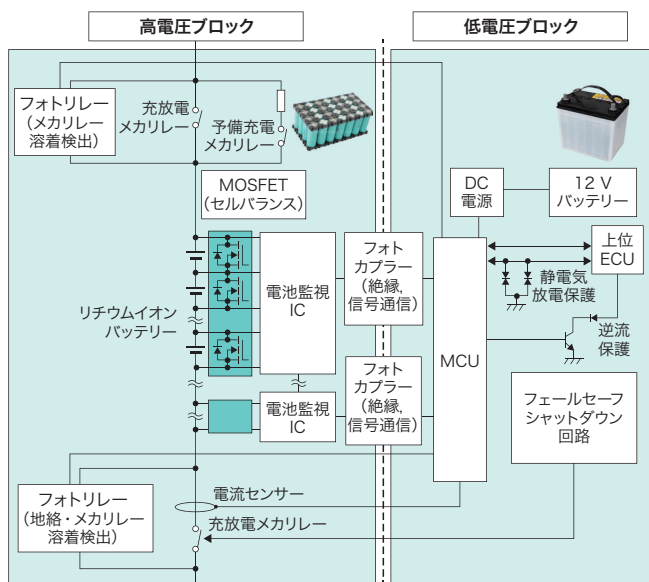
従来のSiCパワーMOSFET（金属酸化膜半導体型電界効果トランジスター）では、還流動作時のポティエダイオード通電状態において、結晶欠陥拡張に伴う特性劣化が起こるといった問題があった。これを解決したSBD（ショットキーバリアダイオード）内蔵SiC MOSFETを開発し、1.2 kV級耐圧素子の製品化を進めている。今回、デバイス構造の最適化により、対応する耐圧系を拡張するとともに、逆方向通電能力の拡大と、損失低減を可能とした第3世代SiC MOSFETを開発した。室温における3.3 kV級耐圧素子の単位面積当たりのオン抵抗を、従来設計品の15.5 mΩ cm²から12.4 mΩ cm²へ20%低減した。

また、SiCの特長である高速動作を生かすために、新たなパッケージiXPLV（Intelligent fleXible Package Low Voltage）を開発した。このパッケージは、従来の同定格電流のパッケージに比べて、フットプリントを約23%低減したのに加え、パッケージ内部の電極配線構造を最適化することで、モジュールの内部インダクタンスを、従来の20 nHから12 nHに低減した。また、モジュール内のSiCチップと銅基板との接合を、従来のはんだ接合から銀焼結接合へ変更した。これにより、パワーサイクル耐量が2倍以上向上することを確認した。

これらのチップとパッケージを組み合わせた、3.3 kV、800 AクラスSiCモジュールを開発した。このSiCパワーモジュールは、当社従来品のSi（シリコン）IGBT（絶縁ゲート型バイポーラトランジスター）モジュールと比較すると、インバーター動作時の損失を約60%低減できる。また、電力変換器の体積や質量に影響するヒートシンクの体積を、約59%低減できる。

東芝デバイス&ストレージ(株)

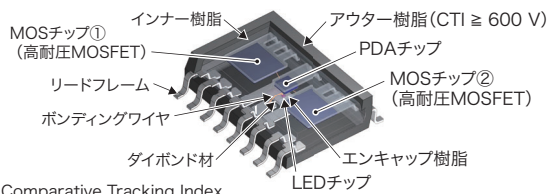
車載BMS向け1,500Vフォトリレー



MCU: Micro Controller Unit ECU: Electronic Control Unit

フォトリレーを採用したBMSの構成例

Example of configuration of lithium-ion battery management system (BMS) incorporating photorelays



CTI: Comparative Tracking Index

1,500Vフォトリレーの内部構造 Internal structure of 1,500 V photorelay

	従来品	新製品
製品名	TLX9175J	TLX9160T
保存温度	-55 ~ 125 °C	-55 ~ 150 °C
動作温度	-55 ~ 105 °C	-40 ~ 125 °C
絶縁耐圧	3,750 Vrms	5,000 Vrms
最大推奨動作電源電圧	450 V	1,000 V
阻止電圧	600 V 双方向	1,500 V 双方向
最大トリガー LED 電流	3 mA	3 mA
最大オン抵抗	335 Ω (LED順方向電流: 10 mA, オン電流: 15 mA)	250 Ω (LED順方向電流: 10 mA, オン電流: 50 mA)

主要特性の従来品との比較

Comparison of main characteristics of conventional and newly developed photorelays

近年、地球温暖化と大気汚染への対策として、様々な国と地域で自動車の環境規制が強化されている。各自動車メーカーは、環境規制遵守に向け、ハイブリッド電気自動車 (HEV) や電気自動車 (EV) に代表される環境対応車の導入を加速している。

環境対応車の走行用バッテリーでは、充電1回当たりの航続距離の延伸や、充電時間の短縮などのために、電圧を、従来の400V以下から、今後は最大1,000Vに高める傾向にある。そのため、バッテリーの効率的利用を目的として車両に搭載される電池監視システム (BMS) の高電圧化が求められており、BMSの構成要素で、地絡やメカニカルリレー (メカリレーと略記) の溶着の検出を担うフォトリレーにも高電圧化が必要である。

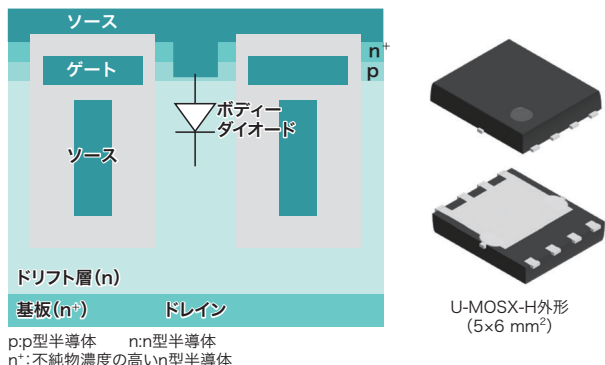
そこで、高電圧化に対応できるBMS向けフォトリレーを開発した。

パッケージには、これまでの車載向け技術開発で培った、高耐熱化技術であるダブルモールド構造 (二重構造の封止樹脂で素子内部の熱応力を緩和) を採用した。また、高さを2.55mmに抑えると同時に、安全規格IEC60664-1 (国際電気標準会議規格 60664-1) の汚染度2及び材料グレードIに基づく設計を行い、更に適切な材料を選定することで、安全規格に準拠した。

耐圧特性を実現するために、パワーデバイスの設計・プロセス技術を用いて、電圧印加時のチップ終端部の電界強度分布を適正化し、1,500V系MOSFETを開発した。このMOSFETと、高発光効率のLED (発光ダイオード) チップ、及び高感度のフォトダイオードアレイ (PDA) を組み合わせてフォトリレーを構成し、阻止電圧1,500Vの高耐圧化と低消費電力化を実現した。

東芝デバイス&ストレージ (株)

■ U-MOSX-H 150V パワー MOSFET



トレンチFP構造MOSFETのセル構造
Cell structure of field-plate trench MOSFET

項目	従来製品 U-MOSVIII-H	開発製品 U-MOSX-H
V_{DSS} (V)	150	150
V_{th} (V)	2.0 ~ 4.0	3.3 ~ 4.3
T_{ch} (°C)	150	175
$R_{DS(ON)}$ ($V_{GS} : 10V$) (mΩ)	13 (typ.)	7.3 (typ.)
$R_{DS(ON)} \cdot Q_{SW}$ (mΩ · nC)	107	86

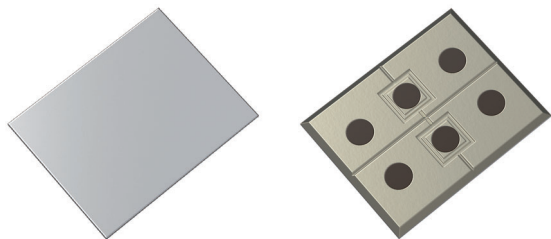
V_{DSS} : ドレイン-ソース間電圧 V_{th} : ゲートしきい値電圧 T_{ch} : チャネル温度

U-MOSVIII-HとU-MOSX-H製品の主要特性比較

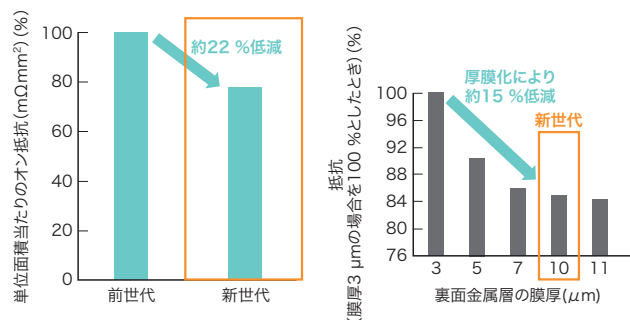
Comparison of main characteristics of conventional U-MOSVIII-H series and newly developed U-MOSX-H series products

東芝デバイス&ストレージ(株)

■ モバイルバッテリー保護用の超低抵抗ドレインコモンMOSFET



ドレインコモンMOSFET SSM6N951L
SSM6N951L common-drain MOSFET



前世代品と新世代品のオン抵抗の比較

Comparison of on-resistance of previous- and new-generation products

5G (第5世代移動通信システム) 基地局ではトラフィックの増大により必要電力が大幅に増えており、消費電力削減のために電源の高効率化が求められている。これに対応するため、オン抵抗とゲート電荷量のトレードオフを飛躍的に向上させた150V耐圧のパワーMOSFET U-MOSX-Hを開発した。

U-MOSX-Hは、前世代製品であるU-MOSVIII-Hを基として、トレンチフィールドプレート(FP)構造の最適化と拡散層の高濃度化を行った。これにより、ドレイン-ソース間オン抵抗($R_{DS(ON)}$)とゲートスイッチ電荷量(Q_{SW})を改善し、電源効率に寄与する性能指標 $R_{DS(ON)} \cdot Q_{SW}$ を約20%向上させた。

今後は、製品オン抵抗やパッケージのバリエーション展開と、ボディダイオード特性を改善したHSD (High-Speed Diode) 品の開発を進め、更なる消費電力低減と持続可能な社会の構築に貢献していく。

スマートフォンやタブレットのバッテリー保護回路に広く使用されているドレインコモンMOSFETは、充放電時の発熱を抑制するために低オン抵抗の特性が重要視される。近年、急速充電化やバッテリー大容量化のために、更なる低オン抵抗化の要求が増えている。

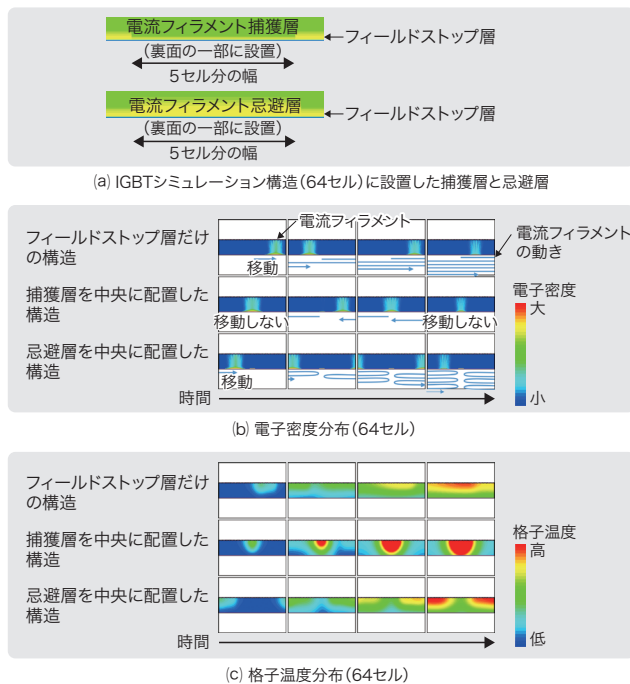
これに应运、低オン抵抗に優れた微細セルピッチ(0.45 μm)トレンチプロセス開発による単位面積当たりのオン抵抗の約22%低減、及びSi基板の低抵抗化と裏面金属層の厚膜化(10 μm以上)による配線抵抗の約15%低減を、前世代品に比較して実現した。

これらの技術を適用したSSM6N951Lを2020年にリリースした。また、同じセルピッチプロセスを適用し、素子構造やサブストレート層を最適化することで業界トップクラス(注1)の低オン抵抗2.1 mΩ(ゲートソース間電圧: 4.5 V)のSSM10N954Lを開発して、2021年にリリースした。更なる低オン抵抗の実現のために、プロセス開発とその適用製品開発を進めていく。

(注) 2021年3月現在、12V耐圧のドレインコモンMOSFET製品において、当社調べ。

東芝デバイス&ストレージ(株)

IGBT 電流フィラメントの制御メカニズム解析



IGBTのデバイス構造の違いによる電流フィラメントの挙動のシミュレーション結果

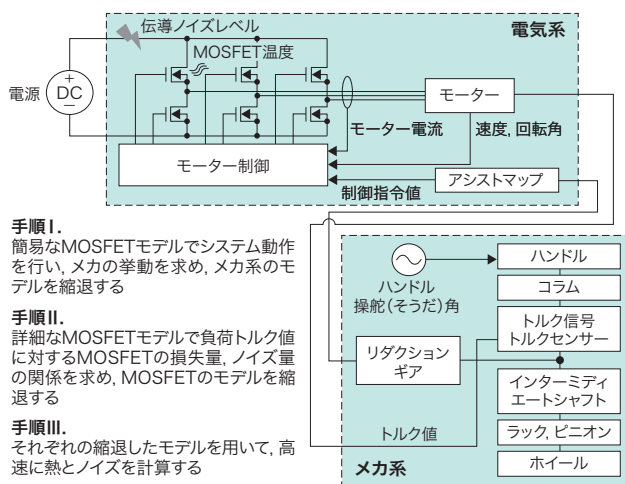
Results of simulations of current filament behavior depending on device structure of IGBTs

近年、IGBTデバイスには、通常の電気特性を損なわずに高い信頼性を持つことが求められている。そのために、重要な要素技術の一つに、電流フィラメントの制御技術がある。電流フィラメントは、通常は均一に流れる電流が1か所に集まって流れる現象で、パワーデバイスが持つ電子論的な不安定性に起因する。局所的に電流密度が高くなるので大きなジュール熱を発生させ、デバイス内を激しく動き回ることが知られている。電流フィラメントの動きがデバイスの境界部や欠陥で止められると、熱破壊につながるおそれがあり、デバイスの信頼性に大きく影響する。

今回、電流フィラメントの動きを制御するための捕獲層と忌避層というデバイス構造のシミュレーション環境を開発し、制御メカニズムを解析した。捕獲層は電流フィラメントをその場所に引き寄せるための、また、忌避層はその場所に近寄らせないようにするための構造である。解析から、主に局所的な格子温度差、裏面からのキャリア注入量の差、及び負性抵抗の温度依存性の関係が影響することが分かった。

東芝デバイス&ストレージ(株)

モデルベース開発向け車載用パワー半導体の高速・高精度な熱・ノイズシミュレーション技術



- 手順I. 簡易なMOSFETモデルでシステム動作を行い、メカの挙動を求め、メカ系のモデルを縮退する
- 手順II. 詳細なMOSFETモデルで負荷トルク値に対するMOSFETの損失量、ノイズ量の関係を求め、MOSFETのモデルを縮退する
- 手順III. それぞれの縮退したモデルを用いて、高速に熱とノイズを計算する

自動車業界では、シミュレーション技術を活用したモデルベース開発の導入が進められている。車載機器で重要視される熱やノイズの計算には、半導体の高精度なモデルが必要となるため、計算時間の短縮が課題であった。

そこで、熱とノイズに用途を限定し、高精度かつ高速なシミュレーションを実現するAccu-ROM (Accurate Reduced-Order Modeling: 精度保持縮退モデリング) 技術を開発した。

具体的には、メカ(機構)系とMOSFETなどの電気系の時間応答性の違いに着目して、モデルを縮退化する。まず、簡易なMOSFETモデルを用いてメカ系の挙動を求め、メカ系だけのモデル縮退化を行う。次に、高精度なMOSFETモデルを用いて負荷に対する熱量とノイズ量の関係を求め、その関係式に置き換えることでMOSFETのモデルを縮退化する。

Accu-ROM技術の適用により、当社従来技術の約1/10の計算時間で、熱やノイズのシミュレーションを可能にした。

関係論文：東芝レビュー、2021、76、5、p.53-57。

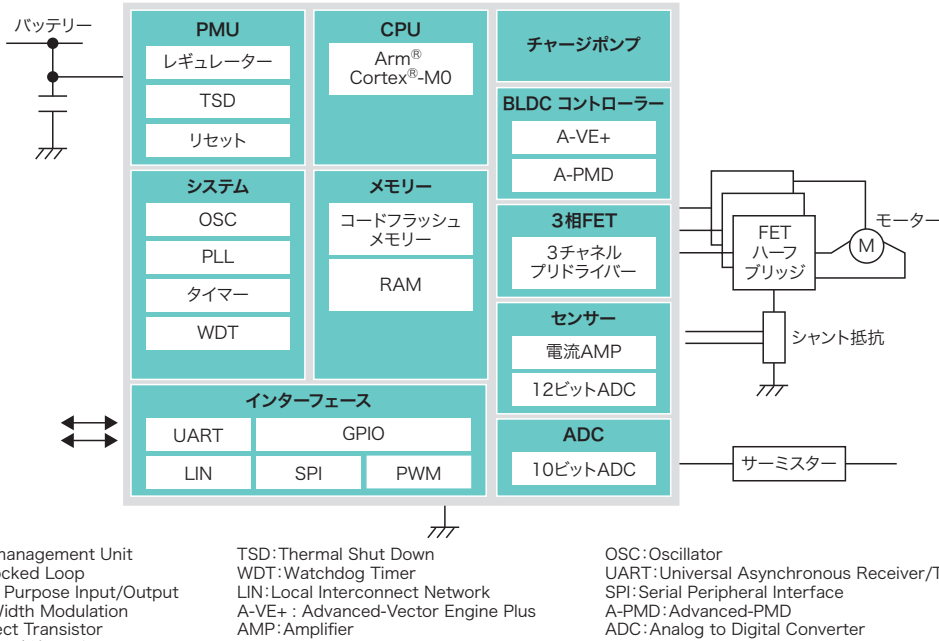
東芝デバイス&ストレージ(株)

モデル	詳細モデル	Accu-ROM技術で縮退したモデル
自動車右折時のEPSに対する計算時間	32時間51分	3時間27分

Accu-ROM技術の計算手順とEPS (Electric Power Steering) システムに対する熱とノイズの計算時間

Flow of processes for calculation using Accu-ROM (accurate reduced-order modeling) technique and results of verifications of electric power steering (EPS) system

車載用統合モーターコントロールドライバー SmartMCD



SmartMCDの構成

Architecture of SmartMCD integrated motor control driver for automotive applications

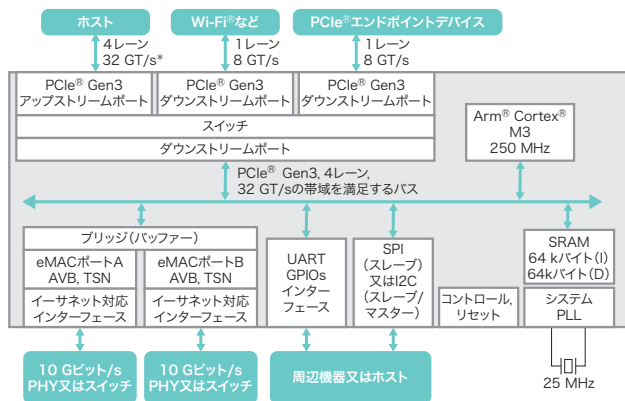
近年、車載ECU (Electronic Control Unit) のプラットフォームに、分散型からセントラル/ゾーン化に変革する動きがある。従来の、電源ICや、モーターコントロールドライバー (MCD)、MCU、通信インターフェースICなど、多くのICによる構成から、統合MCDへと、需要が急速に移行している。

これらのニーズに応えるため、車載用統合MCDシリーズ “SmartMCD”を開発している。これは、フラッシュメモリー混載と高耐圧プロセスを採用するとともに、高性能かつエネルギー効率の高い Arm[®] Cortex[®]-M0 プロセッサ、様々なモーター制御アプリケーションに対応可能なベクトルエンジン、PMD (Programmable Motor Driver)、及びモータードライバーの損失低減機能を搭載している。SmartMCDは、MCUのほか、各種電源や、モーターブリッドライバー、通信インターフェースなどの複数の機能を小型パッケージに集約しており、高度なモーター制御に対応できる。基本設計の結果、従来構成より実装面積を約65%削減できることを確認した。

また、MATLAB及びSimulinkによるモデルベース開発への対応で、車載組み込みシステム開発に掛かる時間を短縮し、車載ソフトウェアの開発効率化にも貢献できる。

今後も、モータードライバーや新規機能の統合化を進めていく。

■ 車載及び産業機器向け 10 Gビット/s 対応イーサネットブリッジ IC TC9563XBG



I2C: Inter-Integrated Circuit
 SRAM: Static RAM
 PHY: Physical Layer
 eMAC: Ethernet MAC (Media Access Control) Layer
 I: Instruction Memory
 D: Data memory

*Transfer per second, 1秒間に転送する信号速度

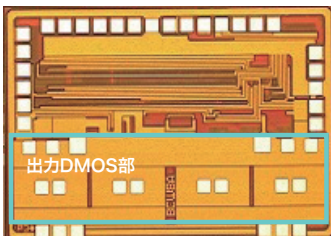
TC9563XBGのブロック図
 Block diagram of TC9563XBG

車載ネットワークは今後、車を複数のゾーンに分けてゾーン間を高速接続し、協調動作させるネットワーク構成ゾーンアーキテクチャーへの移行が進むと予想される。ゾーンアーキテクチャーでは、各ゾーン間の通信は1 Gビット/s以上のイーサネットでもリアルタイム接続される。

そこで、10 Gビット/sの通信が可能なイーサネット AVB (Audio Video Bridging), 及び TSN (Time Sensitive Networking) 機能に対応した TC9563XBG を開発した。また、高速化が進むIVI (車載インフォテインメント) やテレマティクスなどの幅広い車載アプリケーション、及び産業機器にも適用できる1 Gビット/sイーサネット対応の既存製品であるTC9560, TC9562シリーズの後継品としても活用できる。更に、近年Wi-Fi®などデバイス間の通信にPCIe®インターフェースを備える機器が増えているため、TC9563XBGの3ポートPCIe®スイッチ機能の利用で、PCIe®インターフェース不足を解消できる。

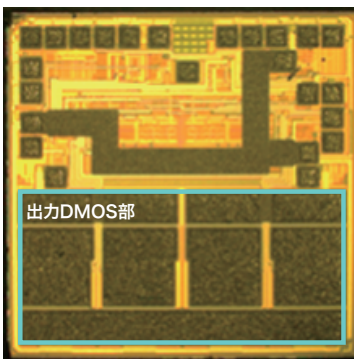
東芝デバイス&ストレージ(株)

■ BiCD-0.13G4 プロセスを採用した定電流ステップングモータードライバー IC



TB67S539FTG(第4世代)

最大定格:40 V, 2.0 A
 出力オン抵抗:0.8 Ω
 パッケージ:VQFN32
 電流検出抵抗:なし



TB62269FTG(第1世代)

最大定格:40 V, 2.0 A
 出力オン抵抗:0.8 Ω
 パッケージ:WQFN48
 電流検出抵抗:あり

BiCD-0.13G4 プロセス製品と第1世代プロセス製品の回路ブロック図
 Block diagrams of motor driver ICs fabricated using first- and fourth-generation BiCD-0.13 process technologies

ステップングモーターは様々な分野で利用されており、その需要はCAGR (年平均成長率) 約2.6%で伸び続けている。ステップングモーターを駆動するドライバー ICには、特に省スペース化の要求が高い。

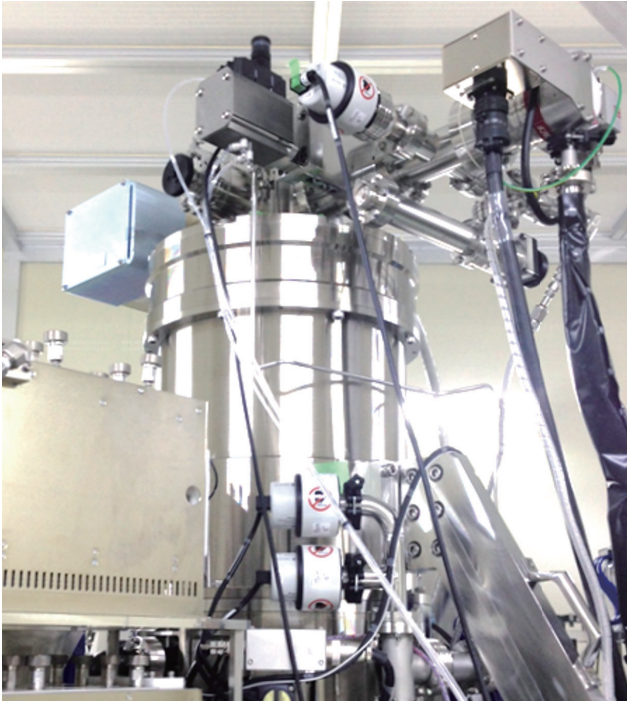
これに対応するため、BiCD^(注)-0.13G4 (0.13 μmの第4世代アナログパワー ICプロセス) を採用した、モータードライバー IC TB67S539FTGを開発した。第4世代プロセスの利点を最大限生かすため、モーターを制御するHブリッジ回路を、ハイサイド、ローサイドともにnチャネルDMOS (二重拡散型MOS) で構成してオン抵抗0.8 Ωを実現し、従来製品に比べて出力DMOS部を38%に縮小した。外付け電流検出抵抗なしでの高精度電流制御など、モーター制御に求められる機能を維持しながら5 mm角のVQFN32パッケージに収めた。また、Hブリッジ回路のハイサイドnチャネルDMOS駆動用のチャージポンプ回路は、外付けコンデンサーを不要にした。

電流検出抵抗とコンデンサーを不要にしたことで、低コスト化と省スペース化を実現し、2021年8月に量産を開始した。

(注) ハイボラーにCMOS (相補型MOS)、DMOSを内蔵したプロセス。

東芝デバイス&ストレージ(株)

■ マルチ電子ビームマスク描画装置 MBM™-2000



マルチ電子ビームマスク描画装置 MBM™-2000
MBM™-2000 mask writer using multiple electron beams

マルチ電子ビームマスク描画装置は、半導体デバイスの作成に欠かせないリソグラフィープロセスで用いるフォトマスクを、複数の電子ビームを用いて、従来型のシングル電子ビームマスク描画装置よりも高速・高精度に描画する装置である。

当社は、最先端の3 nm世代デバイスに対応するEUV (Extreme Ultraviolet) マスク、及び複雑な形状を持つフォトマスクを描画できるMBM™-2000を開発し、2021年4月に初号機を出荷した。

研究開発センター及び東芝デバイス&ストレージ(株)とのコラボレーションで新規開発したキーデバイスを用いて、約26万本の電子ビームを個別に高速制御し、パターン寸法精度0.7 nm (3 σ)と位置精度1.4 nm (3 σ)を達成した。また、描画対象パターンを16 nm角のピクセルに分解し、ピクセルごとに露光量を64段階に制御できるPLDC (Pixel Level Dose Correction) により、高精度描画を可能とした。更に、MBM™専用データフォーマット (MBF) の適用により、複雑な形状を持つマスク描画時でも、データ容量の増加を最小限に抑えられる。

(株)ニューフレアテクノロジー

■ 枚葉式SiCエピタキシャル成長装置 EPIREVO™ S8



EPIREVO™ S8
EPIREVO™ S8 single-wafer epitaxial reactor for SiC power devices

今まで、パワー半導体向け枚葉式エピタキシャル成長装置として、ウエハーサイズが直径150 mmのSiC用にEPIREVO™ S6を、直径200 mmのGaN (窒化ガリウム) 用にEPIREVO™ G8を製品化してきた。今回、ウエハーの大口径化が見込まれるSiC市場に適応するために、直径200 mm対応のEPIREVO™ S8を新たに開発した。

EPIREVO™ S8は、縦型CVD (化学気相成長) 装置にウエハー高速回転技術を適用したEPIREVO™ S6の基本設計を継承しながら、ガス導入部やヒーター構造などの設計を見直し、大口径で均一な成膜を可能にした。装置の基本性能は、最高成長温度1,650 °C、温度均一性 ± 5 °C以内、最高ウエハー回転数1,000 rpm、制御圧力範囲2.0 ~ 93.3 kPaである。直径150 mmのウエハーを用いた評価では、成長速度54 $\mu\text{m}/\text{h}$ 、膜厚均一性 ± 1.5 %以内、ドーピング均一性 ± 3.7 %以内という結果が得られ、EPIREVO™ S6と同等の高速成長と高均一性を確認した。

今後、直径200 mmのウエハーを用いて、大口径ウエハー上での高速成長・高均一・低欠陥密度を実現するプロセスを開発していく。

(株)ニューフレアテクノロジー