

オンプレミス版シミュレーテッド分岐マシン ～リアルタイムシステムに組み込める疑似量子計算機～

Simulated Bifurcation Machine for On-Premises Services: Quasi-Quantum Computer Capable of Being Embedded in Real-Time Systems

濱川 洋平 HAMAKAWA Yohei 日高 亮 HIDAKA Ryo 辰村 光介 TATSUMURA Kosuke

組み合わせ最適化は、社会や産業の様々な場面で頻繁に現れる重要課題である。シミュレーテッド分岐(SB)は、組み合わせ最適化問題を高速に解く東芝独自の疑似量子アルゴリズムである。

東芝グループは、2019年に公開されたクラウドサービス版に加え、今回、リアルタイムシステムへの組み込みが可能なオンプレミス版シミュレーテッド分岐マシン(Simulated Bifurcation Machine, SBMと略記)を開発した。超高速演算回路を実現するFPGA(Field Programmable Gate Array)回路構成データと、シンプルかつ汎用性があるAPI(Application Programming Interface)をパッケージ化し、更にリアルタイムシステム適用性を実証するための参照デザインも開発して同梱(どうこん)した。リアルタイム動作が可能なイジングマシンとして、幅広い分野への応用と、新たな価値の共創が期待されている。

The Toshiba Group has developed a simulated bifurcation algorithm based on its proprietary quantum-inspired algorithms to rapidly solve combinatorial optimization problems that frequently arise in social and industrial settings.

In addition to the Simulated Bifurcation Machine (SBM) for cloud services released in 2019, we have now developed SBM for on-premises services, which can be embedded in real-time systems. The on-premises service is being provided to users as a packaged module consisting of configuration data to realize a high-performance processing circuit on a field-programmable gate array (FPGA) and an application programming interface (API) with simplicity and versatility, in addition to newly developed reference designs to verify applicability to real-time systems. This service is a focus of high expectations as a real-time Ising machine for the expansion of applications in various fields and the co-creation of new value.

1. まえがき

金融取引の最適化や、産業用ロボット動作の最適化、移動経路の最適化など、社会・産業システム上の課題の多くは、膨大な組み合わせパターンから最良のものを選び出す組み合わせ最適化問題に帰着する。これは、解の候補数が問題規模の指数関数で増加する、いわゆる組み合わせ爆発のために、解くことが大変難しい問題として知られている。そのため、組み合わせ最適化専用計算機の研究開発が国内外で活発に行われている。これらの多くはイジングマシンと呼ばれるもので、イジング問題(± 1 のいずれかを取るイジングスピンと呼ばれる変数の2次式で与えられたエネルギーを最小化する組み合わせ最適化問題)を解く専用計算機である。多くの組み合わせ最適化問題がイジング問題に定式化できることから、イジングマシンへの期待は高い。

東芝グループは、独自の量子コンピューター理論から生まれ新しい探索原理でイジング問題を解く最適化計算理論として、当時世界最速を記録するSBアルゴリズムを2019年に発表⁽¹⁾した。その後、約10倍の高速化と、精度・規模の大幅向上を実現した第2世代のSBアルゴリズムを発表

した⁽²⁾。SBアルゴリズムは、量子断熱最適化手法から派生して発見され⁽¹⁾、また、量子トンネル現象に似た振る舞いを解の探索に活用する⁽²⁾、疑似量子アルゴリズムである。

これまで、金融や、通信、ロボットなどの分野で見られるリアルタイムシステムでは、特定時間内の応答を要するという時間的制約から、複雑な組み合わせ最適化を行うことへの潜在的要求があっても、それを実現できなかった。このため、高速かつ高精度なSBアルゴリズムの登場は、リアルタイムシステムで高度な組み合わせ最適化を利用できる可能性をもたらしたといえる。

東芝デジタルソリューションズ(株)は、SBアルゴリズムをWebAPI経由で利用できる形態(クラウドサービス版)で公開⁽³⁾しており、GPU(Graphics Processing Unit)クラスターにより大規模な問題を手軽に解くことができる。ただ、リアルタイムシステムに適用する場合は、遅延時間が毎回一定ではないWebAPIの利用は難しく、インターフェースを含めた異なるアプローチが必要となる。

そこで、東芝グループは、高速な組み合わせ最適化と瞬時応答性を両立し、リアルタイムシステムにも組み込み可能なオンプレミス版のSBMを開発した。SBアルゴリズムを簡

単に利用できるようにすることで、実用性の高いイジングマシンを実現できる。

ここでは、開発したSBM応用システムの構成とその構成要素技術、及び参照デザインとして開発したアプリケーション例について述べる。

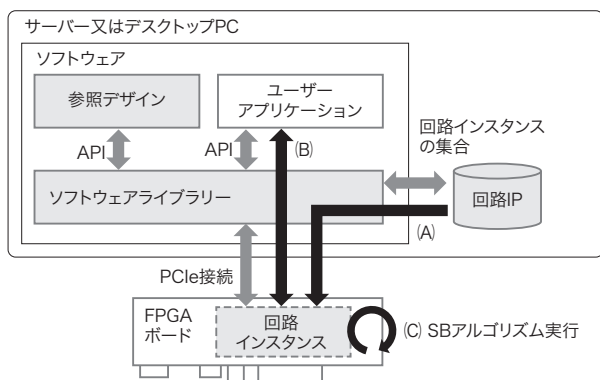
2. シミュレーテッド分岐マシン応用システムの構成

オンプレミス版SBM応用システムの構成を、図1に示す。SBアルゴリズムの専用高速処理回路を構成するFPGA回路構成データと、専用ソフトウェアライブラリーをパッケージングした形で提供される。ここで、回路IP (Intellectual Property) はデータ全体を、回路インスタンスは個々のデータを示している。ユーザーが用意するハードウェアは、サーバー又はデスクトップPC (パソコン) と市販のFPGAボードだけであり、ほかの特殊な機材を必要としない。ソフトウェアライブラリーは、FPGAに対する一連で複雑な処理を隠蔽し、C/C++ 及びPythonで利用できるAPIを提供する。これにより、一般のソフトウェアエンジニアが、ハードウェア構成を意識することなく簡単にイジングマシンを扱うことができる。

3. オンプレミス版シミュレーテッド分岐マシンを構成する要素技術

3.1 SBアルゴリズム専用処理回路

SBアルゴリズムの最大の特長は、アルゴリズムに内在する並列度が高いことにある。これはSBアルゴリズムが並列計算により高速化できることを意味する。また、必要な演算が



■ オンプレミス版シミュレーテッド分岐マシンとしてパッケージングされるモジュール
 PCIe: Peripheral Component Interconnect-Express
 (A): 回路IPから選択した回路インスタンスでFPGAを再構成するパス
 (B): ユーザーアプリケーションからAPI経由で回路インスタンスにアクセスするパス

図1. オンプレミス版シミュレーテッド分岐マシンの構成

ソフトウェアライブラリーは、FPGAに対する処理を隠蔽するため、ハードウェア構成を意識することなく、簡単にイジングマシンを扱うことができる。

Configuration of SBM for on-premises services

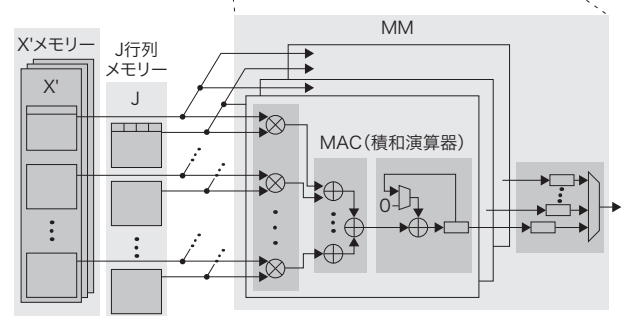
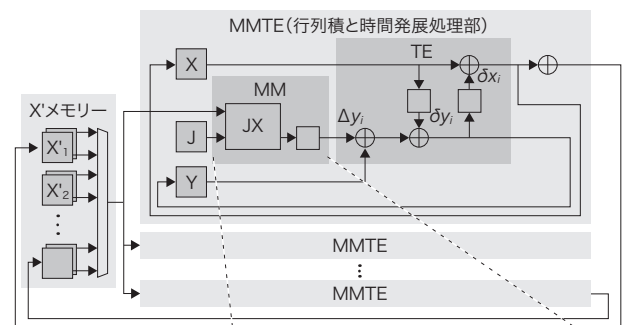
和と積だけで、特殊な関数の計算が不要なことも、FPGAなどによるハードワイヤ化にとって望ましい。

これらの特長を生かして開発したSBアルゴリズム専用並列処理回路のアーキテクチャー⁽⁴⁾を、図2に示す。SBアルゴリズムの1循環当たりの処理は、行列積部 (MM) と時間発展処理部 (TE) に分けることができる。SBアルゴリズムの中で最も計算量の多いMMは、空間並列化により高速化を実現した。一方、TEは空間並列化ができない逐次処理から成るが、時間並列化 (パイプライン処理) により高速化した。

このアーキテクチャーをベースにFPGA実装された第2世代SBアルゴリズムであるballistic SB (bSB) とdiscrete SB (dSB) は、種々のベンチマーク問題で極めて高い性能を示した⁽²⁾。オンプレミス版SBMは、bSBとdSBのアルゴリズムに対し、精度と規模が異なる複数の回路インスタンスを用意し、回路IPとして提供する。このときのスピン間結合係数の最大精度は、浮動小数点32ビット、スピン規模の最大は8,192である。

3.2 API

SBアルゴリズム処理専用回路をイジングマシンとして簡単



X, X': 位置変数 (± 1 に2値化したものがイジングスピンに相当)
 Y: 運動量 J: 相互作用 JX: J及びXの積和演算
 Δy_i : 相互作用に基づく運動量の修正量
 δx_i : 位置の修正量
 δy_i : 運動量の修正量

図2. SBアルゴリズム専用並列処理回路の構成

MMとTEを循環接続した構造を持ち、MMは空間並列化により、TEは時間並列化により高速化を実現した。

Architecture of dedicated parallel processing circuit for simulated bifurcation algorithm

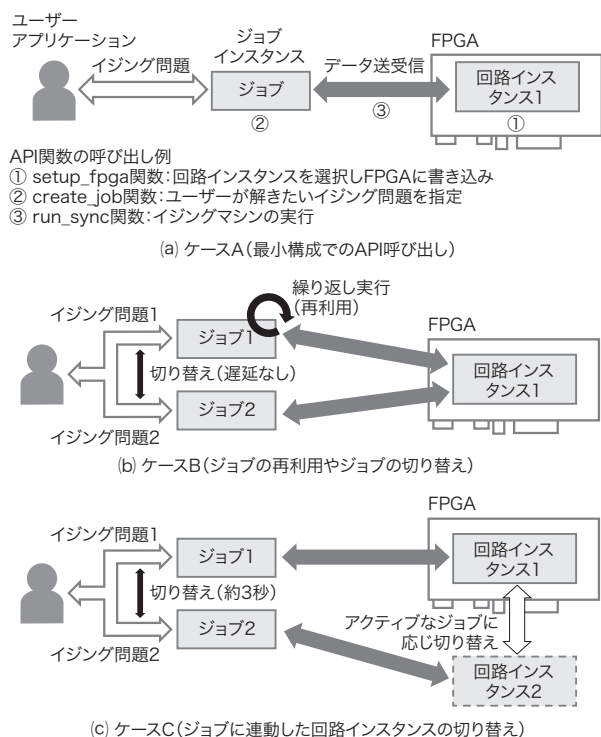


図3. API及びソフトウェアライブラリーの動作フロー
 APIは、ユーザーの様々な設計レベルに対応できるように設計してある。
 Flows of execution of applications using API and software libraries

に扱うためのAPIを開発した。開発したAPIは、簡素性の維持を前提に、ユーザーの様々な設計レベルに対応できるように設計しており、以下に示す三つの特長を持っている。

- (1) 簡素性 (Simplicity) 単体のイジング問題を解くために必要なAPI関数は、僅か三つであり、簡単にイジングマシンを使用できる。図3のケースAに、関数呼び出し例とその動作イメージを示す。初めに、①setup_fpga関数を呼び出すことで、回路インスタンスを選択してFPGAに書き込む。次にユーザーが解きたいイジング問題を指定するために②create_job関数を呼び出す。最後に、FPGA上のSBMでイジング問題を解くために③run_sync関数を実行する。
- (2) 柔軟性 (Flexibility) 問題設定を抽象化したデータ概念(ジョブ)を導入した。図3のケースBのように、一度作成したジョブの再利用や複数の異なるジョブ間のスイッチングなど、ジョブ構成の工夫により時間効率の良いプログラム実装が可能である。また、図4に示す非同期実行をサポートし、CPU処理とFPGA処理のオーバーラップによりFPGA処理時間を隠蔽することも可能である。
- (3) 独自性 (Uniqueness) API関数や図3のケー

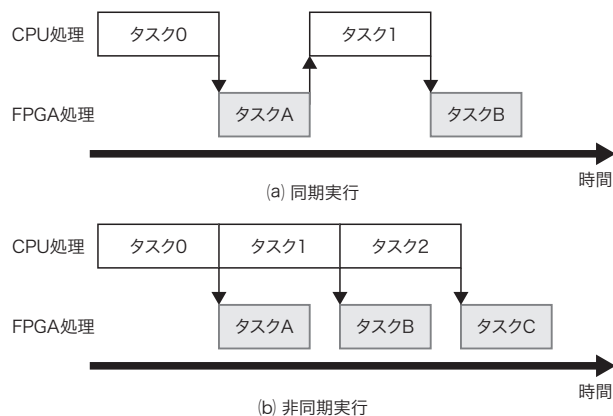


図4. CPU処理とFPGA処理の同期実行及び非同期実行
 非同期実行では、CPU処理とFPGA処理のオーバーラップ実行が可能である。
 Timings of central processing unit (CPU) and FPGA processing in case of synchronous and asynchronous executions

スCに示すジョブ連動切り替えの仕組みにより、アプリケーション内で回路インスタンスを切り替えることができる。切り替えに要する時間は約3秒であり、用途により十分実用的であると考えられる。この仕組みにより、外部状況の変化に応じて最適な回路インスタンスに動的に切り替えられる。

4. 参照デザイン

ユーザーのシステム開発を促進するため、3種類の参照デザインを開発した。これらは、開発したオンプレミス版SBMのリアルタイム動作可能性を実証するものでもある。

4.1 複数物体追跡

既存の複数物体追跡手法⁵⁾をベースに、動画像中の複数物体追跡を実装したアプリケーション例である(図5(a))。追跡処理の一部は、フレーム間の物体の対応関係が最ももらしい組み合わせを求める2部グラフ最大マッチング問題に帰着する。この最適化問題をイジング問題に定式化し、1フレームごとに解を求める。システムトータルで30フレーム/秒以上の処理速度を実現しており、リアルタイムシステムへの組み込み可能性を最も端的に示す例である。

4.2 インタラクティブ最短巡回経路探索

“巡回セールスマン問題”は、都市の集合において全ての都市を一度だけ訪れる巡回路のうち総距離が最短である経路を求める、有名な組み合わせ最適化問題である。図5(b)に示すアプリケーションは、任意の位置に配置される42都市の巡回セールスマン問題を対象としている。GUI (Graphical User Interface) からユーザーが都市位置をマウスのドラッグアンドドロップで指定後、即座に経路探索を開始し、

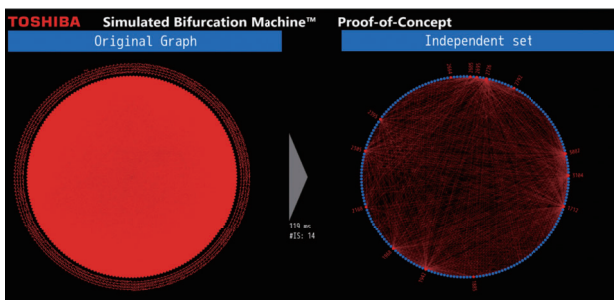
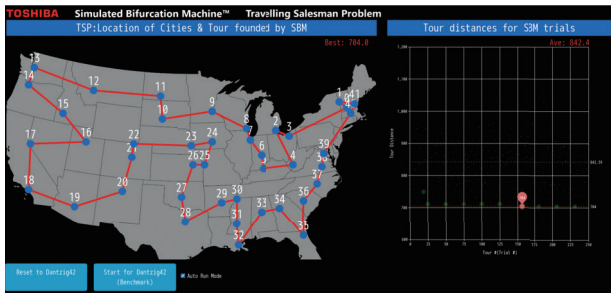
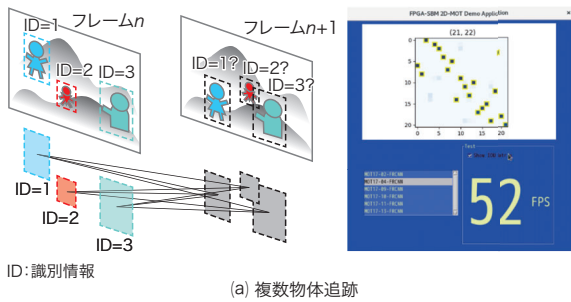


図5. 参照デザインとして開発したアプリケーション

ユーザーのシステム開発を促進するために開発したものであり、オンプレミス版SBMのリアルタイム動作可能性を実証するものでもある。

Examples of applications developed as reference designs

1回当たり約7msの高速探索を複数回実行しながら、更新された最短経路を順次画面表示する。位置が変化し続けるロボット群の移動パターンや通信経路の最適化などへの応用も考えられる。

4.3 ストリームデータ処理型最大独立集合検出

株式データから、銘柄間の値動きの相関を表すグラフ(市場グラフ)を生成し、最大独立集合問題を解くことで多様化ポートフォリオの構成候補となる銘柄セットを見つけるアプリケーション例である(図5(c))。最大独立集合問題とは、ある集合から互いに相関がない(最大の)部分集合を求める、NP(Non-Deterministic Polynomial)困難に属する組み合わせ最適化問題である。得られる銘柄セットは、互いに値動きの相関が低いため、個別の銘柄の値動きに左右されない安定した株式ポートフォリオを構築できる。開発

したアプリケーションでは銘柄数(上限は2,048)によらず、約120msで良解を返すことができ、刻一刻と変化するストリームデータ処理への適用可能性を示す実例となっている。

5. あとがき

リアルタイムシステムでの大規模組み合わせ最適化を可能とする、SBアルゴリズムの超高速演算回路とAPI、及び3種の参照デザインを開発した。これらをパッケージングしたオンプレミス版SBMは、東芝デジタルソリューションズ(株)から、研究用途向けにリリースされている。

今後は、スケールアウト技術⁽⁶⁾の導入など、継続的な機能・性能向上を行いながら、幅広い分野での実用開拓や、新たな価値の共創に取り組んでいく。

文献

- (1) Goto, H. et al. Combinatorial optimization by simulating adiabatic bifurcations in nonlinear Hamiltonian systems. Science advances. 2019, 5, 4, eaav2372.
- (2) Goto, H. et al. High-performance combinatorial optimization based on classical mechanics. Science advances. 2021, 7, 6, eabe7953.
- (3) 東芝デジタルソリューションズ, “組合せ最適化ソルバー Simulated Bifurcation Machine”. <<https://www.global.toshiba/jp/products-solutions/ai-iot/sbm.html>>, (参照 2021-06-01).
- (4) Tatsumura, K. et al. "FPGA-Based Simulated Bifurcation Machine", 29th International Conference on Field-Programmable Logic and Applications (FPL 2019). Barcelona, Spain, 2019-09, IEEE. 2019, p.59-66.
- (5) Bewley, A. et al. "Simple online and realtime tracking," 2016 IEEE International Conference on Image Processing (ICIP 2016). Phoenix, AZ, 2016-09, IEEE. 2016, p.3464-3468.
- (6) Tatsumura, K. et al. Scaling out Ising machines using a multi-chip architecture for simulated bifurcation. Nature Electronics. 2021, 4, 3, p.208-217.



濱川 洋平 HAMAKAWA Yohei

研究開発センター 情報通信プラットフォーム研究所
コンピュータ&ネットワークシステムラボラトリー
Computer and Network Systems Lab.



日高 亮 HIDAKA Ryo

研究開発センター 情報通信プラットフォーム研究所
コンピュータ&ネットワークシステムラボラトリー
Computer and Network Systems Lab.



辰村 光介 TATSUMURA Kosuke, Ph.D.

研究開発センター 情報通信プラットフォーム研究所
コンピュータ&ネットワークシステムラボラトリー
博士(工学) IEEE 会員
Computer and Network Systems Lab.